



**UNIVERSIDAD AUTÓNOMA DE
SAN LUIS POTOSÍ**

**CENTRO DE INVESTIGACIÓN Y ESTUDIOS DE
POSGRADO
FACULTAD DE INGENIERÍA**

**ANÁLISIS, MODELADO Y CONTROL DE UN
CONVERTIDOR MODULAR MULTINIVIEL DENTRO DE
UNA RED EN CORRIENTE DIRECTA DE ALTA TENSIÓN**

T E S I S

**QUE PARA OBTENER EL GRADO DE
DOCTOR EN INGENIERÍA ELÉCTRICA
OPCIÓN: CONTROL AUTOMÁTICO**

P R E S E N T A:

M.I. JORGE ISAAC GONZÁLEZ TORRES

A S E S O R:

DR. HOMERO MIRANDA VIDALES

C O - A S E S O R:

**DR. CÉSAR FERNANDO FRANCISCO MÉNDEZ
BARRIOS**

SAN LUIS POTOSÍ, S.L.P.

JULIO DE 2018



Universidad Autónoma de San Luis Potosí

Facultad de Ingeniería



Centro de Investigación y Estudios de Posgrado

Doctorado en Ingeniería Eléctrica

Opción: Control Automático

“Análisis, modelado y control de un convertidor modular multinivel dentro de una red en corriente directa de alta tensión”

Presenta:

M.I. Jorge Isaac González Torres

Sinodales:

Dr. Homero Miranda Vidales
(Asesor de Tesis)

Dr. César Fernando Francisco Méndez Barrios
(Co-asesor de Tesis)

Dr. José Espinoza Castro

Dr. Víctor Manuel Cárdenas Galindo

Dr. Diego Langarica Córdoba

Dr. Rafael Peña Gallardo

Dr. Mauro Eduardo Maya Méndez

San Luis Potosí, S.L.P.

Julio de 2018.



UASLP

Universidad Autónoma
de San Luis Potosí

14 de diciembre de 2017

**M.I. JORGE ISAAC GONZÁLEZ TORRES
P R E S E N T E.**

En atención a su solicitud de Temario, presentada por los **Dres. Homero Miranda Vidales y César Fernando Francisco Méndez Barrios** Asesor y Co-asesor de la Tesis que desarrollará Usted, con el objeto de obtener el Grado de **Doctor en Ingeniería Eléctrica**, me es grato comunicarle que en la Sesión del H. Consejo Técnico Consultivo celebrada el día 14 de diciembre del presente año, fue aprobado el Temario propuesto:

TEMARIO:

"Análisis, modelado y control de un convertidor modular multinivel dentro de una red en corriente directa de alta tensión"

Introducción.

1. Convertidor modular multinivel, principios y funcionamiento.
2. Técnicas de modulación y balance para el convertidor modular multinivel.
3. Modelado matemático del convertidor modular multinivel.
4. Esquemas de control predictivo basados en modelo.
5. Comportamiento del convertidor modular multinivel dentro de un enlace en corriente directa de alta tensión.

Conclusiones.

Referencias.

"MODOS ET CUNCTARUM RERUM MENSURAS AUDEBO"

A T E N T A M E N T E



**M. I. JORGE ALBERTO PÉREZ GONZÁLEZ
DIRECTOR**

UNIVERSIDAD AUTÓNOMA
DE SAN LUIS POTOSÍ
FACULTAD DE INGENIERÍA
DIRECCION



**FACULTAD DE
INGENIERÍA**

Av. Manuel Nava 8
Zona Universitaria • CP 78290
San Luis Potosí, S.L.P.
tel. (444) 826 2330 al39
fax (444) 826 2336
www.uaslp.mx

Copia. Archivo
*etn.



UNIVERSIDAD AUTÓNOMA DE SAN LUIS POTOSÍ
FACULTAD DE INGENIERÍA

Centro de Investigación y Estudios de Posgrado

Posgrado en Ingeniería Eléctrica

Los firmantes, Dr. Homero Miranda Vidales y Dr. César Fernando Francisco Méndez Barrios, profesores-investigadores de la Universidad Autónoma de San Luis Potosí.

HACEN CONSTAR

Que la tesis que tiene por título:

Análisis, modelado y control de un convertidor modular multinivel dentro de una red en corriente directa de alta tensión.

Presentada por el Sr:

M.I. Jorge Isaac González Torres

Para optar por el grado de:

Doctor en Ingeniería Eléctrica

Ha sido realizada bajo su dirección.

San Luis Potosí, S.L.P., 13 de Julio de 2018.

Rúbricas:

Dr. Homero Miranda Vidales

Dr. César Fernando Francisco Méndez Barrios



UNIVERSIDAD AUTÓNOMA DE SAN LUIS POTOSÍ
FACULTAD DE INGENIERÍA
Centro de Investigación y Estudios de Posgrado

Aclaración

El presente trabajo que lleva por título:

Análisis, modelado y control de un convertidor modular multinivel dentro de una red en corriente directa de alta tensión.

Se realizó entre Septiembre de 2013 y Febrero de 2018 bajo la dirección científica del Dr. Homero Miranda Vidales y del Dr. César Fernando Francisco Méndez Barrios.

Originalidad

Por este medio aseguro que he realizado este documento de tesis para fines académicos sin ayuda indebida de terceros y sin utilizar otros medios más que los indicados.

Las referencias e información tomadas directa o indirectamente de otras fuentes se han definido en el texto como tales y se ha dado el debido crédito a las mismas.

El autor exime a la Universidad Autónoma de San Luis Potosí de las opiniones vertidas en este documento y asume la responsabilidad total del mismo.

Este documento no ha sido sometido como tesis a ninguna otra institución nacional o internacional en forma parcial o total.

Sí se autoriza a la Universidad Autónoma de San Luis Potosí para que divulgue este documento de tesis para fines académicos.

M.I. Jorge Isaac González Torres

A su amor ... que me inspira y reconforta día con día.

Agradecimientos

A mis padres, que siempre han sido ejemplo de estudio y trabajo.

A ti amor, por acompañarme más que nadie y vivirlo a mi lado.

A mi hermano, siempre nos tendremos el uno al otro de una forma especial.

A mi familia, la cual siempre me ha apoyado.

A mis amigos Bovinos y LoneStars, por su amistad y palabras de aliento.

A mis compañeros y ahora amigos de la UASLP en todos los laboratorios, por compartir las jornadas de trabajo y esparcimiento, sigan siendo curiosos.

A MU, AS, EstPul, Hitorico, Tavo&Anita, por acogerme en su gran país y a MG que sin su ayuda esto no sería posible

A mis asesores Dr. Homero Miranda Vidales y Dr. Cesar Francisco Méndez Barrios, por su guía, consejo y paciencia durante toda esta experiencia.

A mis profesores en la UASLP y en la UdeC, por mostrarme que el saber nunca tendrá límites.

Al Profesor José Espinoza, por todo su apoyo y ayuda para que este trabajo de investigación rindiera frutos en el terreno fértil de la UdeC.

A Ana Cecilia Rivera Rivera por el apoyo brindado y lograr que el laboratorio funcione día y noche.

Y por último a la Universidad Autónoma de San Luis Potosí y al Consejo Nacional de Ciencia y Tecnología.

ÍNDICE GENERAL

Índice general	XIII
Índice de tablas	XV
Índice de figuras	XVII
Lista de acrónimos y abreviaturas	XXI
Lista de símbolos	XXV
Resumen	XXXI
Introducción	1
1 Convertidor modular multinivel, principios y funcionamiento	11
1.1. Convertidores fuentes de tensión	11
1.2. Convertidores modulares multinivel	15
1.3. Dimensionamiento del MMC	19
2 Técnicas de modulación y balance para el convertidor modular multinivel	29
2.1. Técnicas de modulación multinivel	29
2.2. Técnica de modulación de nivel más cercano	30
2.3. Técnica NLC-híbrida	38
3 Modelado matemático del convertidor modular multinivel	49
3.1. Modelo del MMC basado en fuentes dependientes	49
3.2. Modelo matemático del MMC	50
3.3. Análisis en lazo abierto	56
4 Esquemas de control predictivo basados en modelo	65
4.1. Control directo de potencia basado en el control de matriz dinámica	65
4.2. Regulación de la tensión de cd basada en el control predictivo generalizado	76
5 Comportamiento del convertidor modular multinivel dentro de un enlace en corriente directa de alta tensión	83
5.1. Simulación en tiempo real	83
5.2. Simulación del MMC dentro de una red VSC-HVDC	90

Conclusiones	103
Aportaciones	105
Publicaciones generadas	105
Problemas abiertos	106
 Apéndices	
A Secuencias de comandos en C++ y MatLab	109
A.1. Cálculo del número de SM a encender	109
A.2. Selección del SM a conmutar	111
A.3. Esquema DPC basado en el DMC	115
A.4. Esquema de regulación de la tensión basado en el GPC	121
 B Análisis y equivalencia de un sistema trifásico	 125
B.1. Síntesis de las señales originales	126
 C Simulación en tiempo real	 129
C.1. Esquema multinúcleo	129
C.2. SS_Switches	133
C.3. SS_DMC	134
C.4. SC_GUI	135
 D Sistema seguidor de fase	 137
 E Comparación de la técnica de modulación de nivel más cercano	 139
E.1. Seguimiento paso a paso	141
 Referencias bibliográficas	 145

ÍNDICE DE TABLAS

1.	Comparación entre tecnologías para la transmisión de energía eléctrica.	4
2.	Proyectos de redes en corriente directa.	5
1.1.	Estados de conmutación del submódulo HB.	19
1.2.	Parámetros eléctricos del banco de pruebas.	21
1.3.	Parámetros del banco de pruebas.	28
2.1.	Número de estados permitidos.	33
2.2.	Número de combinaciones redundantes para un nivel de tensión específico.	34
2.3.	Casos de prueba de la frecuencia de conmutación.	42
2.4.	Comparativa de los resultados de la técnica de modulación.	47
3.1.	Comparación cuantitativa de las variables de estado.	62
3.2.	Comparación cuantitativa de las variables eléctricas.	62
4.1.	Descripción cuantitativa de las señales de salida del sistema.	73
4.2.	Número de operaciones en función de los horizontes.	74
5.1.	Magnitud de las componentes armónicas en tensión de la rama v_{R_x}	93
5.2.	Comparativa de resultados del esquema de regulación de potencia.	94
5.3.	Comparativa de resultados del esquema de regulación de tensión.	99

ÍNDICE DE FIGURAS

1.1.	Convertidor fuente de tensión de dos niveles de tensión.	12
1.2.	Taxonomía de los convertidores para aplicaciones de alta potencia.	13
1.3.	Convertidores multinivel de módulos en cascada en configuración doble estrella.	15
1.4.	Diagrama del MMC trifásico.	18
1.5.	Configuraciones típicas para los submódulos del MMC.	18
1.6.	Diagrama del MMC trifásico basado en el convertidor de medio puente.	20
1.7.	Salida en tensión del MMC de 19 niveles.	21
1.8.	Comportamiento del condensador en función del rizo y de la tensión de <i>cd</i>	23
1.9.	Tensión en los SM del MMC.	23
1.10.	Circuito del MMC trifásico.	24
1.11.	Corriente de rama del convertidor con varios valores de la inductancia de desacoplo.	26
2.1.	Técnicas de modulación para los convertidores multinivel.	29
2.2.	Señales escalonadas obtenidas con la NLC.	31
2.3.	Formas de onda de salida en el MMC de 5 niveles.	31
2.4.	Esquemas eléctricos del MMC de 5 niveles.	32
2.5.	Estados redundantes del MMC.	34
2.6.	Diagrama de flujo para el balance de condensadores.	37
2.7.	Variantes de la técnica LS-SPWM.	39
2.8.	Comparación entre las técnicas de modulación.	39
2.9.	Diagrama a bloques de la técnica NLC-híbrida.	40
2.10.	Etapas de la modulación híbrida.	41
2.11.	Caso I, análisis del número de conmutaciones.	42
2.12.	Caso II, análisis del número de conmutaciones.	43
2.13.	Caso III, análisis del número de conmutaciones.	43
2.14.	Circuito del MMC trifásico, inductores de desacoplo.	44
2.15.	Tensión eléctrica en las terminales del inductor.	45
2.16.	Circuito del MMC trifásico, variación de C_0	45
2.17.	Comportamiento de la tensión de los C_0 bajo una variación paramétrica.	46
2.18.	Comportamiento del sistema en el PCC, bajo una variación paramétrica en C_0	46
3.1.	Circuito eléctrico del MMC basado en fuentes dependientes.	50
3.2.	Circuito eléctrico equivalente.	51
3.3.	Circuito eléctrico equivalente de las ramas del convertidor.	54
3.4.	Diagrama a bloques para sintetizar la señal moduladora.	57
3.5.	Región de operación del MMC.	59

3.6.	Comportamiento macro de las variables de estado del MMC.	60
3.7.	Comportamiento de las variables de estado del MMC.	61
3.8.	Comportamiento de las variables eléctricas del MMC.	63
4.1.	Esquema general para el control directo de potencia.	66
4.2.	DPC basado en un controlador predictivo indirecto.	68
4.3.	Respuesta del sistema a una entrada escalón.	72
4.4.	Diagrama a bloques del DPC.	75
4.5.	Esquema de interconexión HVAC-HVDC.	78
4.6.	Sistema dinámico del enlace de <i>cd</i>	79
4.7.	Diagrama a bloques del GPC.	82
5.1.	Tareas del DRTS durante un T_s	84
5.2.	Plataforma de simulación en tiempo real de OPAL-RT.	85
5.3.	Circuito eléctrico del MMC basado en fuentes dependientes.	86
5.4.	Simulación multinúcleo del MMC.	88
5.5.	Comportamiento de los elementos RTE.	89
5.6.	Circuito eléctrico de un submódulo basado en el convertidor HB.	89
5.7.	Comportamiento de la potencia en el PCC.	90
5.8.	Señales de control y potencia del convertidor.	91
5.9.	Señales de tensión y corriente en el PCC.	91
5.10.	Tensión de los condensadores del bloque superior de la rama <i>a</i>	92
5.11.	Tensión escalonada trifásica a la salida del convertidor.	92
5.12.	Espectro armónico de la tensión a la salida del convertidor.	93
5.13.	Desempeño del esquema de simulación multinúcleo del MMC en lazo cerrado.	94
5.14.	Comportamiento del esquema de control directo de potencia ante una variación trifásica.	95
5.15.	Comportamiento del esquema de control directo de potencia ante una variación monofásica	96
5.16.	Esquema simplificado de la operación del convertidor.	97
5.17.	Comportamiento del esquema para la regulación de la tensión en <i>cd</i>	98
5.18.	Red MMC-HVDC multipuerto.	100
5.19.	Comportamiento del esquema multipuerto.	101
C.1.	Esquema multinúcleo.	129
C.2.	Configuración de los parámetros de simulación.	130
C.3.	MMC y las redes HVDC y HVAC.	133
C.4.	Salidas analógicas del simulador.	133
C.5.	Estructura de un bloque de 4 submódulos.	134
C.6.	Técnica de control predictivo indirecto.	135
C.7.	Generador de la señal portadora discreta.	136
C.8.	Estructura de un bloque de 4 submódulos.	136
D.1.	Diagrama a bloques del generador de la señal moduladora.	138
E.1.	Esquemas eléctricos del MMC de 5 niveles.	139
E.2.	Etapas de la técnica NLC clásica.	140

E.3. Etapas de la técnica NLC-híbrida. 140

LISTA DE ACRÓNIMOS Y ABREVIATURAS

Nomenclatura	Significado en español	Significado en inglés
<i>ADC</i>	Convertidor analógico-digital.	Analog digital converter.
<i>AHEM</i>	Eliminación activa de armónicos.	Active harmonic elimination.
<i>APOD-PWM</i>	Disposición con oposición de fase alternada.	Alternate phase opposition disposition pulse-width modulation.
<i>BTB</i>	Red VSC-HVDC de dos puertos.	Back to back .
<i>ca</i>	Corriente alterna.	Alternating current.
<i>cd</i>	Corriente directa.	Direct current.
<i>CPU</i>	Unidad central de procesamiento.	Central processing unit.
<i>CSC</i>	Fuente de corriente.	Current source converter.
<i>DAC</i>	Convertidor digital-analógico.	Digital-to-analog converter.
<i>DCC</i>	Control directo de corrientes.	Direct current control.
<i>DMC</i>	Control mediante la matriz dinámica.	Dynamic matrix control.
<i>DPC</i>	Control directo de potencia.	Direct power control.
<i>DRTS</i>	Simulador digital en tiempo real.	Digital real-time simulator.
<i>FC</i>	Convertidor de capacitor flotante .	Flying capacitor converter.
<i>FCS-MPC</i>	Control predictivo con conjunto finito de señales.	Finite control set model predictive control.
<i>FPGA</i>	Matriz de puertas programables.	Field-programmable gate array.
<i>GPC</i>	Control predictivo generalizado.	Generalized predictive control.
<i>HB</i>	Medio puente.	Half bridge.

Nomenclatura	Significado en español	Significado en inglés
<i>HVAC</i>	Corriente alterna de alta tensión.	High voltage alternating current.
<i>HVDC</i>	Corriente directa de alto tensión.	High voltage direct current.
<i>I-MPC</i>	Control predictivo indirecto basado en modelo.	Indirect model predictive control.
<i>IEA</i>	Agencia internacional de energía.	International energy agency.
<i>IGBT</i>	Transistor bipolar de puerta aislada.	Insulated gate bipolar transistor.
<i>LAERFTE</i>	Ley para el aprovechamiento de energías renovables y financiamiento de la transición energética.	Use of renewable energies and energy transition financing law.
<i>LS-SPWM</i>	Modulación sinusoidal basadas en portadoras con desplazamiento de nivel.	Level shift sinusoidal pulse width modulation.
<i>LVK</i>	Ley de voltajes de kirchhoff.	Kirchhoff's Voltage Law.
<i>MMC</i>	Convertidor modular multinevel.	Modular multilevel converter.
<i>MMCC</i>	Convertidores modulares multinevel conectados en cascada.	Modular multilevel cascade converters.
<i>MPC</i>	Control predictivo basado en modelo.	Model predictive control .
<i>NLC</i>	Técnica de modulación de nivel más cercano.	Nearest level control.
<i>NPC</i>	Convertidor diodos de enclavamiento .	Neutral-point-clamped.
<i>Overrun</i>	Retrasos en la simulación.	Simulation overrun.
<i>PCC</i>	Punto de conexión común.	Point of common coupling.
<i>PD-PWM</i>	Técnica de modulación por disposición en fase.	Phase-shift pulse width modulation.
<i>POD-PWM</i>	Técnica de modulación por disposición opuesta de fase.	Phase opposition disposition-pulse with modulation.
<i>PWM</i>	Modulación por ancho de pulsos.	Pulse-width modulation.
<i>RTE</i>	Eventos en tiempo real.	Real-time events.
<i>SCR</i>	Rectificador controlado de silicio.	Semiconductor-controlled rectifier.

Nomenclatura	Significado en español	Significado en inglés
<i>SHE</i>	Eliminación selectiva de armónicos.	Harmonic elimination pulse-width modulation.
<i>SM</i>	Submódulo.	Submodule.
<i>SPWM</i>	Modulación por ancho de pulsos sinusoidal.	Sinusoidal pulse-width modulation.
<i>THD</i>	Distorsión armónica total.	Total harmonic distortion.
<i>VSC</i>	Convertidores fuente de voltaje.	Voltage-sourced converter.
<i>VSC-HVDC</i>	Enlaces de transmisión en corriente directa de alto voltaje basados en convertidores fuentes de voltaje .	Multi-terminal voltage source converter transmission system.
<i>ZOH</i>	Retenedor de orden cero.	Zero-order hold.

LISTA DE SÍMBOLOS

Símbolo	Significado
$\langle \bullet, \bullet \rangle$	Producto interno.
\bullet^T	Matriz transpuesta.
\bullet^*	Complejo conjugado.
∇	Gradiente.
Δ	Diferencia entre el estado actual y el anterior.
$\Delta \mathbf{u}(t)$	Vector que contiene los incrementos de la señal de control.
ϕ_g	Ángulo de desfaseamiento entre la tensión y la corriente.
θ_{mRx}	Ángulo de la señal de modulación de la fase x .
ξ_c	Rizo máximo permitido en la tensión del condensador
ω_g	Velocidad angular de la red en ca .
B	Designa un bloque del MMC, puede ser el superior (U) o inferior (L).
C_0	Capacitancia del submódulo.
C	Capacitancia equivalente del bloque.
C_{eq}	Capacitancia equivalente del MMC trifásico.
$\mathcal{C}_{n_1}^{n_2}$	Número del combinaciones de n_1 elementos, a partir de un conjunto formado por n_2 componentes.
f	Vector de respuesta forzada del sistema.
f_g	Frecuencia de la red en ca .
f_{sm}	Frecuencia de conmutación de los submódulos.
f_{zoh0}	Frecuencia de muestreo de la técnica de modulación.
f_{zoh1}	Frecuencia de muestreo del controlador predictivo.
\mathbf{G}	Matriz que contiene la información del sistema.
\mathbf{G}_{ij}	Sección de \mathbf{G} , que corresponde a la i -ésima salida del sistema cuando es excitada por le j -ésima entrada.

Símbolo	Significado
$g_k^{Y_i U_j}$	Valores muestreados de la i -ésima salida producida por la j -ésima entrada.
\mathcal{G}	Matriz con la información del sistema que depende de los estados futuros.
\mathcal{G}'	Matriz con la información del sistema que depende de los estados pasados.
H_m	Horizonte de control.
H_p	Horizonte de predicción.
$H(s)$	Función de transferencia en el dominio de s .
i_B	Corriente en el bloque B del MMC.
i_L	Corriente del bloque inferior.
i_U	Corriente del bloque superior.
i_{B_x}	Corriente en el bloque B de la fase x del MMC.
i_{L_x}	Corriente del bloque inferior de la fase x .
i_{U_x}	Corriente del bloque superior de la fase x .
i_{C_0}	Corriente que fluye hacia el condensador del submódulo.
i_{cd}	Corriente que fluye entre el bus de cd y las terminales del MMC.
i_{cir}	Corriente que fluye por la rama del MMC, cuyo componente principal está al doble de la frecuencia en el PCC.
i_{cir_x}	Corriente que fluye por la rama x del MMC.
i_x	Corriente de la fase x en el PCC.
j	Número imaginario, que es una solución de la ecuación cuadrática $x^2 + 1$.
J	Función de costo.
$\tilde{\mathbf{K}}$	Primer renglón de la matriz \mathbf{K} , base del control DMC.
L_0	Inductancia de desacoplo.
L_{cd}	Inductancia de la línea de transmisión en cd .
L_{pcc}	Inductancia de enlace entre el VSC y la red en ca .
m_{B_x}	Señal de modulación continua del bloque B de la fase x , con valores entre 0 y 1.
m_{R_x}	Señal de modulación continua de la fase x , con valores entre -1 y 1 .

Símbolo	Significado
m_f	Índice de modulación en frecuencia.
m_x	Índice de modulación en amplitud de la fase x .
n_a	Grado del polinomio en el denominador del modelo <i>Carima</i> del sistema.
n_b	Grado del polinomio en el numerador del modelo <i>Carima</i> del sistema.
N_T^{Bx}	Número de conmutaciones de los submódulos del bloque B de la fase x .
N_{ij}	Longitud que posee el vector de datos $g_k^{Y_i U_j}$ y que componen la matriz dinámica.
N_{on_act}	Cantidad de submódulos que deben estar encendidos en el instante actual.
N_{on_ant}	Cantidad de submódulos encendidos en el instante anterior.
N_{opc}	Número de operaciones necesarias para obtener una salida válida.
ΔN_{on}	Diferencia del número de submódulos encendidos entre el instante anterior y el actual.
N_{sm}	Número de submódulo por bloque del MMC.
$p_{C_{cd}}$	Potencia del condensador en el bus de cd del VSC de 6 pulsos.
$p_{C_{eq}}$	Potencia del condensador equivalente del MMC.
P_g	Potencia activa del PCC.
p_g	Potencia activa instantánea del PCC.
$\tilde{\mathbf{Q}}$	Matriz de pesos que penaliza los esfuerzos en control.
Q_n^m	Elemento n, m de la diagonal principal de la matriz $\tilde{\mathbf{Q}}$.
Q_g	Potencia reactiva del PCC.
q_g	Potencia reactiva instantánea del PCC.
\mathbb{R}	Conjunto de números reales.
$\mathbb{R}^{n \times m}$	Conjunto de números reales compuesto por n renglones m columnas.
R_0	Resistencia parásita asociada al inductor de desacoplo.

Símbolo	Significado
R_{cd}	Resistencia parásita asociada a la inductancia de la línea de transmisión en cd .
R_{pcc}	Resistencia parásita asociada al inductor de enlace.
$\tilde{\mathbf{R}}$	Matriz de pesos que penaliza el error en estado estable.
R_n^m	Elemento n, m de la diagonal principal de la matriz $\tilde{\mathbf{R}}$.
$s_n^{B_x}$	Señal de conmutación discretas del submódulo n del bloque B de la fase x .
$s_{1 \dots n}^{B_x}$	Conjunto de señales discretas del bloque B de la fase x .
s_{B_x}	Señal de conmutación continua del bloque B de la fase x .
S_{g_x}	Potencia aparente de rama x .
$SM_n^{B_x}$	Submódulo n del bloque B de la fase x .
Td	Tiempo muerto de los interruptores de electrónica de potencia.
Ts	Paso de integración de la simulación.
$u(t)$	Magnitud de la señal de control del instante actual.
$u(t-1)$	Magnitud de la señal de control del instante anterior.
u_{p_g}	Señal de control para la potencia activa originado por el DMC.
u_{q_g}	Señal de control para la potencia reactiva originado por el DMC.
v_{2f}	Magnitud de la componente armónica en tensión al doble de la frecuencia fundamental.
v_{B_x}	Tensión en el bloque B de la fase x , que corresponde a la sumatoria de las tensiones de los c_0 de los submódulos encendidos.
v_c	Tensión del condensador de cada submódulo.
$v_{c_n}^{B_x}$	Tensión del condensador del submódulo n del bloque B de la fase x .
$v_{c_{1 \dots n}}^{B_x}$	Conjunto de tensiones del bloque B de la fase x .
v_{CB_x}	Tensión del condensador equivalente del bloque B de la fase x , que corresponde a la sumatoria de la tensión de los c_0 del bloque.
v_{cd}	Tensión del enlace en corriente directa.

Símbolo	Significado
V_{cir}	Magnitud de la componente armónica en tensión al doble de la frecuencia fundamental.
v_g	Tensión entre fases en el PCC.
v_{L_0}	Tensión en las terminales del inductor de desacoplo.
v_L	Tensión del bloque inferior del MMC.
v_{R_x}	Tensión eléctrica por fase a la salida del convertidor.
v_U	Tensión del bloque superior del MMC.
v_x	Tensión de la fase x en el PCC.
w	Vector de referencias actuales y futuras
$W_{C_{eq}}$	Energía del condensador equivalente del bus de cd .
W_x	Energía contenida en la rama x .
x	Define la fase a , b o c del convertidor o de la red en ca .
X_t	Reactancia inductiva.
y_{m_i}	Valor actual de la i -ésima salida.
$\hat{y}(t + j t)$	Valor esperado para la salida $y(t + j)$ del sistema con la información disponible en el instante t .
Z_0	Impedancia de la inductancia de desacoplo.
Z_{cd}	Impedancia de la línea de transmisión en corriente directa.
Z_{pcc}	Impedancia del PCC.

RESUMEN

Este trabajo de tesis se enfoca en estudiar el convertidor modular multinivel (MMC) como etapa de acondicionamiento de energía dentro de una red de transmisión en corriente directa de alta tensión (HVDC), donde sus tareas principales son controlar la cantidad de potencia que fluye a través de ellos, compensar la cantidad de potencia reactiva, regular la tensión del enlace y en algunas aplicaciones emular el efecto de inercia que presentan las máquinas rotativas.

Los MMC permiten coleccionar energía de fuentes renovables y convencionales que regularmente están alejadas y al transportar la energía a través de una línea de transmisión en *cd* se logra una mejor eficiencia. Aunado a esto los MMC logran sintetizar las señales eléctricas en *ca* con una muy baja distorsión armónica, logrando muchas veces eliminar la etapa de filtrado y consiguen conectarse directamente a alguna red convencional; en consecuencia se tiene el desafío de controlar un gran número de interruptores y mantener balanceada la tensión de una elevada cantidad de condensadores.

Para afrontar esto último, el presente documento propone la técnica de modulación de nivel más cercano híbrida; la cual es adecuada para un MMC de bajo número de niveles y se caracteriza por reducir el esfuerzo computacional al mismo tiempo que concentra el contenido armónico en una región específica del espectro, mientras mantiene balanceada la tensión de los condensadores. El análisis de la técnica propuesta permite determinar de manera analítica el número de estados redundantes del MMC en función del número de niveles del mismo, así como la frecuencia de conmutación de los interruptores.

La investigación dio como resultado un control directo de potencia (DPC) que se caracteriza por ser intuitivo y simple de implementar, además hace uso de la estrategia de control predictivo indirecto, consiguiendo utilizar grandes horizontes de predicción y control para disminuir el error en estado estable, reducir la distorsión de las señales de salida, así como de las oscilaciones en las señales de control. Aunado a esto, se propone un controlador predictivo generalizado (GPC) para regular la tensión del enlace en *cd*. Ambas técnicas forman parte del conjunto de técnicas de control predictivo basado en modelo (MPC) que por definición son robustas ante retardos, lo que contribuye a un

mejor desempeño del sistema de transferencia de potencia; debido a que los retardos son inherentes dentro de los sistemas eléctricos.

Una vez que el convertidor ha sido analizado, la técnica de modulación desarrollada y la estrategia de control sintetizada; se hace uso de un simulador digital en tiempo real para llevar a cabo la función de prototipado rápido, y simular un MMC de 19 niveles en lazo cerrado con la capacidad de compensar potencia reactiva y al mismo tiempo controlar el flujo de potencia activa o de regular la tensión en el enlace de *cd*. Esta plataforma permite validar el correcto desempeño los diferentes algoritmos de control y modulación propuestos.

El contenido de este documento se divide en cinco capítulos; en el primero se analiza el funcionamiento del MMC y se dimensionan los diferentes elementos pasivos del convertidor. El segundo capítulo describe la técnica de modulación propuesta y el cómo funciona cada una de las etapas que la compone. Seguido de esto, en el tercer capítulo se sintetiza el modelo matemático del convertidor y se determina su región lineal de operación. En el cuarto capítulo se desarrollan las estrategias tanto para el control de las potencias eléctricas, como para la regulación de la tensión en el bus de *cd*. El quinto capítulo describe la plataforma de simulación en tiempo real y se discuten los resultados obtenidos. Finalmente, se presentan las conclusiones del trabajo de investigación y algunos anexos que ofrecen detalles necesarios para el desarrollo del trabajo de tesis.

INTRODUCCIÓN

Estado actual de las fuentes de energía: utilización, capacidad y demanda

El impacto ambiental producido por el alto consumo energético debido principalmente al incremento de la demanda de los diferentes sectores, como el industrial, comercial y doméstico, es la causa principal de diversos problemas. Dentro de los más importantes se pueden mencionar: el aumento en los desechos industriales, el incremento en las emisiones de dióxido de carbono, el calentamiento global y con ellos la aparición de distintos problemas de salud pública. Por lo tanto, la optimización de los recursos naturales podría incidir en la reducción del impacto de los problemas antes mencionados. En este mismo orden de ideas, en [1] se describen las ventajas que se presentan al interconectar grandes redes eléctricas que están alejadas, entre las que destacan; ofrecer soporte durante un evento de falla, mejorar la disponibilidad de energía, optimizar el uso de las plantas generadoras, la inclusión de fuentes de energía renovables y de los convertidores de electrónica de potencia necesarios para su interconexión. Estas mejoras permiten a la postre mejorar la calidad de la energía y la eficiencia al momento de transmitirla. En este sentido, las instancias gubernamentales de diferentes países se han propuesto llevar a cabo grandes cambios en políticas y métodos de generación de energía [2–5]. En [6] se menciona que diferentes potencias en generación como: China, Estados Unidos, Unión Europea, India tienen la meta de generar más del 20 % de su energía mediante fuentes renovables para el año 2040. Este tipo de acciones correctivas y de reestructuración propician el empleo de nuevas tecnologías (eléctricas y electrónicas) para aprovechar, recolectar e interconectar de una mejor manera las fuentes no fósiles de generación; tales como la energía nuclear, energía hidráulica y las energías renovables.

Las ideas de cambio y reestructuración propuestas por la Agencia Internacional de Energía (*International Energy Agency*) o IEA, están planteadas desde diferentes ópticas como la financiera, el desarrollo sustentable o la cobertura total.

El documento *perspectiva mundial de la energía del 2017* [5] establece que para el año 2040 la demanda energética crecerá un 23 % con respecto al año 2017. Aunado a esto,

se menciona que las fuentes fósiles proveerán sólo el 25 % de energía, dejando el resto de la generación a las fuentes no-fósiles y las fuentes de energía renovables. Enfatiza que las principales fuentes de energía estarán basadas en fuentes no fósiles y que junto con las energías renovables, ocuparán el 40 % de la producción neta, incrementando su capacidad hasta en 12,000 TW-h; convirtiendo a las energías renovables en la tercera fuente más grande de energía a partir del año 2025.

Para el año 2030 se estima que la generación mediante fuentes renovables crecerá del 17.5 % al 21 % del total de energía que se produce en el mundo y esta cantidad será cercana a la mitad de la nueva capacidad energética que se instalará. Todo el crecimiento en los sistemas eléctricos, las fuentes de generación y mercados energéticos provocará una inversión alrededor del mundo de \$800 billones de dólares para el periodo del 2031-2040, donde \$250 billones de dólares estarán destinados a tecnologías relacionadas con energías renovables y su interconexión [6].

En el caso particular de México, dentro del *Reporte de Avance de Energías Limpias Primer Semestre 2017* se destaca que el 25.37 % de los 74,046 MW instalados, se basa en energías renovables [7]. Adicionalmente, la *Prospectiva del Sector Eléctrico 2017-2031* establece que para el año 2031 se adicionarán 55,840 MW de capacidad de generación eléctrica, de los cuales el 37.4 % corresponde a tecnologías convencionales (20,876 MW) y el 62.2 % a tecnologías limpias (34,964 MW). De forma más específica, para la energía fotovoltaica, en un escenario preliminar, se prevé un crecimiento de 7,300 MW; lo que sumará para el 2031 una generación de 7,830 MW. Además, el crecimiento en generación eólica se pronostica de 12,900 MW, lo cual hará posible generar 17,233 MW para el año 2031 [8, 9]. Este aumento de la capacidad instalada a partir de fuentes de energía renovables, permite intuir un incremento en el uso de tecnologías en electrónica de potencia para su interconexión y buen funcionamiento; además, que la adición de nuevas líneas eléctrica y trayectorias para la energía harán más compleja la operación de los sistemas eléctricos, lo que crea una necesidad más para el uso de convertidores de eléctrica de potencia que tengan la capacidad de manejar grandes volúmenes de energía de una forma eficiente y eficaz.

Redes eléctricas distribuidas

La evolución del mercado energético y la reducción en los costes de inversión para el uso de energías renovables han permitido la inclusión de nuevas plantas generadoras y alternativas de transmisión en los sistemas eléctricos alrededor del mundo. Con ello el esquema de generación-transmisión-distribución que actualmente funciona mediante

puntos de gran generación centralizados está cambiando a esquemas distribuidos; donde el flujo energético pasa de ser unidireccional (de la fuente a la carga) a ser bidireccional [10–12]. Además, en [12] se describe que la principal tarea de una red distribuida es extraer la máxima cantidad de potencia de los diferentes puntos de generación y al mismo tiempo garantizar la calidad del suministro en toda la red.

Diferentes trabajos exponen las ventajas que supone el nuevo paradigma en la estructura de las redes eléctricas, dentro de las que destacan las siguientes, [3, 4, 10, 13–16]:

- Reducción en las pérdidas por conducción debido a la cercanía de los elementos de consumo y producción de energía.
- El aumento de los puntos de generación y el uso extendido de los convertidores de electrónica de potencia mejoran la estabilidad, flexibilidad y confiabilidad de las redes, así como mejoran la calidad de la energía.
- El utilizar fuentes no fósiles para llevar a cabo la generación, disminuye la emisión de gases invernadero y reduce el presupuesto destinado a la importación de fuentes fósiles de energía.
- Es posible energizar cargas alejadas de las grandes redes por lo que mejoran la cobertura de los sistemas de distribución.

Además, los diferentes dispositivos utilizados para satisfacer micro-consumos se han vuelto asequibles y más eficientes, lo que trae por consecuencia que las redes distribuidas y las micro-redes aisladas sean un solución económicamente viable. Sin embargo, nuevos retos se presentan aumentando la complejidad de varias tareas, como:

- La operación y el análisis del flujo de potencias.
- La estimación de la corriente de corto circuito.
- La coordinación de protecciones.
- El control del crecimiento y localización.
- La normativa relacionada con la interconexión y las reglas de mercado.

No obstante varios de estos retos se tornan menos severos gracias a la inclusión de nuevas tecnologías en electrónica de potencia y telecomunicaciones [10, 15, 16].

Enlaces de transmisión en corriente directa de alta tensión

La tecnología actual para la transmisión de energía eléctrica en *ca* (HVAC) es una solución madura y con una alta penetración a nivel mundial y es por muchas propiedades

la elección técnica más económica y usada. Sin embargo, la reincorporación de los sistemas de transmisión en *cd* (HVDC), gracias a la aparición de la electrónica de potencia, han permitido expandir los límites tecnológicos y apropiarse de una parte del sector energético.

La Tabla 1 muestra de manera sintética la comparativa extensa que se realiza entre ambos sistemas en [17], el análisis toma en cuenta diferentes tecnologías como: la transmisión por cable aéreo (HVAC-HOL), la transmisión por cable subterráneo (HVAC-Cable), la transmisión de potencia con FACTS (HVAC-PFC), la transmisión usando dispositivos conmutados por la red (HVDC-LCC); la transmisión usando dispositivos completamente controlados (HVAC-VSC).

Tabla 1. Comparación entre tecnologías para la transmisión de energía eléctrica.

	HVAC			HVDC	
	HOL	Cable	PFC	LCC	VSC
Control de potencia activa	No	No	Sí	Sí	Sí
Control de potencia reactiva	No	No	Baja	No	Sí
Interconexión de redes asíncronas	No	No	No	No	Sí
Pérdidas eléctricas	Baja	Baja	Media	Alta	Alta
Mitigación de oscilaciones de potencia	No	No	Limitado	Limitado	Si
Inversión del flujo de energía	Rápida	Rápida	Rápida	Lenta	Rápida
Impacto visual y ambiental	Alto	Medio	Medio	Medio	Medio
Costo	Bajo	Alto	Medio	Medio	Alto

Para el tipo de aplicación que este trabajo de investigación desarrolla, la transmisión de energía utilizando convertidores fuente de tensión es la que brinda un mayor número de fortalezas. Otras ventajas a favor de la transmisión en *cd* que pueden ser tomadas en cuenta son:

- Las líneas de transmisión en *ca* dependiendo la aplicación presentan un límite en la distancia que pueden cubrir.
- Mayor confiabilidad contra las demás tecnologías que utilizan elementos basados en electrónica de potencia.

Una desventaja de la interconexión mediante convertidores de electrónica de potencia es que no ofrecían apoyo en la inercia de la red, sin embargo nuevas soluciones confrontan este problema.

Convertidores de electrónica de potencia

A lo largo de este capítulo y desde diferentes ópticas se advierte la relevancia que están teniendo los convertidores de electrónica de potencia para: coleccionar energía, corregir

problemas dentro de las redes convencionales, así como para implementar nuevas soluciones al problema de transmisión de energía; la lista de proyectos mostrada en la Tabla 2 pone en evidencia, que desde hace un par de décadas, existen soluciones para que los convertidores fuente de tensión (VSC) operen como un enlace entre redes eléctricas o entre una fuente de generación y una red eléctrica.

Tabla 2. Proyectos de redes en corriente directa.

Nombre del proyecto	Año	Potencia	No. Circ.	Tensión ca	Tensión cd	Distancia	Topología	Semiconductores
Hellsjön, Suecia	1997	3 MW \pm 3 MVAR	1	10 KV	\pm 10 KV	10 Km Aéreo	2 niveles	IGBT, serie
Gotlan HVDC Light, Suecia	1999	50 MW, \pm 50 MVAR	1	80 KV	\pm 80 KV	2 \times 80 Km, Submarino	2 niveles	IGBT, serie
Eagle Pass, EUA	2000	36 MW, \pm 36 MVAR	1	138 KV	\pm 15.9 KV	Estación Back-to-Back	NPC de 3 niveles	PUBT, serie
Tjaereborg, Dinamarca	2000	7.2 MW, \pm 3 MVAR	1	10.5 KV	\pm 9 KV	2 \times 4.3 Km, Submarino	2 niveles	IGBT, serie
Interconexión Terranora, Australia	2000	180 MW, \pm 65 MVAR	3	110 KV	\pm 80 KV	6 \times 59 Km, Subterráneo	2 niveles	IGBT, serie
Murray Link, Australia	2002	220 MW, \pm 140 MVAR	1	132 KV	\pm 150 KV	2 \times 180 Km, Subterráneo	ANPC de 3 niveles	IGBT, serie
CrossSound, EUA	2002	330 MW, \pm 150 MVAR	1	345 KV	\pm 150 KV	2 \times 40 Km, Submarino	ANPC de 3 niveles	IGBT, serie
Estlink, Estonia-Finlandia	2006	350 MW, \pm 125 MVAR	1	330 KV	\pm 150 KV	2 \times 31Km, 2 \times 74Km, Submarino - Subterráneo	2 niveles	IGBT, serie
Nord E.ON 1, Alemania	2009	400 MW	1	380 KV	\pm 150 KV	2 \times 75Km, 2 \times 128Km, Subterráneo - Submarino	—	IGBT, serie
Caprivi link, Namibia	2009	300 MW	1	330 KV	350 KV	970 Km, aéreo	—	IGBT, serie
Valhall Offshore, Noruega	2009	78 MW	1	300 KV	150 KV	292 Km, submarino	2 niveles	IGBT, serie

Sin embargo, los VSC han tenido que modificarse para cumplir con los requerimientos de las diferentes aplicaciones o debido al uso de nuevas tecnologías en semiconductores; en la mayoría de los casos el objetivo es incrementar la capacidad de potencia que son capaces de gestionar, mejorar su eficiencia o disminuir la distorsión en formas de onda que sintetizan.

El convertidor modular multinivel (MMC) es una evolución topológica de los VSC, que se caracteriza por estar compuesta por un conjunto de submódulos ideáticos conectados en serie que permiten sintetizar señales con un alto número de niveles de tensión. No obstante, su principal ventaja es que pueden ser escalados en tensión de una forma simple y con ello operar en condiciones de muy alta tensión, lo que para las estructuras clásicas no era permisivo; otros de los beneficios que brinda esta estructura son:

- Los submódulos son directamente intercambiables.
- Cada submódulo soporta una fracción de la tensión del bus de cd .
- La frecuencia de conmutación en los interruptores de electrónica de potencia es baja.
- La capacitancia para generar los niveles de tensión se divide entre los diferentes submódulos.
- Los condensadores o fuentes en cd de cada submódulo no necesitan un nodo de tierra aislado.

Las virtudes que presenta este convertidor vienen acompañadas de retos desde el punto de vista de construcción, instrumentación, comunicación y operación. Por que al ser un

convertidor de un elevado número de niveles de tensión, en consecuencia está conformado por un alto número de interruptores, donde por lo menos por cada par de semiconductores existe un condensador. El número de señales para operar los interruptores es directamente proporcional al número de niveles, así como la cantidad de mediciones de tensión. Todas las señales sensadas deben de ser adquiridas por un procesador digital de señales para con ellas calcular cuáles son las señales de disparo para cada uno de los interruptores. Finalmente desde el punto de vista operativo, se debe de asegurar que la tensión promedio en cada condensador de convertidor está balanceada, para así comenzar con el proceso de sintetizar la tensión adecuada que garantice un flujo de potencia entre ambos extremos del convertidor y al mismo tiempo inyecte la potencia reactiva necesaria [12, 18–21].

En la literatura especializada existen diferentes propuestas que permiten generar un panorama global de las aplicaciones, soluciones y problemáticas al rededor de los convertidores modulares multinivel.

En [1, 4, 22] se mencionan las principales características del MMC, además se describen las diferentes variantes más utilizadas para resolver el problema de implementarlo dentro de una red HVDC y se detallan las ventajas que proporcionan las topologías para los submódulos.

En [23] se dejan en claro las ventajas y propiedades que ofrece el MMC de medio puente, además se hace una comparación directa del volumen de pérdidas contra el convertidor de seis pulsos.

En [24, 25] se muestra el diseño de los parámetros eléctricos y el dimensionamiento de los elementos pasivos del MMC de medio puente dentro de una red HVDC; adicionalmente se detalla cual es la función que desempeña cada uno.

En [26] se profundiza en la problemática relacionada con las sobrecorrientes en las ramas del MMC y del cómo surgen al interconectar el convertidor a red en *ca*.

En [27] se aborda la problemática relacionada con la puesta en marcha del MMC y se detalla una metodología para precargar los condensadores y esboza una estrategia simple de control.

En [28, 29] se propone un modelo matemático para el MMC que funcione como elemento de interconexión entre redes eléctricas, donde se detallan las diferentes variables de estado relevantes que permiten poner en marcha el convertidor.

En [30] se lleva a cabo un resumen de las posibles técnicas de modulación utilizadas en convertidores de electrónica de potencia.

En [31] se detalla la estrategia de modulación de nivel más cercano, que es la más utilizada para esta aplicación que presenta una gran cantidad de niveles.

En [18] se analiza la estrategia de modulación del MMC basado en el convertidor de medio puente y se propone la condición de operación que permite un mejor desempeño del convertidor.

En [32] se muestra un esquema de modulación que combina una técnica de modulación por ancho de pulso con un algoritmo simple de balance.

En [33] se lleva a cabo una comparativa entre las dos posibles vertientes para el control del flujo de potencia en los convertidores de electrónica de potencia.

En [34] se propone utilizar una estrategia de control predictivo para regular la potencia en MMC dentro de una red HVDC, sin embargo la aplicación es de un número bajo de niveles y las velocidades de respuesta no son competitivas.

En [35] se implementa un controlador de tipo predictivo que se desempeña correctamente en condiciones de falla en el MMC, sin embargo los escalones de potencia los regula de forma lenta para así disminuir fenómenos como el sobretiro.

En [36] se presenta una variante de las técnicas de control predictivo propuestas, donde se establece un método para reducir el número de estados redundantes y con ello hacer la metodología más eficiente, sin embargo la modulación es ineficiente y los horizontes son pequeños lo que podría genera oscilaciones.

En [37] se hace uso de la estrategia de control predictivo indirecto, donde el balance de los condensadores se realiza mediante un algoritmo poco eficiente.

En [38, 39] se utiliza un simulador digital en tiempo real como banco de pruebas para diferentes algoritmos de control y modulación, además se establece la idea de fragmentar el convertidor para simplificar su implementación y finalmente se establece una metodología para seleccionar el paso de integración.

Con base en estas referencias previamente mencionadas es posible plantear de mejor manera los siguientes puntos del trabajo de investigación.

Planteamiento del problema

Con base en la prospectiva que se tiene del crecimiento de la producción energética basada en fuentes renovables de energía y cómo los convertidores de electrónica de potencia son importantes para su interconexión. Además, la natural instauración de los sistemas eléctricos distribuidos que hacen uso de la electrónica de potencia como herramienta para la corrección de diversas situaciones. Adicionalmente, la transmisión HVDC se hace funcional gracias a los convertidores de electrónica de potencia. Finalmente, la topología multinivel muestra características útiles para enfrentar de mejor manera estas problemáticas.

Entonces la problemática se concentra en desarrollar un mecanismo para controlar la potencia eléctrica que fluye a través de un convertidor modular multinivel, para conseguir enlazar una red de transmisión en corriente directa con una en corriente alterna.

Hipótesis

Con base en la problemática observada, se propone la siguiente hipótesis, es posible conjuntar y mejorar el desempeño de las diferentes técnicas de modulación, así como las estrategias para controlar la potencia activa y reactiva en un convertidor modular multinivel de bajo número de niveles, al desempeñarse como etapa de conversión dentro de una red en corriente directa de alto voltaje.

Objetivo general

Realizar un estudio del comportamiento, interacción y gestión energética del convertidor modular multinivel dentro de un enlace en corriente directa de alta tensión.

Objetivos particulares

Para lograr el propósito previamente mencionado, este trabajo considera los siguientes objetivos particulares:

- Caracterizar y modelar la topología modular multinivel basada en el convertidor de medio puente.
- Analizar y caracterizar el esquema de modulación para el convertidor modular multinivel.
- Controlar el convertidor modular multinivel mediante estrategias de control predictivo basado a modelo.
- Crear de un banco de pruebas, dentro de una plataforma de simulación en tiempo real.
- Analizar el desempeño del convertidor como etapa de interconexión entre redes eléctricas.

Organización del trabajo de tesis

El presente trabajo de tesis está organizado de la siguiente manera. En el Capítulo 1 se analiza al convertidor modular multinivel y las diferentes variantes topológicas que existen,

además se describe a los submódulos que constituyen al MMC y las características que presenta el convertidor al utilizar una u otra estructura. Conjuntamente, se detalla el procedimiento para seleccionar los elementos pasivos que componen a este convertidor.

El Capítulo 2 se enfoca en la selección e implementación de la técnica de modulación para los convertidores modulares multinivel, en donde se define la condición de operación del convertidor y se analiza el número de estados redundantes. Además, se presenta la metodología para balancear la tensión de los submódulos, que en conjunto con una técnica de modulación sinusoidal por ancho de pulso, se conforma la técnica de modulación híbrida aquí propuesta.

El Capítulo 3 muestra el desarrollo y síntesis del modelo matemático del MMC basado en el circuito eléctrico simplificado, para posteriormente delimitar la región lineal de operación del convertidor y realizar una comparativa del comportamiento de las diferentes variables dinámicas.

En el Capítulo 4 se describe el control directo de potencia y el control para la regulación de la tensión en el enlace de *cd*. Ambos controladores están basados en técnicas de control predictivo basado en modelo; además se muestra el esquema de control predictivo indirecto, el cual usa horizontes extendidos.

El Capítulo 5 describe las características del sistema de simulación en tiempo real, detallando la implementación multi-núcleo del MMC; con lo que se somete a prueba los diferentes sistemas propuestos y se analiza su desempeño.

Finalmente, se muestran las conclusiones del trabajo de investigación, de donde se detallan las soluciones, aportaciones y áreas de oportunidad en los diferentes temas tocados por este trabajo. Además, se resumen los productos obtenidos durante el desarrollo del trabajo de investigación. En los anexos se explican algunos detalles prácticos del desarrollo del presente trabajo.

CONVERTIDOR MODULAR MULTINIVEL, PRINCIPIOS Y FUNCIONAMIENTO

1.1. Convertidores fuentes de tensión

El uso de SCR (*silicon controlled rectifier*) hace posible la construcción de convertidores fuente de corriente (*current source converter*) o CSC para implementar enlaces en *cd* conocidos como HVDC clásicos, los cuales son una tecnología madura y que posibilita transmitir grandes volúmenes de potencia (alrededor de los miles de MW). Sin embargo, presenta varias desventajas tales como: alto contenido armónico de la señales de salida y una capacidad reducida para controlar la potencia reactiva, entre otras [40–42].

Los interruptores de electrónica de potencia totalmente controlados posibilitan el uso de convertidores fuentes de tensión (*voltage source converter*) o VSC; un ejemplo de este tipo dispositivos son el IGBT, GTO, IGCT. Aun cuando los convertidores basados en IGBT bloquean niveles de tensión menores que los basados en SCR, brindan otras ventajas; entre las más importantes destacan:

- Control de potencia activa y reactiva de forma independiente.
- Exhiben una mejor respuesta dinámica.
- Baja distorsión armónica y por ende requieren filtros pasivos de menor tamaño.
- Posibilitan la interconexión, uso y puesta en marcha de redes débiles o aquellas donde el nivel de corto circuito es pequeño.
- Evitar fallas en la conmutación debidas a las perturbaciones en la red de *ca*.

Algunas topologías de VSC poseen la capacidad de almacenar energía con lo cual es posible contrarrestar microfallas o baja inercia en la red eléctrica; además aumentan la eficiencia y la confiabilidad global del sistema de transmisión. Diferentes aplicaciones hacen uso de

estas cualidades para acondicionar y transferir energía eléctrica entre diferentes puntos de una red, sin embargo existen dificultades y problemas abiertos, como: el nivel de potencia que se puede manipular, la frecuencia de conmutación máxima, baja confiabilidad y la nula posibilidad de reconfigurar [4, 27, 40, 43–45].

La tecnología actual de semiconductores electrónicos de potencia avanza día con día, sin embargo aun no es posible bloquear grandes niveles de tensión con un sólo encapsulado, lo que restringe su operación en enlaces de transmisión en corriente directa de alta tensión basados en convertidores fuentes de tensión (VSC-HVDC). Para solucionar esta problemática se opta por conectar en serie varios IGBT, como en la Figura 1.1, pero esto dificulta su operación en conjunto y además provoca que la frecuencia de conmutación sea baja. Aunado a esto, el condensador (C) del bus de cd debe ser capaz de soportar los elevados niveles de tensión y al mismo tiempo proveer la capacitancia necesaria para que: el VSC opere adecuadamente durante toda su vida útil, se almacene energía en casos particulares y filtrar componentes armónicas de la línea de transmisión en cd [40].

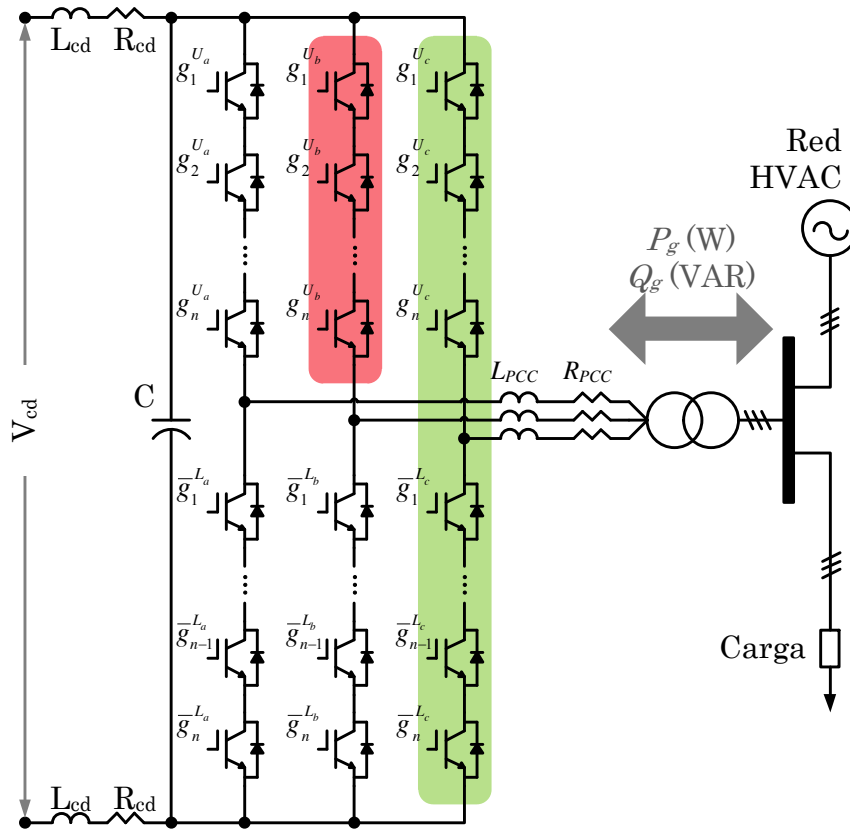


Figura 1.1. Convertidor fuente de tensión de dos niveles de tensión.

1.1.1. Convertidores multinivel

Los convertidores multinivel son una realidad a partir de los años ochenta con la propuesta del convertidor diodos de enclavamiento (*neutral point clamped*) o NPC [46], que surgen para cubrir la necesidad de aumentar la cantidad de potencia que pueden manejar los VSC, mediante la división, por dos, de la tensión que deben bloquear los dispositivos y al mismo tiempo generar una salida de 3 niveles con componentes armónicas resultantes de mayor frecuencia y menor amplitud. Posteriormente, se dieron a conocer otras topologías, como la de condensadores flotantes (FC) o el convertidor de puentes H en cascada [47]. En la Figura 1.2 se muestra una clasificación de las diferentes topologías multinivel para aplicaciones de media y alta tensión [48–50].

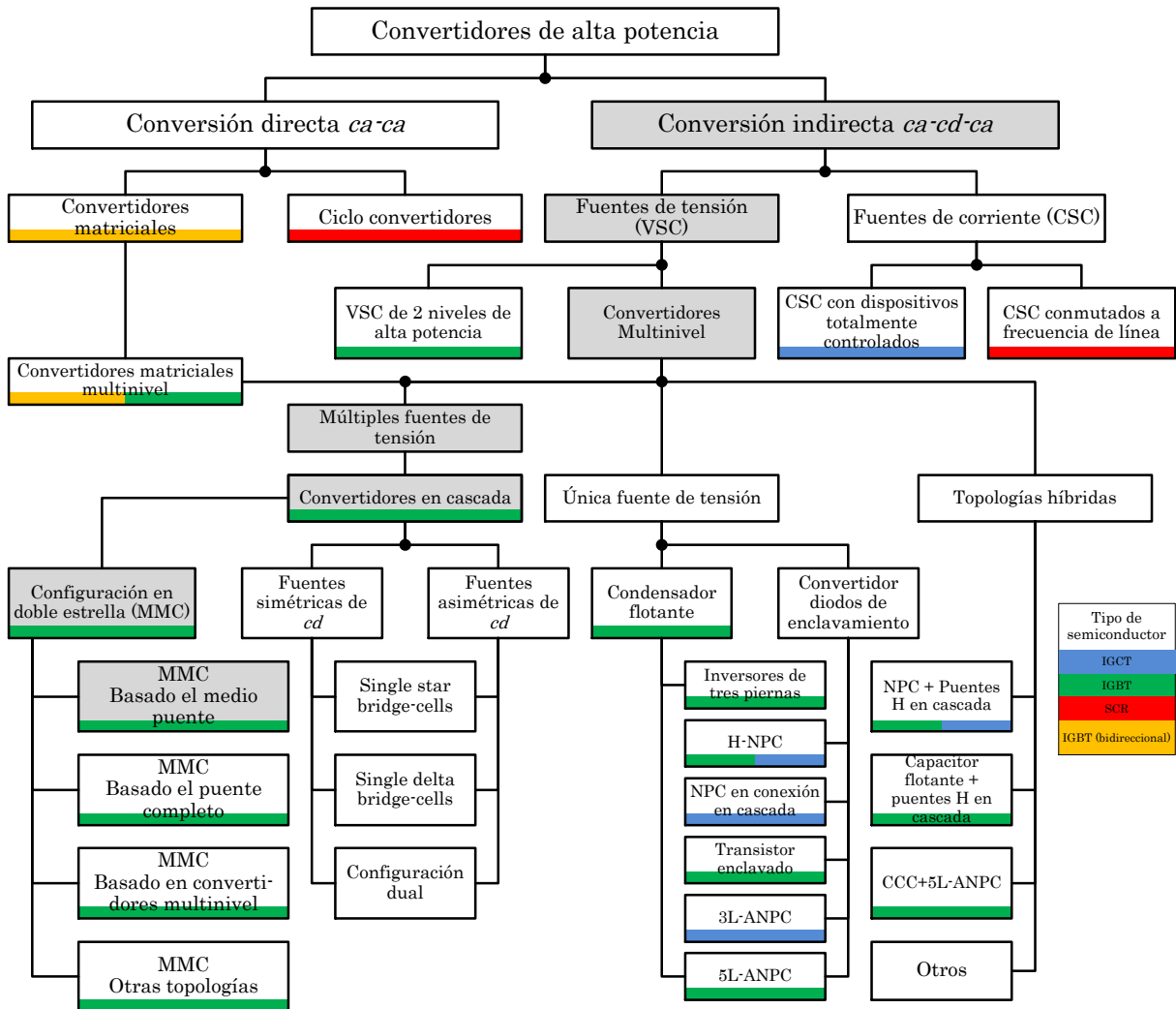


Figura 1.2. Taxonomía de los convertidores para aplicaciones de alta potencia.

Estos convertidores multinivel, en comparación con los VSC de dos niveles, ofrecen la capacidad de acrecentar el número de niveles de tensión a la salida y con ello bloquear tensiones menores que la del enlace en cd , así como producir frecuencias armónicas resultantes de mayores que la de conmutación. No obstante, presentan dificultades al momento de balancear las tensiones de cada nivel, hacen uso de lazos de control extras que dificultan la operación en lazo cerrado, no son reconfigurables y su confiabilidad no mejora; adicionalmente estas dificultades se agravan al aumentar el número de niveles, con lo que la mayoría de las aplicaciones no superan los 7 niveles de tensión a la salida.

1.1.1.1. Convertidores multinivel de módulos en cascada

Del conjunto de convertidores multinivel, las topologías conformadas por convertidores compuestos por módulos (convertidores en configuración NPC, HB3, FC) conectados entre sí, ya sea en serie o cascada, se les conoce como convertidores modulares multinivel conectados en cascada (*modular multilevel cascade converters*) o MMCC [19, 51]. Cabe mencionar que cada celda autocontenida o submódulo (SM) que compone a estos convertidores poseen características idénticas en su construcción y forma de operación. Dada la forma de como se interconectan las cadenas de convertidores se obtienen las siguientes topologías [52, 53]:

1. MMCC en configuración doble estrella.
 - a) Convertidor modular multinivel con inductores de enlace independientes.
 - b) Convertidor modular multinivel con inductores de enlace acoplados.
2. MMCC en configuración estrella.
3. MMCC en configuración delta.
4. MMCC en configuración dual.

La Figura 1.3 ilustra los diagramas eléctricos de los dos convertidores multinivel de módulos en cascada en configuración doble estrella, donde se observa que su principal diferencia radica en como está dispuesto el inductor de enlace (L_0).

Existe una tercera configuración donde el inductor de enlace se secciona y cada submódulo cuenta con una pequeña porción del inductor total; lo que facilita la construcción de los inductores [54]. También se encuentra reportado, el convertidor matricial clásico que se extiende a un esquema modular multinivel, manteniendo su característica de conversión de ca a ca sin etapa intermedia en cd [27].

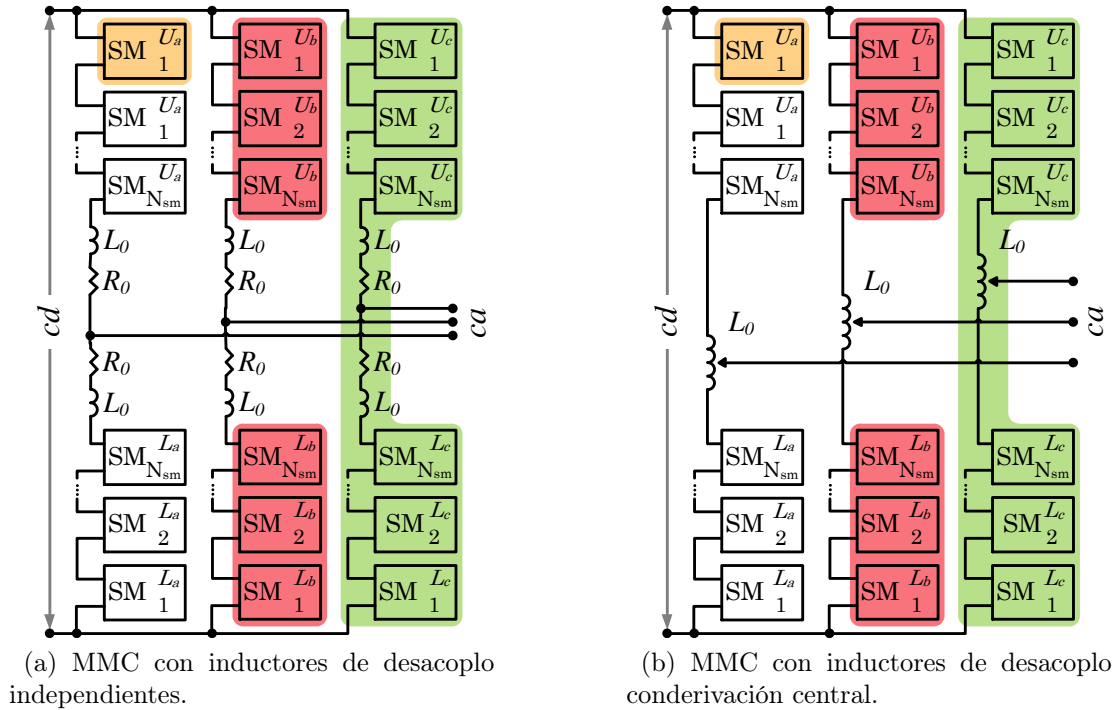


Figura 1.3. Convertidores multinivel de módulos en cascada en configuración doble estrella.

1.2. Convertidores modulares multinivel

El convertidor modular multinivel (*modular multilevel converter*) o MMC fue propuesto en 2003, para aplicaciones de media tensión [53,55]. Sin embargo, debido a su característica de modularidad el MMC, desde esta primer propuesta, demuestra ser favorable para ser empleado como etapa de interconexión en redes distribuidas, enlaces VSC-HVDC o para coleccionar energía de fuentes renovables bajo condiciones adversas; puesto que produce formas de onda con un muy bajo contenido armónico, distribuye de mejor manera los esfuerzos para bloquear tensión y brinda mayor confiabilidad [49].

En [23] se contrasta un convertidor de 2 niveles (Figura 1.1) y un MMC (Figura 1.4), donde ambos están compuestos por 100 elementos semiconductores por rama; mediante esta comparativa se hacen evidentes las diferentes ventajas que brinda la topología seleccionada. Conjuntamente, en [19–21] se exponen algunos otros beneficios de usar un MMC como etapa de conversión en una red de transmisión VSC-HVDC, dentro de los cuales se encuentran:

- Esta compuesto por submódulos ideáticos que son fáciles de intercambiar, lo que mejora:
 - la disponibilidad,

- la reconfigurabilidad,
- la confiabilidad.
- El número elevado de submódulos que procesan la energía de forma independiente, logran:
 - señales a la salida con un comportamiento escalonado, con incrementos de pequeña magnitud,
 - baja distorsión armónica a la salida,
 - disminuir la dimensión o suprimir los filtros de salida.
- La frecuencia de conmutación en los interruptores de electrónica de potencia es baja, lo que se traduce en:
 - una reducción de pérdidas eléctricas por conmutación,
 - una mejora de la eficiencia global del sistema eléctrico basado en el MMC.
- La división de la tensión entre el alto número de submódulos, permite:
 - utilizar interruptores de electrónica de potencia que soporten menor tensión y ofrezcan mayor frecuencia de conmutación,
 - la capacitancia se divide entre los diferentes submódulos del convertidor,
 - disminuye el rizo de tensión en los submódulos.
- Los convertidores que componen a los SM, así como los condensadores o fuentes en cd no necesariamente necesitan un nodo de tierra aislado.
- Se elimina la necesidad de tener un condensador entre las terminales del enlace en cd .
- El inductor de enlace (L_0):
 - limita la corriente en ca cuando ocurre una falla en el enlace de cd ,
 - permite que la tensión instantánea de los submódulos sea diferente.

Una cualidad más que presentan los MMC es la viabilidad de prescindir de la etapa de acoplamiento magnético y de filtrado pasivo, cuando la salida está compuesta por un gran número de niveles de tensión. En [56] se demuestra que a partir de 17 niveles de salida, las componentes armónicas después del tercero presentan una magnitud menor al 1% de la fundamental. A diferencia de algunas otras topologías multinivel convencionales,

el convertidor seleccionado brinda la facilidad de generar una señal con alto número de niveles [18].

Las tareas que desarrolla un MMC como etapa de enlace y acondicionamiento de energía son: transferir potencia activa o regular la tensión de cd en sus terminales, así como inyectar potencia reactiva de forma independiente; al desempeñar estas tareas dentro de sistemas de transmisión VSC-HVDC y aportar la gran cantidad de beneficios previamente mencionados, convierte al MMC en una aplicación industrial. La cual se comercializa bajo diferentes nombres, como: HVDC Plus, Maxsine, HVDC Light Generación 4 y HVDC Flexible [27, 57].

La topología modular multinivel presenta retos, que principalmente están relacionados con la cantidad de elementos que componen al convertidor, ejemplo de ello son el número de dispositivos semiconductores en conjunto con el elevado número de impulsores y la gestión de las diferentes señales de control y medición. Además, el balance de la tensión de cada nivel requiere tantos sensores como submódulos tiene el convertidor. Adicionalmente, la capacitancia de cada SM es comparativamente mayor que otras topologías; lo que produce un mayor almacenamiento de energía que causa un mayor dificultad al momento de una falla en cd . Otro reto que enfrentan los convertidores trifásicos, es la presencia de componentes al doble de la frecuencia en las corrientes de cada rama; lo que produce esfuerzos innecesarios en los elementos del convertidor.

1.2.1. Topología del convertidor modular multinivel

La Figura 1.4 ilustra la estructura general del MMC trifásico, la cual cuenta principalmente con tres ramas (a , b , c); cada una de éstas está constituida por dos bloques: el superior (U) y el inferior (L), y cada bloque consta de un número fijo de submódulos (N_{sm}) idénticos [58]. Ambos bloques de cada rama están interconectados mediante un par de inductores de desacoplo (L_0), los cuales determinan parte de la dinámica del MMC, reduciendo la magnitud de las componentes armónicas presentes en la corriente que circula en los bloques, limitando la cantidad de potencia del convertidor, así como la reducción de la tasa de cambio de la corriente (di/dt) durante fallas eléctricas en el bus de cd ; además permite que la tensión instantánea en cada bloque sea diferente, aun cuando la tensión promedio es la misma.

La interconexión del convertidor con la red en ca se realiza mediante el inductor (L_{pcc}) y por cuestiones prácticas, así como de aproximación del modelo, se contempla la resistencia parásita asociada (R_{pcc}); de la misma manera la línea de transmisión del bus de cd es representada de forma simple mediante el inductor (L_{cd}) y la resistencia (R_{cd}).

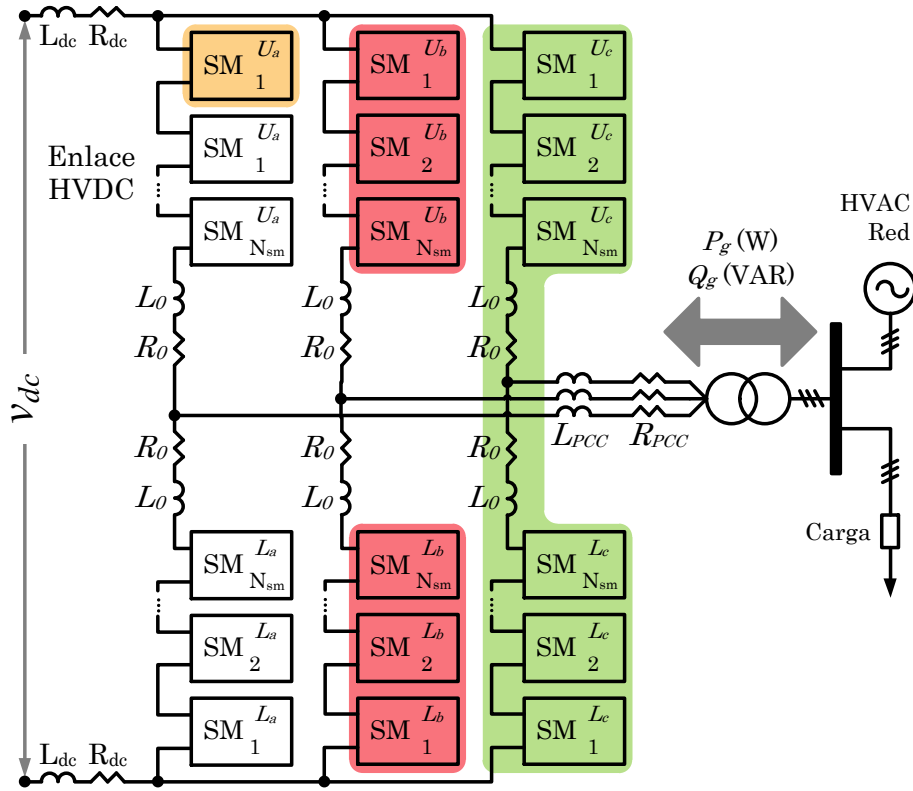


Figura 1.4. Diagrama del MMC trifásico.

1.2.1.1. Estructura básica del submódulo

El MMC se compone de varios convertidores que son idénticos y están conectados en serie. Esta propiedad de modularidad permite escalar la aplicación en tensión y/o potencia de forma sencilla; además, de que un SM puede sustituir a otro, lo que le otorga al MMC las características de disponibilidad y confiabilidad.

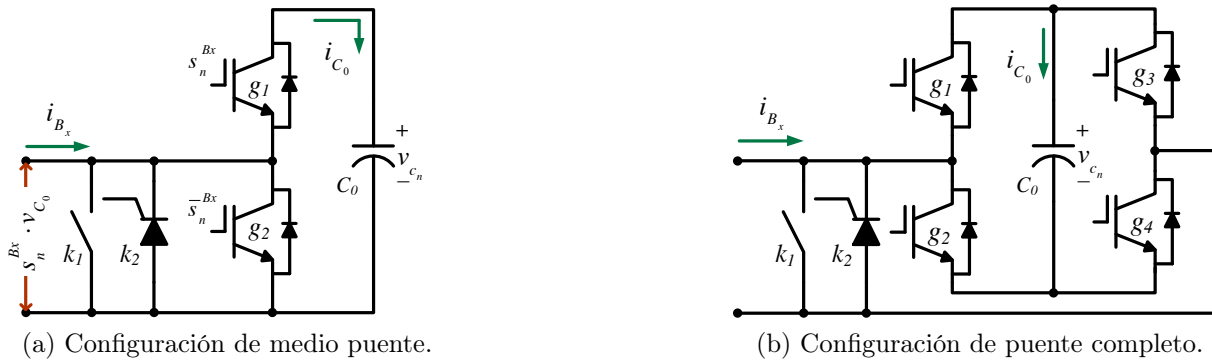


Figura 1.5. Configuraciones típicas para los submódulos del MMC.

En [22, 59] se muestran y analizan diferentes estructuras candidatas como SM para

el MMC; cada una de ellas brinda diferentes funciones, sin embargo tiene en común que poseen dos nodos para su interconexión y uno o más elementos para almacenar energía. Dentro del catálogo de topologías, se encuentran dos que sobresalen por su sencillez, así como sus bajas pérdidas; las cuales son: el convertidor medio puente (Figura 1.5 (a)) y el convertidor puente completo (Figura 1.5 (b)). La estructura medio puente (*half bridge*) o HB, está compuesta por un par de interruptores con señales complementarias, un condensador (C_0) y otros elementos que permiten su desconexión (tiristor e interruptor electromecánico) [55].

La estructura HB presenta las más bajas pérdidas; debido a su estructura genera una señal de dos niveles a la salida; asimismo, los IGBT incluyen un diodo en antiparalelo por lo que el SM trabaja en 2 cuadrantes. Sin embargo, esta topología presenta dificultades para lidiar con fallas en la red de *ca* [60]. El encendido y apagado del SM está regido por las señales complementarias $s_n^{B_x}$ y $\bar{s}_n^{B_x}$. La Tabla 1.1 muestra el comportamiento del SM para cada estado [55,61].

Tabla 1.1. Estados de conmutación del submódulo HB.

	$s_n^{B_x}$	$s_n^{B_x} \cdot v_{c_n}$	i_{C_0}
Encendido	1	v_{cd}/N_{sm}	i_B
Apagado	0	0	0

La Figura 1.6 muestra la topología completa del convertidor modular multinivel con inductores desacoplados, donde la estructura de los submódulos está basada en el convertidor de medio puente. Esta es la topología que se analiza y trabaja lo largo del trabajo de investigación.

1.3. Dimensionamiento del MMC

Las características eléctricas de los VSC dependen de las condiciones de operación que son específicas de cada aplicación, sin embargo en [1, 62, 63] el enlace España y Francia del 2013 es utilizado para establecer un marco de referencia. Los enlaces mostrados en [20, 64, 65] se apegan a los niveles de tensión utilizados en México, que son descritos en la norma NMX-J-098-ANCE-1999 [66]. A partir de este par de aplicaciones se establecen en la Tabla 1.2, los parámetros eléctricos del banco de pruebas que se utilizará en este trabajo de investigación.

Con base a la topología HB para el SM y en función de N_{sm} se fija el número de interruptores por rama (2 bloques) igual a $4 * N_{sm}$ interruptores y el convertidor trifásico

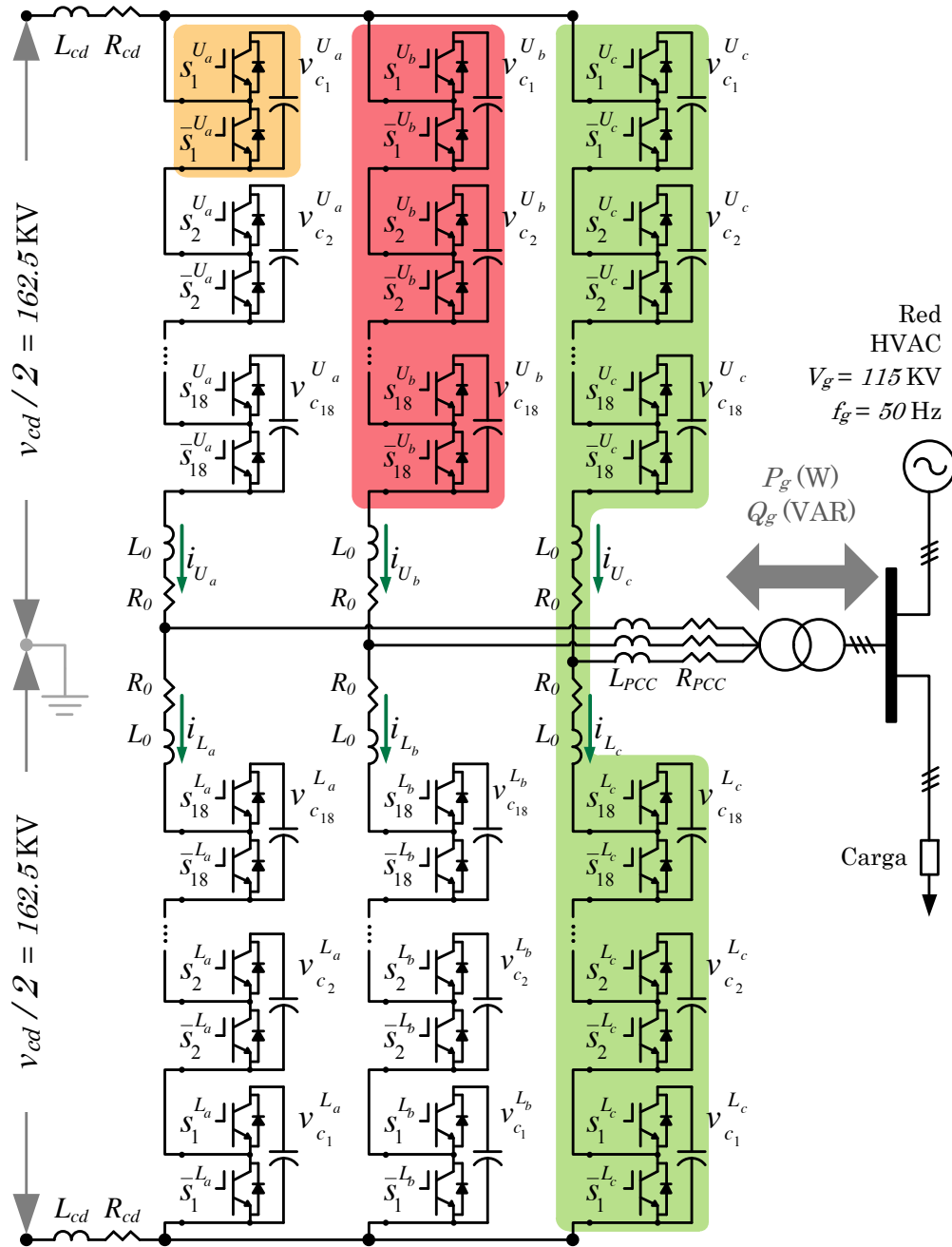


Figura 1.6. Diagrama del MMC trifásico basado en el convertidor de medio puente.

está compuesto por $12 * N_{sm}$. Los elementos pasivos que integran al MMC seleccionado son $6 * N_{sm}$ condensadores y 9 inductores.

Es importante destacar que el MMC basado en el HB tiene la facultad de operar de modo tal que la salida esté compuesta por $2N_{sm} + 1$ o $N_{sm} + 1$ niveles. Sin embargo, esta segunda forma de operar brinda mayores beneficios, como: mantiene constante el número de SM encendidos durante la operación, permite que la capacitancia resultante en las

Tabla 1.2. Parámetros eléctricos del banco de pruebas.

Parámetro eléctrico	Símbolo	Magnitud	Unidad	Magnitud	Unidad
Potencia aparente máxima	S_g	1.118	GVA	1.118	pu
Potencia activa	P_g	1	GW	1	pu
Potencia reactiva	Q_g	0.5	GVAR	0.5	pu
Tensión línea-línea	V_g	115	kV	1	pu
Tensión línea-neutro	V_x	66.4	kV		
Corriente por fase	I_x	5,020	A	1	pu
Frecuencia de línea	f_g	50	Hz		
Tensión de cd	V_{cd}	325	kV		
Tensión del C_0	V_c	18	kV		
Número de SM por bloque	N_{sm}	18			

terminales del bus de cd sea constante, disminuye el rizo de tensión de los condensadores y la distorsión armónica en la corriente de los bloques.

Con base en [56] se selecciona el número de submódulos por bloque (N_{sm}) igual a 18, para con ello generar 19 niveles de tensión a la salida, como lo muestra la Figura 1.7. Aunado a esto el número par de submódulos se elige para que el convertidor sea capaz de generar 0 V a la salida (E_2 de la Figura 1.7). El resto de los niveles de tensión de la Figura 1.7 se logran de la siguiente manera:

- E_1 se consigue encendiendo todos los SM del bloque inferior.
- E_3 por el contrario se obtiene al encender la totalidad de los SM del bloque superior.
- E_2 apagando la mitad de los submódulos de cada bloque.

El número de estados redundantes que presenta este convertidor es elevado como lo demuestra [67], en el Capítulo 2 de este trabajo se analiza la metodología para seleccionar el conjunto de señales de conmutación más adecuado.

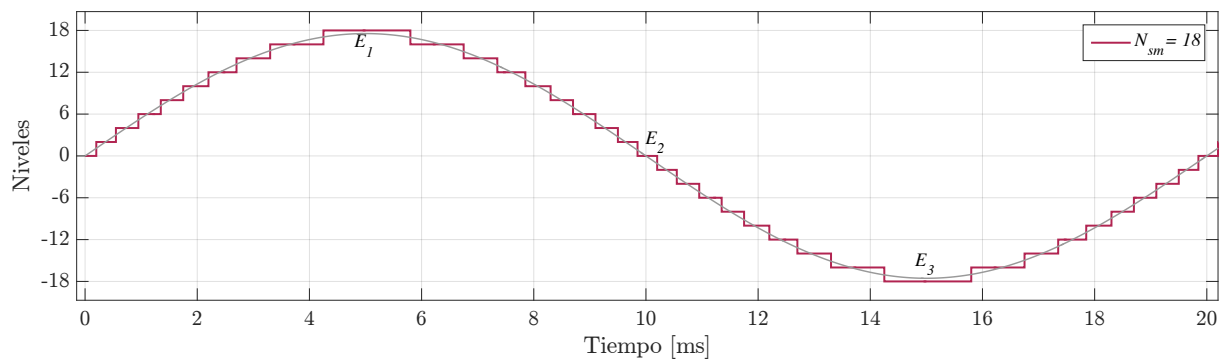


Figura 1.7. Salida en tensión del MMC de 19 niveles.

1.3.1. Elementos pasivos: dimensionamiento

En los convertidores de electrónica de potencia los elementos pasivos desempeñan un papel importante puesto que definen las características de las señales de salida y de la dinámica de mismo. El MMC como parte de esta familia no queda exento, puesto que la cantidad y tamaño de elementos pasivos que lo componen es directamente proporcional al número de niveles de salida. Es por ello que esta sección se enfoca en el dimensionamiento de estos elementos.

1.3.1.1. Condensador en el submódulo

Los condensadores C_0 que están alojados, uno por cada submódulo del MMC, poseen la función principal de generar un escalón de tensión a la salida del convertidor durante un determinado lapso de tiempo, que es definido por la técnica de modulación (analizada en el Capítulo 2). Una de las metodologías para dimensionar el C_0 propone utilizar (1.1), la cual está basada en el estudio de la cantidad de energía que el condensador debe ser capaz de almacenar (para mayor profundidad consultar [62, 68]).

$$C_0 = \frac{S_g}{3} \frac{N_{sm}}{\omega_g \xi_c m_x V_{cd}^2} \left[1 - \left(\frac{m_x \cos \phi_g}{2} \right)^2 \right]^{3/2}, \quad (1.1)$$

donde:

m_x	es el índice de modulación en amplitud;
N_{sm}	es el número de submódulos por bloque;
S_g	es la potencia aparente que transfiere el MMC;
ϕ_g	es el ángulo de desfase entre la tensión y la corriente;
V_{cd}	es la tensión nominal del enlace de cd ;
ω_g	es la velocidad angular de la red en ca ;
ξ_c	es el rizo máximo permitido en la tensión del condensador.

Una vez que se establece la función que define el valor de C_0 , se selecciona el condensador adecuado para la aplicación que concierne a este trabajo, tomando en cuenta a [1] y los parámetros eléctricos descritos en la Tabla 1.2. Conjuntamente, se plantea que $\xi_c = \{5\%, 10\%\}$ y de forma, en primer instancia, arbitraria $m_x = 0.7071$. Al substituir dichas cantidades dentro de (1.1) se obtiene que $C_0 = \{9928.14, 4914.43\} \mu\text{F}$. En la Figura 1.8 se ilustra gráficamente la variación de C_0 en función del rizo de tensión, así como del nivel de tensión del enlace en cd .

Con el objetivo de corroborar los resultados previamente obtenidos, se pone a funcionar el MMC de 19 niveles en lazo abierto con los parámetros eléctricos de la Tabla 1.2,

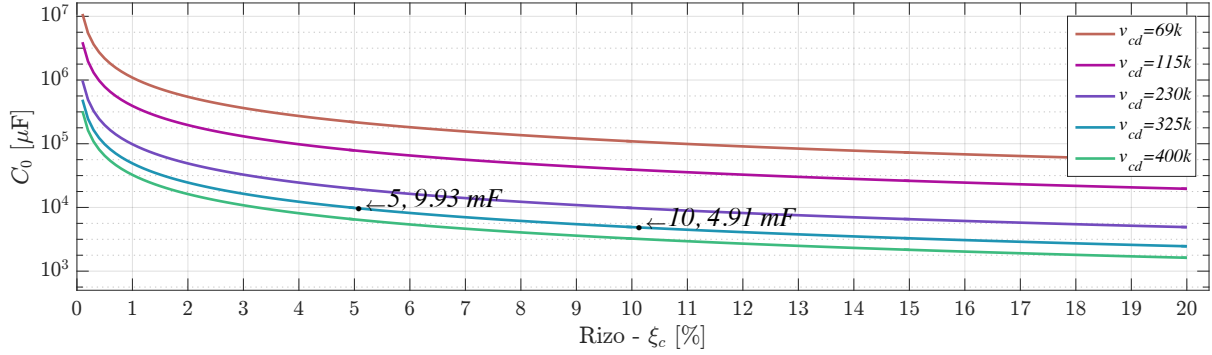
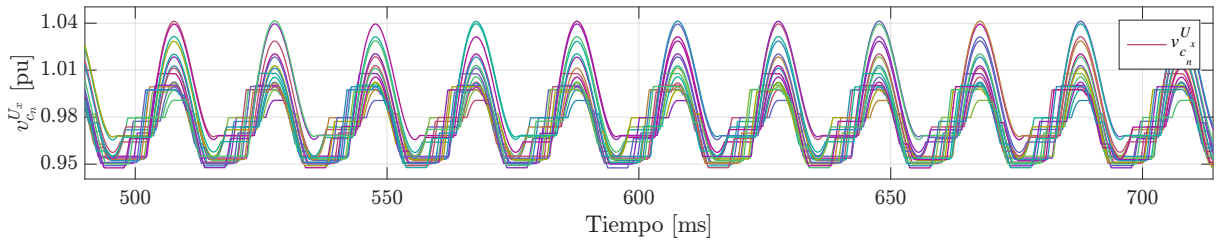
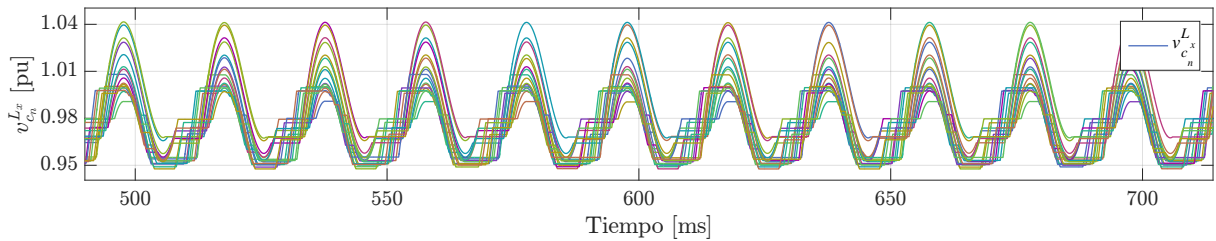


Figura 1.8. Comportamiento del condensador en función del rizo y de la tensión de cd .

donde el C_0 de cada SM tendrá una capacitancia de 9.9 mF. Es necesario mencionar que esta primera simulación hace uso del esquema de modulación NLC reportado en [68]. La Figura 1.9 muestra, en valores por unidad o pu, las 18 tensiones de ambos bloques de una de las ramas del MMC; donde la tensión base es V_c de la Tabla 1.2. De manera cuantitativa, las tensiones oscilan entre 1.04 y 0.95 pu, lo que representa el 9%; además la tensión promedio es de 0.978 pu.



(a) Tensión en los SM del bloque superior.



(b) Tensión en los SM del bloque inferior.

Figura 1.9. Tensión en los SM del MMC.

Al analizar la expresión (1.1) se observa que C_0 es inversamente proporcional a N_{sm} , lo que se traduce en que entre mayor sea el número de niveles del convertidor la capacitancia aumentará. Como consecuencia el MMC requiere condensadores más grandes, pero de menor tensión, en comparación con las topologías de 2, 3, 5 o 7 niveles de tensión.

1.3.1.2. Inductor de desacoplo

Los inductores de desacoplo (L_0) dentro del MMC están presentes en las tres ramas del convertidor, como lo muestra la Figura 1.10. Su función consiste en permitir que la tensión instantánea en cada bloque sea diferente y al mismo tiempo reduce la magnitud de las corrientes armónicas pares que circulan por los bloques del MMC, estas corrientes también son causantes de fenómenos tales como [69, 70]:

- Esfuerzos adicionales a los submódulos y aumento en las pérdidas eléctricas.
- Incremento en el rizo de tensión presente en los condensadores C_0 .
- Mayor contenido armónico en las señales de salida.

Con el objetivo de dimensionar a L_0 es preciso primero definir de forma genérica la corriente del bloque B de la fase x como i_{B_x} , en la Figura 1.6 se muestran las 6 corrientes presentes en el convertidor. Dicha corriente está compuesta por una fracción de la corriente en cd , además de una porción de la corriente en ca a la salida del convertidor, así como de una componente que está al doble de la frecuencia de red (i_{cir_x}) y otras componentes armónicas pares. Estas componentes pares de alto orden, que circulan a lo largo de cada una de las ramas del MMC, se originan debido a la interacción del flujo eléctrico dentro del convertidor al momento que se transfiere potencia.

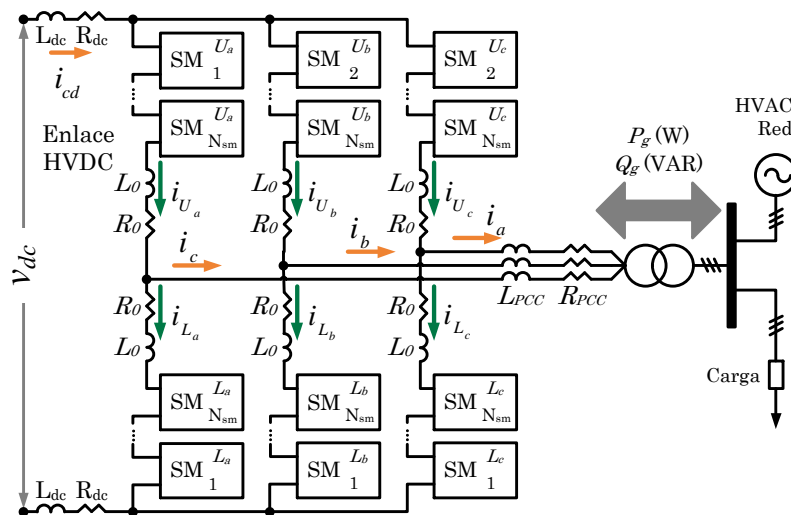


Figura 1.10. Circuito del MMC trifásico.

Una de las metodologías para seleccionar los inductores de desacoplo, proviene de analizar la energía en cada rama en función de las componentes pares de las variables eléctricas en el MMC; a partir de esto se concibe (1.2), que determina el valor del inductor para un punto de operación en específico (para mayor profundidad consultar [26, 70, 71]).

$$L_0 = \frac{1}{8\omega_g^2 C_0 V_c} \left(\frac{S_g}{3I_{cir}} + V_{cd} \right). \quad (1.2)$$

Donde:

- C_0 es la capacitancia de cada submódulo;
- I_{cir} es la corriente al doble de la frecuencia fundamental;
- S_g es la potencia aparente de MMC;
- V_{cd} es la tensión del bus de cd ;
- V_c es la tensión de en C_0 ;
- ω_g es la velocidad angular de la red en ca ;

En los casos de estudio mostrados en [1,62,63,72] se propone que $L_0 = 50$ mH, a partir de este punto de partida se va reduciendo, por mitad, el valor del inductor de desacoplo para observar como se comporta el valor pico de i_{cir} , mediante:

$$I_{cir} = \frac{S_g}{(24\omega_g^2 C_0 V_c L_0) - 3 V_{cd}}. \quad (1.3)$$

Tomando en cuenta los parámetros eléctricos de la Tabla 1.2 y el valor del condensador previamente seleccionado igual a 9.9 mF, se obtiene:

$$I_{cir} \big|_{L_0=6.25\text{mH}} = 200.8376 \text{ A} = 0.05680 \text{ pu}, \quad (1.4)$$

$$I_{cir} \big|_{L_0=12.5\text{mH}} = 91.4637 \text{ A} = 0.02586 \text{ pu}, \quad (1.5)$$

$$I_{cir} \big|_{L_0=25\text{mH}} = 43.7797 \text{ A} = 0.01238 \text{ pu}, \quad (1.6)$$

$$I_{cir} \big|_{L_0=50\text{mH}} = 21.4324 \text{ A} = 0.006061 \text{ pu}. \quad (1.7)$$

donde la corriente base para normalizar la corriente en el bloque está dada por (1.18)

Con el objetivo de confirmar los resultados de I_{cir} para cada valor de inductancia, se ejecutan diferentes simulaciones del MMC de 19 niveles en lazo abierto, considerando los parámetros de la Tabla 1.2 y que $C_0 = 9.9$ mF. Las formas de onda mostradas en el lado izquierdo de la Figura 1.11 confirman que al aumenta el valor del inductor de desacoplo (L_0) la forma de onda de la corriente en el bloque mejora. Lo cual es producto de la atenuación de las componentes armónicas como se muestra en gráficos (b), (d), (f), (h), de la Figura 1.11; para desplegar los datos del espectro armónico se escalan por 1×10^6 , para así lograr expresar los resultado en partes por millon (PPM). No obstante, aun que aumentar el valor de L_0 disminuye las componentes no deseadas, no es posible incrementar de forma ilimitada debido a que también restringe la cantidad de potencia que el MMC puede transferir.

Dado que la corriente en los bloques es inherente al funcionamiento de este esquema modular, se han propuesto diferentes soluciones para minimizarla, dentro de las cuales

destaca la selección adecuada del inductor de desacoplo y un lazo de control que minimice las componentes no deseadas. Adicionalmente, en el presente trabajo de investigación se llega a la conclusión de que un sobredimensionamiento de los condensadores dentro de los submódulos del MMC reduce el desbalance de la tensión de los SM y esto se refleja como corrientes parásitas de menor amplitud, además esta solución no limita la cantidad de potencia que el convertidor puede transferir; incluso la energía almacenada podría ser usada para emular la inercia que presentan las fuentes de energía rotatorias.

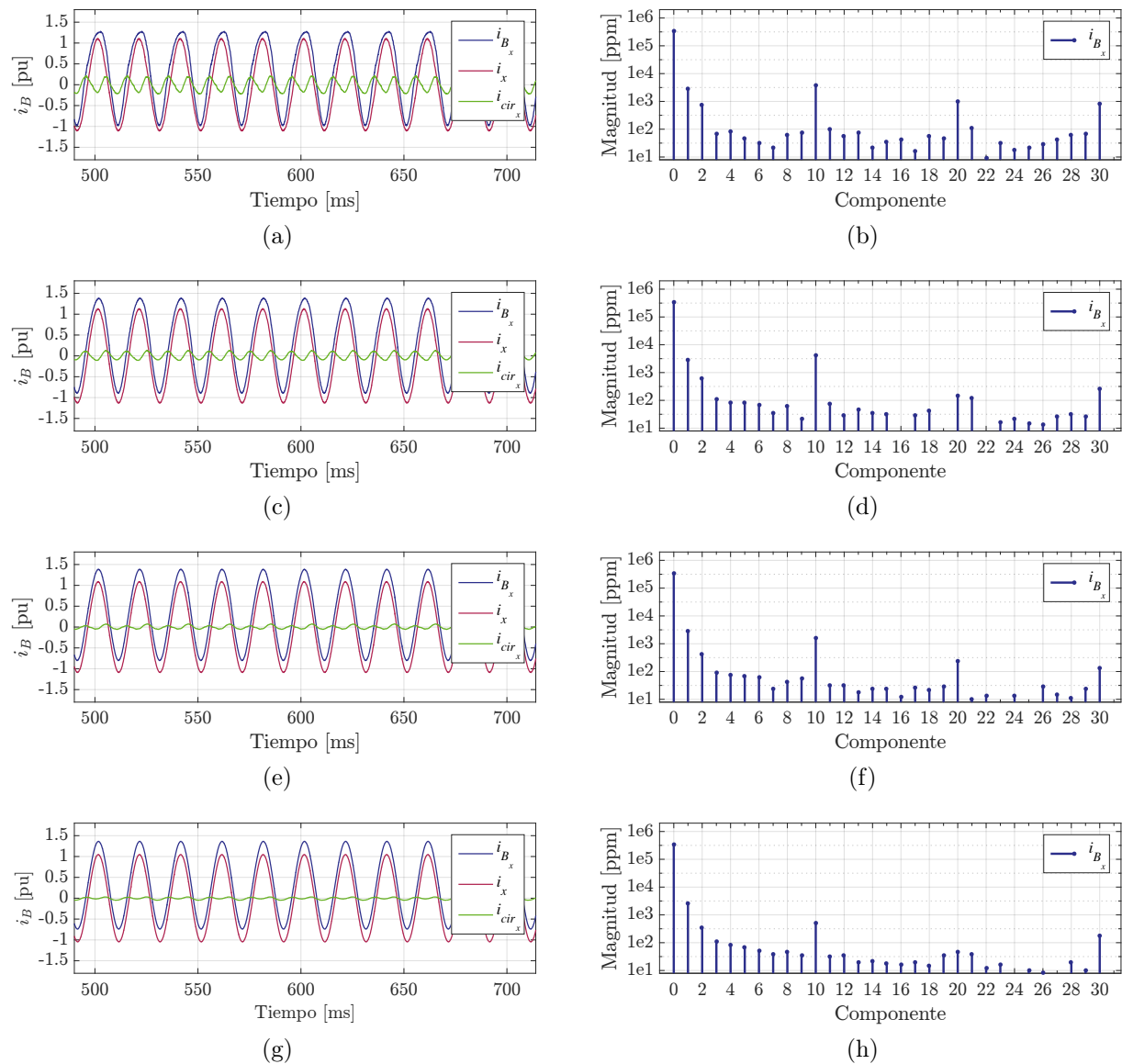


Figura 1.11. Corriente de rama del convertidor con varios valores de la inductancia de desacoplo. (a), (b) $L_0 = 6.25$ mH, (c), (d) $L_0 = 12.5$ mH, (e), (f) $L_0 = 25$ mH, (g), (h) $L_0 = 50$ mH.

1.3.2. Valores base en el PCC

En esta sección se definen los valores base en el punto de conexión común, considerando los parámetros de la Tabla 1.3, comenzando con:

$$S_{b1} = 1 \times 10^9 \text{ VA} . \quad (1.8)$$

$$V_{b1} = 115 \times 10^3 \text{ V} . \quad (1.9)$$

$$I_{b1} = \frac{S_{b1}}{\sqrt{3} V_{b1}} = 5,020 \text{ A} . \quad (1.10)$$

$$Z_{b1} = \frac{V_{b1}^2}{S_{b1}} = 13.2250 \Omega . \quad (1.11)$$

Considerando un factor de calidad del 10% y los valores base obtenidos, el valor en pu de la inductancia de desacoplo, queda como:

$$Z_{L_0} = |1.5708 + 15.708j| \Omega = 15.7863 \Omega = 1.1936 \text{ pu} , \quad (1.12)$$

lo que representa $Q_{L_0} = 1.1936 \text{ pu}$.

De la misma manera la impedancia de acoplamiento (L_{pcc}) es igual a 7.5 mH y un factor de calidad del 12.5%, su valor en pu, es:

$$Z_{L_{pcc}} = |0.2945 + 2.3562j| \Omega = 2.3745 \Omega = 0.1795 \text{ pu} , \quad (1.13)$$

lo que figura como $Q_{L_{pcc}} = 0.1795 \text{ pu}$.

Aunado a esto se especifican las características de la red, en la cual la potencia de corto circuito de la red es 16.7 pu y le factor $X/R = 8$.

1.3.2.1. Valores de normalización desde el enlace de *cd*

Con el fin de analizar de forma directa las señales eléctricas relacionadas con el enlace en *cd*, se propone los siguientes valores como nominales y con base en ellos normalizar las respuestas obtenidas.

$$P_{b2} = 1 \times 10^9 \text{ w} . \quad (1.14)$$

$$V_{b2} = 325 \times 10^3 \text{ V} . \quad (1.15)$$

$$I_{b2} = 3,076.9 \text{ A} . \quad (1.16)$$

Aunado a esto se presentan los valores nominales para la tensión de los condensadores $C_{[0]}$ y de la corriente máxima en los bloques del MMC.

$$V_{b3} = \frac{V_{cd}}{N_{sm}} = \frac{325 \times 3}{18} = 18,055.56 \text{ V} . \quad (1.17)$$

$$I_{b3} = \frac{I_{cd}}{3} + \frac{I_x}{2} = 3535.9 \text{ A} . \quad (1.18)$$

Tabla 1.3. Parámetros del banco de pruebas.

Parámetro eléctrico	Símbolo	Magnitud	Unidad	Magnitud	Unidad
Potencia aparente máxima	S_g	1.118	GVA	1.118	pu
Potencia activa	P_g	1	GW	1	pu
Potencia reactiva	Q_g	0.5	GVAR	0.5	pu
Tensión línea-línea	V_g	115	kV	1	pu
Tensión línea-neutro	V_x	66.4	kV	0.5773	pu
Corriente por fase	I_x	5,020	A	1	pu
Frecuencia de línea	f_g	50	Hz		
Inductancia de enlace	L_{pcc}	7.5	mH	0.1782	pu
Resistencia de enlace	R_{pcc}	0.2945	Ω	0.0223	pu
Inductancia de desacoplo	L_0	50	mH	1.1877	pu
Resistencia de desacoplo	R_0	0.02810	Ω	0.1187	pu
Condensador del SM	C_0	9.9	mF		
Tensión de cd	V_{cd}	325	kV		
Tensión del C_0	V_c	18.05	kV		
Número de SM por bloque	N_{sm}	18			
Inductancia de la línea de cd	L_{cd}	5	mF		
Resistencia de la línea de cd	R_{cd}	0.2	Ω		

TÉCNICAS DE MODULACIÓN Y BALANCE PARA EL CONVERTIDOR MODULAR MULTINIVEL

2.1. Técnicas de modulación multinivel

Los convertidores multinivel son capaces de generar señales de tensión escalonadas a la salida, las cuales se logran mediante un apropiado encendido y apagado de los interruptores del convertidor. La secuencia se genera mediante una técnica de modulación que se selecciona dependiendo del tipo de convertidor y de su aplicación. La Figura 2.1 muestra un diagrama con la taxonomía de las distintas técnicas de modulación para convertidores multinivel [30].

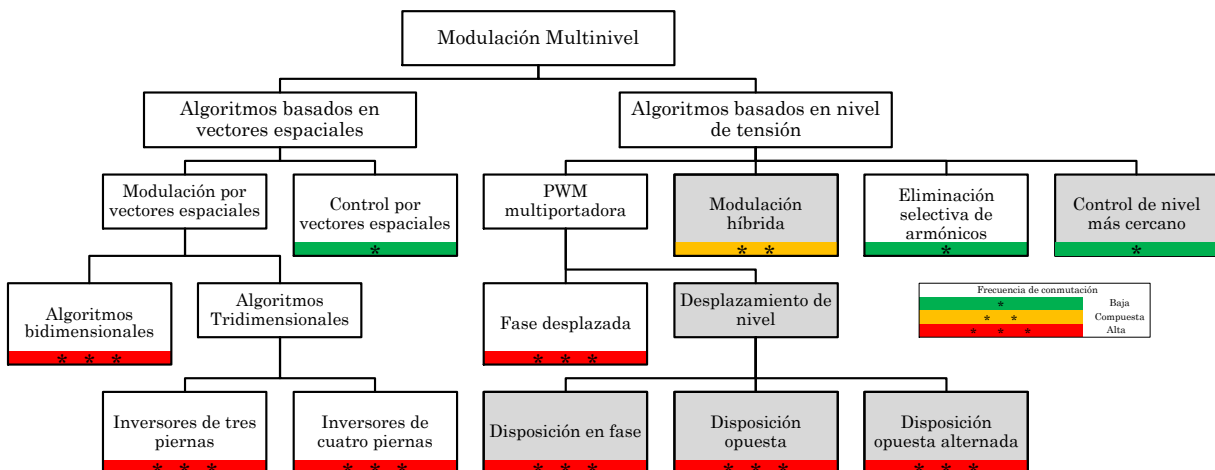


Figura 2.1. Técnicas de modulación para los convertidores multinivel.

Las técnicas de modulación multinivel basadas en el esquema de modulación por ancho de pulso (PWM) tiene la principal ventaja de colocar el contenido armónico de la señal de salida, típicamente, alrededor de la componente fundamental de la señal portadora. Al ser utilizadas en aplicaciones con bajo número de niveles y a baja o media potencia es posible el uso de frecuencias de conmutación elevadas lo que produce un aumento en las pérdidas por conmutación; particularmente en convertidores con un número elevado de dispositivos semiconductores que dan forma a un sólo interruptor [30, 73]. Sin embargo, cuando el número de niveles del convertidor aumenta, es factible mantener la frecuencia de conmutación baja y lograr una alta frecuencia a la salida [74].

Actualmente se encuentran reportadas diferentes técnicas de modulación aplicables a VSC con un elevado número de niveles de tensión que permiten sintetizar formas de onda con bajo THD y frecuencias de conmutación bajas, como: la eliminación selectiva de armónicos (*Selective Harmonic Elimination*) o SHE, así como el método para la eliminación activa de armónicos (*active-harmonic-elimination method*) o AHEM [73, 75]. Sin embargo, para aplicaciones con puntos de operación altamente cambiantes, incluso sistemas que están en lazo cerrado, este tipo de técnicas se tornan poco prácticas debido a la cantidad y a la complejidad de las operaciones matemáticas para calcular los ángulos de disparo adecuados [53]. En los trabajos [76, 77] se propone controlar un convertidor multinivel mediante una variante de la técnica de modulación del vector más cercano, el cual brinda un buen desempeño al representar señales con referencia variante en el tiempo. No obstante esta opción se descarta debido a que su implementación no es directa y requiere de un método numérico eficaz para encontrar el vector más cercano al vector de referencia [53].

2.2. Técnica de modulación de nivel más cercano

En los convertidores con un alto número de niveles de tensión a la salida, la técnica de modulación por aproximación de nivel o técnica de modulación de nivel más cercano NLC (*nearest level control*) se considera una solución adecuada, dado que la señal que se sintetiza a la salida del convertidor es escalonada y no pulsada y la frecuencia de conmutación es baja.

La forma escalonada proviene de utilizar un método de redondeo o de comparación contra un nivel de cd , en la Figura 2.2 se muestran diferentes señales compuestas por 11, 19 y 36 niveles de tensión que resultan de aplicar la técnica NLC. Además, se especifica en cada una su THD; a partir de las cuales se concluye que con 36 niveles de salida el contenido

armónico no supera la cota del 2.5% para tensiones menores a 169 KV, establecida por el IEEE-STD 519-1992 [78].

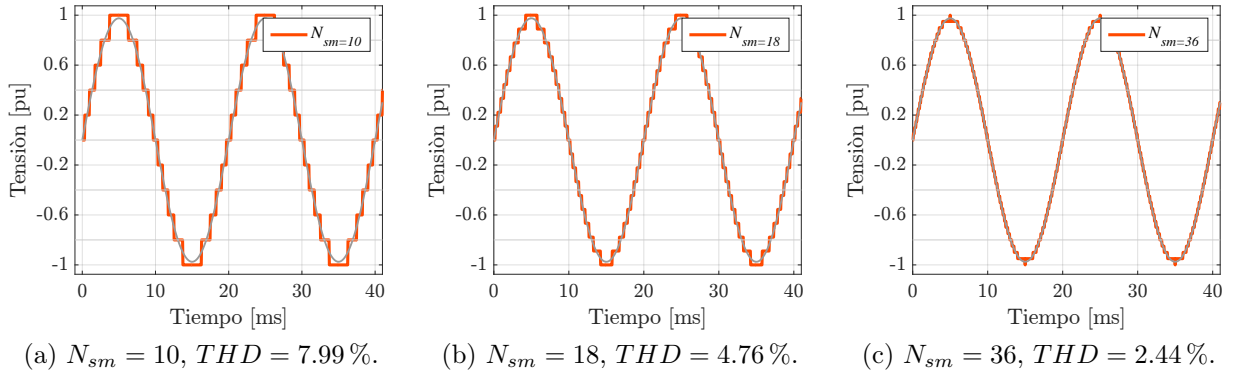


Figura 2.2. Señales escalonadas obtenidas con la NLC, ($m = 0.975$).

Con el objetivo de dejar clara la manera en cómo un MMC controlado mediante la técnica NLC logra sintetizar la onda a la salida, se utiliza el ejemplo de la Figura 2.3, que se obtiene a partir de los diferentes estados de conmutación mostrados en los esquemas eléctricos de la Figura 2.4. De estos resultados se establece que un ciclo completo de la señal de salida en ca se produce encendiendo y apagando sólo una vez cada submódulo; por ende la frecuencia de conmutación de los interruptores de electrónica de potencia es igual a la frecuencia de la red. Además, el bajo número de transiciones por segundo reduce las pérdidas por conmutación y posibilita el uso de dispositivos semiconductores de mayor potencia, aún cuando se presenten tiempo de conmutación de varios microsegundos.

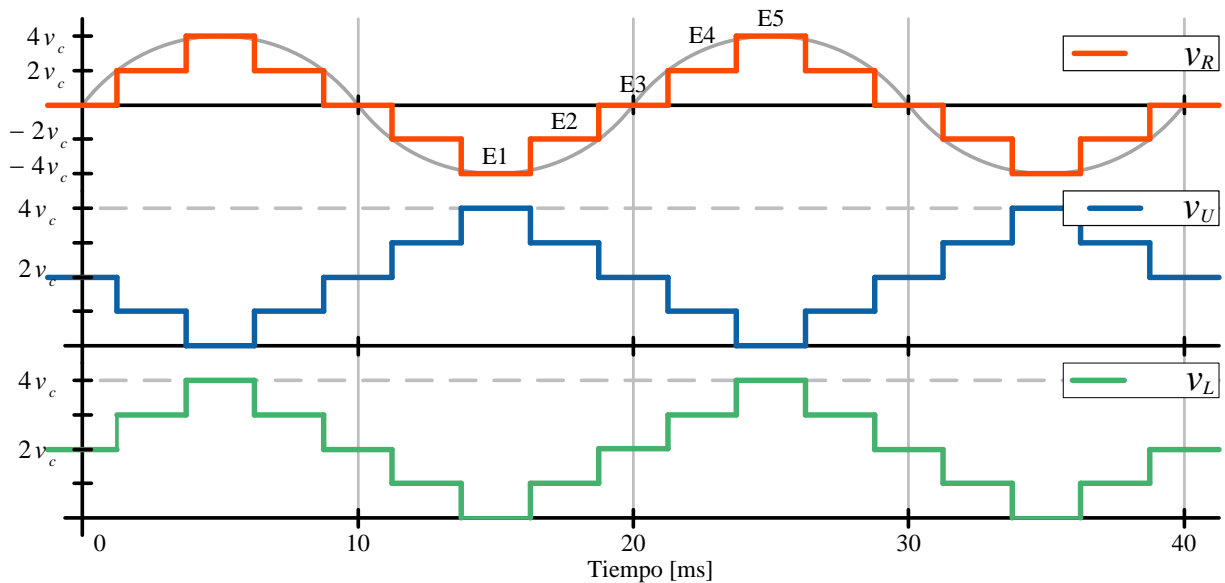


Figura 2.3. Formas de onda de salida en el MMC de 5 niveles.

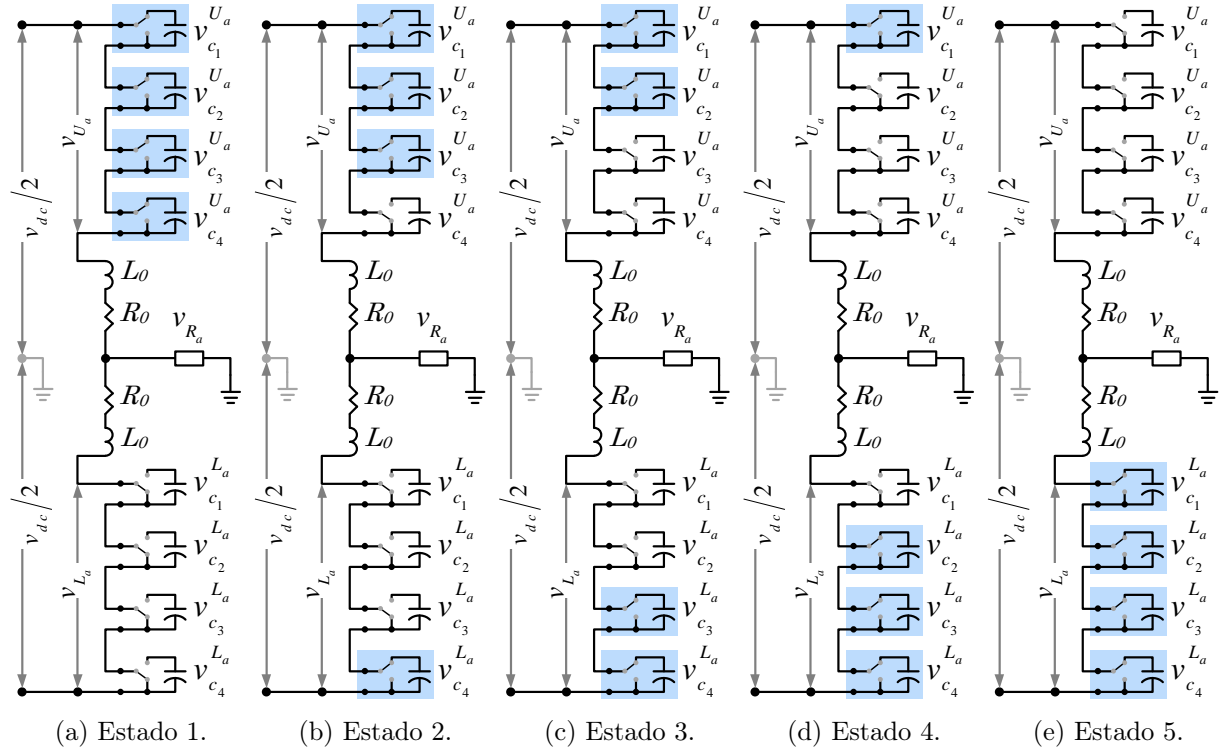


Figura 2.4. Esquemas eléctricos del MMC de 5 niveles.

La técnica NLC genera señales escalonadas a partir de una función de redondeo o comparación contra un valor constante, que es más simple de implementar y el esfuerzo computacional es poco demandante aun cuando el número de niveles del MMC es alto [53]. No obstante, en aplicaciones con bajo número de niveles frecuentemente surgen fenómenos como: la omisión de componentes de baja magnitud, el aumento en el contenido armónico cuando la señal moduladora tiene baja amplitud y una distribución poco equitativa de los estados de conmutación.

Dado que la técnica NLC se implementa digitalmente se establece que para minimizar estos efectos, la frecuencia de muestreo (f_{zoh0}) de la plataforma digital debe cumplir con la siguiente desigualdad,

$$f_{zoh0} > 2f_g N_{sm} \quad (2.1)$$

donde f_g es la frecuencia de la red y N_{sm} es el número de submódulos con que cuenta cada bloque del MMC. En [53, 79] se detalla cómo esta desigualdad minimiza el efecto de pérdida de niveles.

Además de cumplir con la frecuencia de muestreo mínima para sintetizar la señal de salida, es necesario que el MMC cumpla con la siguiente condición.

Condición 1 *En todo momento el número de submódulos encendidos a lo largo de la rama es constante e igual a N_{sm} .*

Cumpliendo con lo anterior se consigue repartir equitativamente la tensión eléctrica del bus de cd en todos los submódulos encendidos, así como la reducción del rizo de tensión en los condensadores y en las terminales del inductor de enlace. Sin embargo, debido a esta restricción el número máximo de niveles que el convertidor puede generar a la salida es igual a $N_{sm} + 1$.

En los esquemas eléctricos de la Figura 2.4 se muestra un MMC de 5 niveles, y se observa que en todo momento hay 4 submódulos encendidos. En consecuencia la tensión del enlace en cd se reparte de forma equitativa. Este ejemplo deja en claro que para cualquier convertidor existe un número finito de combinaciones de encendido y apagado para los diferentes submódulos de una de las ramas, con el cual se debe sintetizar la señal de salida deseada.

2.2.1. Estados de conmutación

El número máximo de combinaciones para un convertidor con $2N_{sm}$ submódulos por rama es de $2^{2N_{sm}+1}$ [80]. Si además se cumple la **Condición 1** este número se reduce a:

$$\mathfrak{C}_{N_{sm}}^{2N_{sm}} := \binom{2N_{sm}}{N_{sm}} = \frac{2N_{sm}!}{N_{sm}!N_{sm}!}. \quad (2.2)$$

En la Tabla 2.1 se presentan algunos resultados numéricos en la que se exhiben nueve casos de combinaciones posibles para un MMC con diferente N_{sm} .

Tabla 2.1. Número de estados permitidos.

N_{sm}	Cantidad	N_{sm}	Cantidad	N_{sm}	Cantidad
4	70	12	2,704,156	32	1.8326×10^{18}
8	12,870	18	9.075×10^9	40	1.0751×10^{23}
10	184,756	20	1.378×10^{11}	80	9.2045×10^{46}

2.2.2. Análisis de estados redundantes

El número de elementos del conjunto de posibles estados de conmutación es definido previamente, sin embargo no queda claro cuantos estados redundantes existen para una misma señal de salida, Entonces, con el objetivo de definir analíticamente el número de combinaciones para una misma salida de tensión, se analiza un MMC de 3 hasta

los 19 niveles de salida; para con ello encontrar las combinaciones que cumplen con la **Condición 1** y posteriormente agruparlas según el nivel de tensión que producen.

Un ejemplo de este procedimiento, consiste en analizar los posibles estados de conmutación del circuito de la Figura 2.4 para genera la señal Figura 2.3. El cual ofrece 70 combinaciones permitidas (según (2.2)), de las cuales:

- 1 logra una tensión máxima (Figura 2.4 (e)),
- 16 forman un escalón de tensión positivo a la salida (Figura 2.4 (d)),
- 36 generan 0 V a la salida (Figura 2.4 (c)),
- 16 forman a la salida un escalón de tensión pero negativa (Figura 2.4 (b)),
- 1 logra una tensión mínima (Figura 2.4 (a)).

De la misma manera se analizan los convertidores hasta 10 SM debido a la carga computacional, con esto se generan las curvas correspondientes de la Figura 2.5. Además, se hace evidente que las salidas en los extremos cuentan sólo con un estado de conmutación posible y el número de estados redundantes aumenta conforme se llega al centro del gráfico.

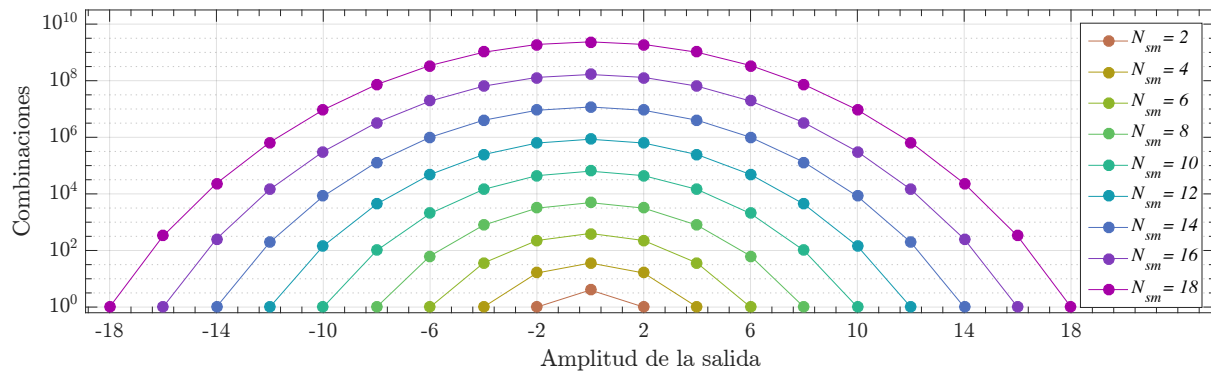


Figura 2.5. Estados redundantes del MMC.

Parte de la información de la Figura 2.5 se transfiere a la Tabla 2.2, a partir de la cual se establece que los estados redundantes describen un patrón de *Pascal* cuadrático. Conjuntamente, el último renglón de la tabla muestra la forma de calcular el número de combinaciones para cada nivel de tensión en la forma de onda de salida.

Tabla 2.2. Número de combinaciones redundantes para un nivel de tensión específico.

N_{sm} por bloque	-6	-4	-2	0	2	4	6
2			1	4	1		
4		1	16	36	16	1	
6	1	36	225	400	225	36	1
N_{sm}	$\binom{N_{sm}}{0}^2$	$\binom{N_{sm}}{1}^2$...	$\binom{N_{sm}}{n}^2$...	$\binom{N_{sm}}{1}^2$	$\binom{N_{sm}}{0}^2$

El elemento $C_n^{N_{sm}}$ de la Tabla 2.2 está definido como:

$$C_n^{N_{sm}} := \begin{cases} \binom{N_{sm}}{N_{sm}/2} & ; N_{sm} \text{ es par.} \\ \binom{N_{sm}}{[N_{sm}-1]/2} & ; N_{sm} \text{ es impar.} \end{cases} \quad (2.3)$$

Este análisis comprueba que el MMC posee un gran número de estados redundantes, lo cual representa un desafío desde el punto de vista de la técnica de modulación y algunos procedimiento de control; sin embargo los estados redundantes son el fundamento de las estrategias que permiten el balance de tensión de los condensadores, en convertidores de alto número de niveles.

2.2.3. Balance de tensión en los condensadores

El alto número de estados redundantes que presenta el MMC, al ser controlado con la técnica NLC que toma en cuenta la **Condición 1**, permite encontrar la combinación de señales de conmutación que logra sintetizar la señal de salida, mientras se balancea la tensión de los diferentes condensadores que componen al convertidor.

Reportadas en la literatura existen diferentes metodologías para encontrar la combinación más adecuada, de las cuales destacan las siguientes:

1. Algoritmo que ordena y selecciona los submódulos con mayor o menor tensión según sea el caso [55].
2. Algoritmo que establece una banda de desbalance máximo, que al rebasarla el algoritmo de balance se ejecuta [81].
3. Algoritmo que reduce la frecuencia de conmutación, solamente conmutando un submódulo por instante [53, 79].
4. Algoritmo que optimiza el número de conmutaciones, encendiendo los submódulos apagados y viceversa [79].
5. Algoritmo que únicamente acciona el submódulo con mayor o menor tensión en el condensador [18, 68].

La metodología para el balance de tensión en los condensadores que se describe en la siguiente sección tiene como base las referencias anteriormente mencionadas, y al mismo tiempo trata de conjuntar la mayor cantidad de ventajas ya reportadas para los MMC con bajo número de niveles.

2.2.3.1. Metodología de selección y balance

La metodología utilizada, adecua instante a instante las señales de conmutación para el convertidor; lo que cambia el paradigma mencionado anteriormente, puesto que para conocer las señales de conmutación actuales se parte del conjunto anterior de señales.

Otra característica que presenta el método propuesto es que el algoritmo de balance se ejecuta cada vez que existe un cambio de nivel en la señal de salida del convertidor. Si la frecuencia de muestreo cumple con (2.1), se garantiza que los cambios serán unitarios y no habrá saltos de nivel, además que la frecuencia de conmutación será igual a la de la red eléctrica. Al garantizar que instante a instante únicamente un submódulo se enciende o se apaga, es viable descartar la rutina que ordena la tensión de todos los submódulos de la rama y únicamente encontrar la tensión máxima y mínima, lo cual minimiza la cantidad de comparaciones que deberá realizar el algoritmo. Con la intención de optimizar aún más la metodología para el balance de tensión, se propone que cuando sea necesario encender un submódulo se seleccione entre los submódulos que están apagados y de la misma manera entre los diferentes submódulos encendidos se elija el submódulo a apagar.

Con la implementación de la metodología clásica para el balance de tensión en los condensadores en conjunto con las tres variantes anteriores, se desprenden las siguientes restricciones de operación.

1. Si es necesario encender un submódulo.
 - a) La corriente está entrando al bloque.
 - Encender el SM con menor tensión para que se eleve.
 - b) La corriente está saliendo del bloque.
 - Encender el SM con mayor tensión para que se reduzca.

2. Si es necesario apagar un submódulo.
 - a) La corriente está entrando al bloque.
 - Apagar el SM con mayor tensión para que no continúe elevándose.
 - b) La corriente está saliendo del bloque.
 - Apagar el SM con menor tensión para que siga disminuyendo.

El diagrama de flujo de la Figura 2.6 muestra la forma de variar el conjunto de señales de conmutación; este algoritmo está diseñado para aplicarse de forma indistinta al bloque superior o inferior de una rama del MMC. La rutina hace uso de diferentes variables que se definen a continuación:

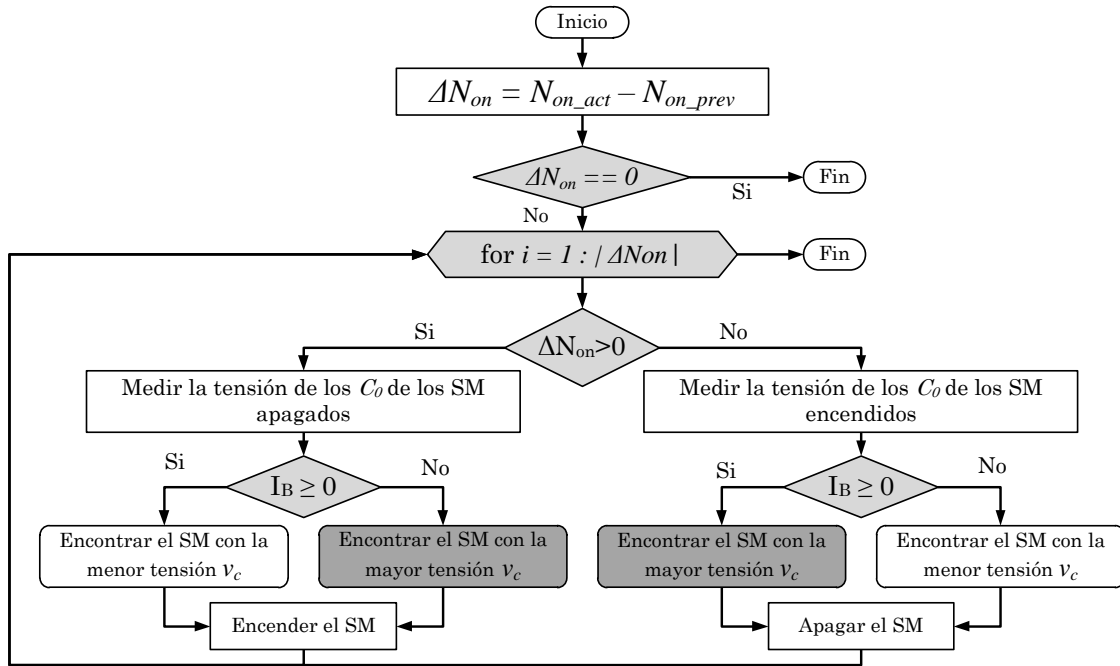


Figura 2.6. Diagrama de flujo para el balance de condensadores.

- N_{on_act} es la cantidad de submódulos que deben estar encendidos en el instante actual.
- N_{on_ant} es la cantidad de submódulos encendidos en el instante anterior.
- ΔN_{on} es la diferencia entre N_{on_act} y N_{on_ant} .
- I_B es la corriente que circula por el bloque.
- v_c es la tensión en el condensador de los diferentes submódulos.

Es preciso comentar que si $\Delta N_{on} > 0$ significa que se deben encender submódulos, o bien si $\Delta N_{on} < 0$ implica que es necesario apagar submódulos, para la mayoría de los casos $|\Delta N_{on}| = 1$. Sin embargo, cuando se presenta una variación de carga, esta variable puede llegar a alcanzar un valor mayor.

El algoritmo de selección y balance de condensadores propuesto en este trabajo de tesis, brinda la ventajas como:

- Es una rutina autocontenida, que puede ser ejecutada de forma indistinta a cualquier bloque.
- Disminuye el esfuerzo computacional, al no requerir medir y ordenar la tensión de todos los submódulos.
- Reduce la frecuencia de conmutación, al sólo medir y conmutar los convenientes.

- Distribuye equitativamente las conmutaciones y los tiempos de conducción.

Además, es posible añadir más restricciones a la secuencia de selección para con ello cumplir otros objetivos, como: agregar cotas para el rizo de tensión de los SM, así como substituir uno o varios SM por otros redundantes.

Con la finalidad de demostrar que el algoritmo propuesto logra mantener el balance de tensión de los condensadores en los SM, el Anexo E se hace un seguimiento paso a paso de un ejemplo de aplicación.

2.3. Técnica NLC-híbrida

La técnica de modulación NLC clásica es concebida para convertidores con alto número de niveles, puesto que la señal generada presenta tantos cambios de nivel, como submódulos posee el convertidor en cada bloque, debido a esto se tienen diversos beneficios, como:

- Reducir el efecto de pérdida de niveles.
- Mejorar las señales de conmutación para que no pierdan demasiada información.
- Ejecutar una mayor cantidad de veces el algoritmo de balance, y con ello reducir el rizo de tensión en los condensadores.

Sin embargo, para aplicaciones con bajo número de niveles, algunas de estas características pierden efectividad, dado que la señal generada por el algoritmo presenta pocos cambios de nivel por ciclo de red. Es viable incrementar indiscriminadamente el número de veces que el algoritmo se aplica, proponiendo una desviación de tensión máxima y cuando ésta es superada, el algoritmo de balance se ejecuta. Sin embargo, una alternativa más útil de aumentar la frecuencia, es substituir el algoritmo de redondeo con un esquema de modulación SPWM multinivel, como los que aparecen en la Figura 2.7, dando como resultado un incremento en la frecuencia de conmutación en los submódulos y al mismo tiempo concentra las componentes armónicas en una región conocida del espectro.

En [30,82] se analizan las diferentes técnicas de modulación basadas en portadoras con desplazamiento de nivel (LS-SPWM), las cuales son:

- Disposición en fase (PD-PWM).
- Disposición opuesta (POD-PWM).
- Disposición con oposición de fase alternada (APOD-PWM).

A pesar de que cada variante presenta características distintas, al momento de aplicarlas a convertidores modulares multinivel deben de ser acondicionadas para cumplir con la **Condición 1**; tal y como se muestran en la Figura 2.8. Al distribuir las señales

portadoras de esta manera se asegura que en todo momento la cantidad de submódulos encendidos sea constante, a lo largo de las ramas del MMC.

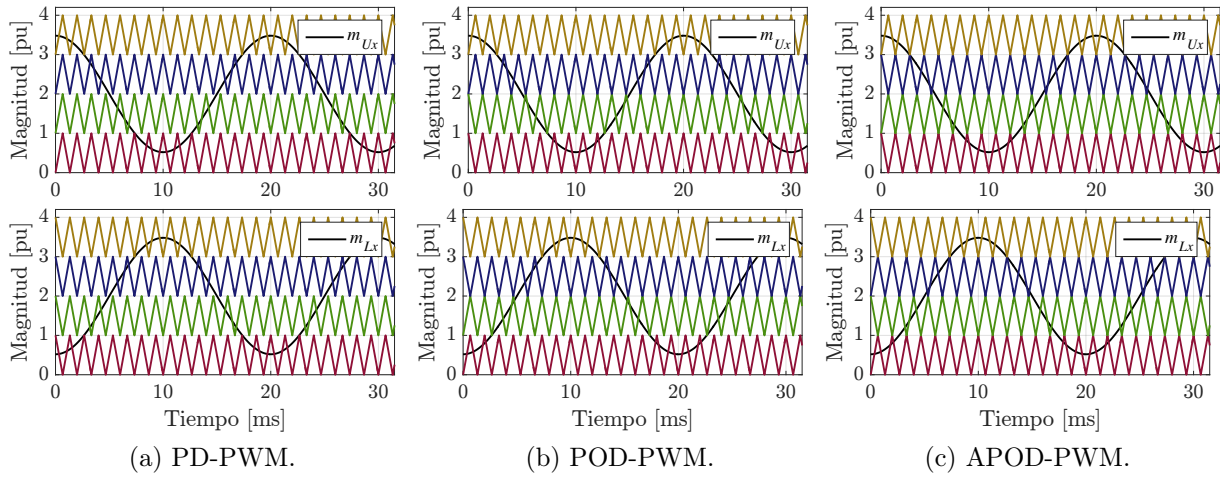


Figura 2.7. Variantes de la técnica LS-SPWM.

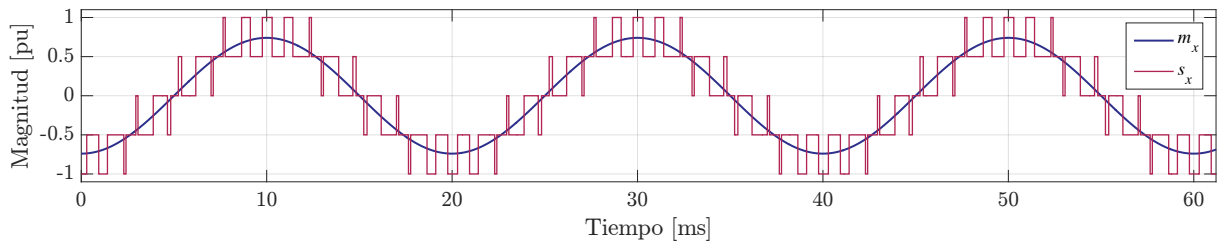
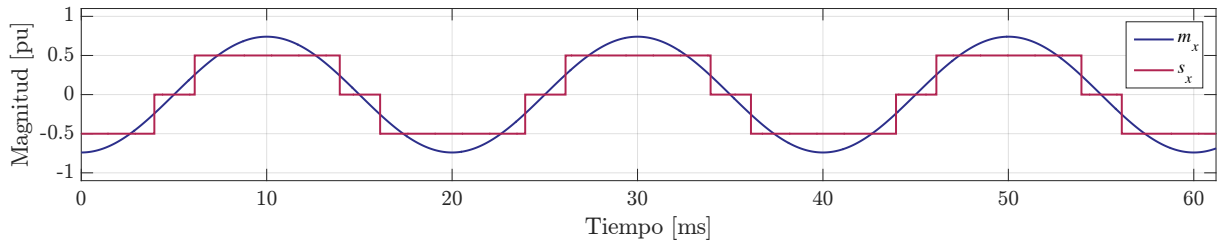


Figura 2.8. Comparación entre las técnicas de modulación ($m_{R_x} = 0.74$).

La Figura 2.8 (a) muestra la señal de control resultante de la comparación por redondeo, la cual consiste en comparar la señal moduladora de la rama x ($m_{R_x} = 0.74$) contra las señales portadoras que tienen una magnitud constante; se observa que debido a la magnitud seleccionada, la señal de salida presenta una pérdida de niveles, lo cual se traduce en un aumento del contenido armónico y pérdida de información. Sin embargo, al utilizar cualquiera de las técnicas LS-SPWM (Figura 2.8 (b)) es posible reducir este fenómeno; además, que aumenta el número de veces que la señal cambia de nivel y con

ello el número de ocasiones que el algoritmo de balance se ejecuta; logrando de esta forma reducir el rizo en la tensión de los condensadores.

2.3.1. Desempeño de la técnica NLC-híbrida

La Figura 2.9 ilustra en forma de diagrama a bloques el mecanismo para la generación de señales de encendido y apagado de los diferentes submódulos del MMC. Se puede apreciar que cada bloque del convertidor cuenta una rutina independiente para balancear los submódulos y generar las señales de disparo. Además como ya fue mencionado, el número de SM a encender (N_{on_act}) se genera a través de una comparación SPWM que funciona de manera autónoma y que dependiendo del bloque sobre el que actúa la disposición de las portadoras cambia como se muestra en la Figura 2.7. Las señales moduladoras de cada bloque de comparación SPWM son simétricas y se derivan de una misma señal moduladora.

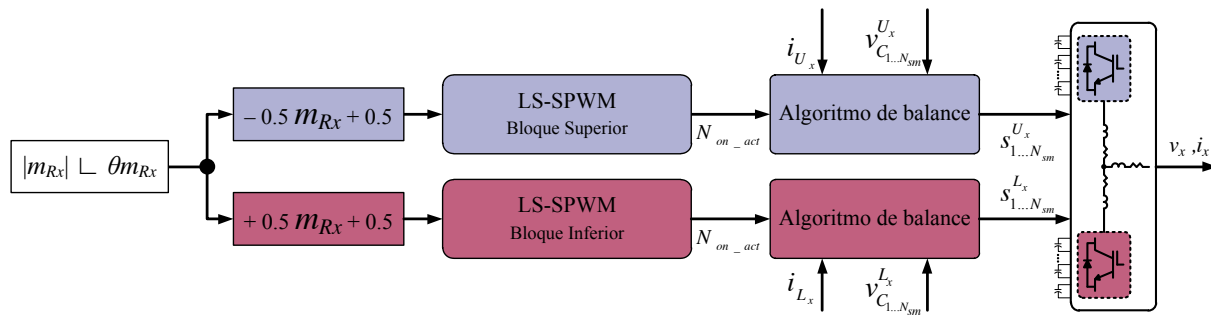


Figura 2.9. Diagrama a bloques de la técnica NLC-híbrida.

La Figura 2.10 muestra la evolución de las señales a través de la técnica de modulación. La primer etapa se muestra en la Figura 2.10 (a), donde se genera un par de señales moduladoras simétricas, una por cada uno de los bloques, mediante:

$$m_{U_a} = \frac{1}{2} (0.5 - m_{R_a}) , \quad (2.4)$$

$$m_{L_a} = \frac{1}{2} (0.5 + m_{R_a}) . \quad (2.5)$$

Aunado a esto se definen las características de las señales portadoras, iniciando con la frecuencia de las portadoras que está definida por el producto de la frecuencia de red (f_g) y el índice de modulación en frecuencia (m_f); posteriormente a disposición de las señales portadoras se elige dependiendo de la posición del bloque en la rama y la técnica de modulación.

Posteriormente en la Figura 2.10 (b), se muestra el resultado de la comparación para el bloque superior. Estas señales se suman entre ellas para formar una única señal que

indica la cantidad de submódulos que deben de estar encendidos en cada instante, como lo muestra la Figura 2.10 (c). Al ejecutar el algoritmo para el balance de la tensión en los condensadores (Figura 2.6) se generan las señales de encendido para cada uno de los submódulos. Dichas señales reparten equitativamente el número de conmutaciones y los tiempos de conducción, aún cuando la señal que las genera no esté compuesta por el número máximo de niveles.

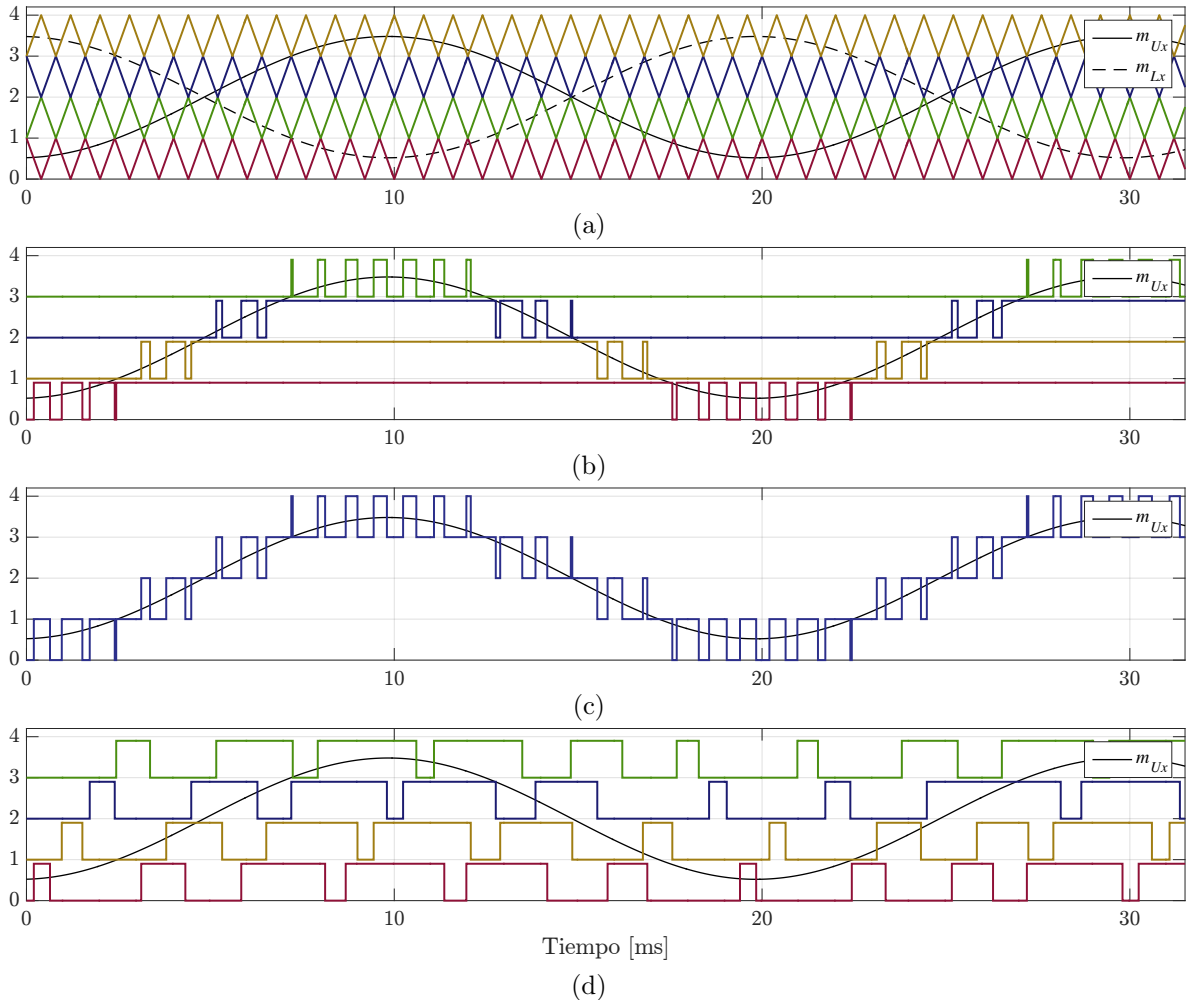


Figura 2.10. Etapas de la modulación híbrida. (a) Señales a comparar. (b) Resultado de la comparación. (c) Número de niveles a encender. (d) Señales de control hacia el MMC.

2.3.1.1. Frecuencia de conmutación en la NLC-híbrida

Parte del estudio y caracterización de la NLC-híbrida es determinar la frecuencia de conmutación de cada uno de los submódulos. Como ya fue definido en la Sección 2.2, para la técnica NLC clásica la frecuencia es de 60 ó 50 Hz dependiendo del sistema eléctrico en *ca.* En (2.6) se define la frecuencia media de conmutación para la técnica híbrida propuesta;

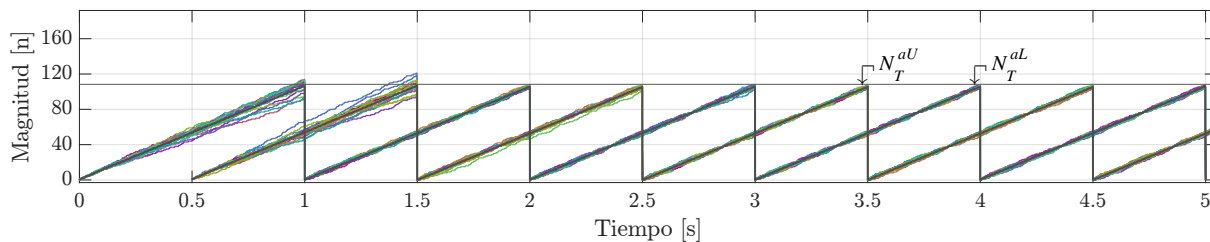
donde; f_g es la frecuencia de línea, N_{sm} es el número de submódulos por bloque y m_f es índice de modulación en frecuencia.

$$f_{sm} = \frac{f_g (m_f - 1)}{N_{sm}} . \quad (2.6)$$

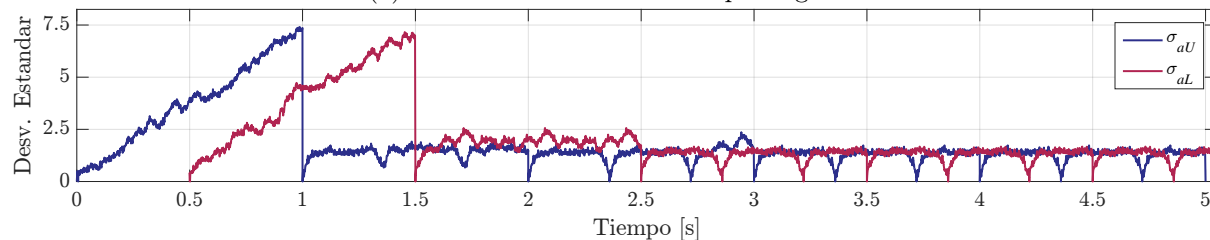
Tabla 2.3. Casos de prueba de la frecuencia de conmutación.

Caso I (Aplicación)			Caso II (Ejemplo)			Caso III (Ejemplo)		
Parámetro	Magnitud	Unidad	Parámetro	Magnitud	Unidad	Parámetro	Magnitud	Unidad
N_{sm}	18		N_{sm}	18		N_{sm}	10	
m_f	40		m_f	24		m_f	27	
f_g	50	Hz	f_g	50	Hz	f_g	60	Hz
f_{sm_I}	108.33	Hz	$f_{sm_{II}}$	63.88	Hz	$f_{sm_{III}}$	156	Hz

Los resultados mostrados en la Tabla 2.3 producto de utilizar (2.6), se corroboran mediante la simulación de un MMC con las características de cada caso. Durante las simulaciones se cuentan las conmutaciones de cada submódulo y se hace un promedio de estos conteos. La frecuencia promedio calculada contiene una parte decimal, lo que se puede interpretar como que algunos de los SM encienden una vez más que otros, y al calcular promedio del número de encendidos por segundo de los SM del bloque, se consigue el valor decimal.



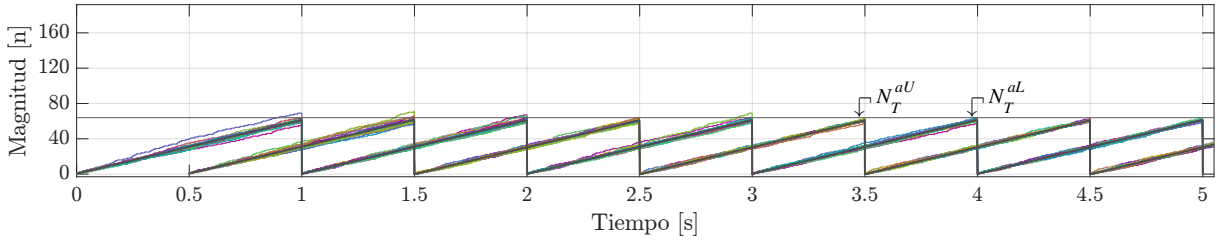
(a) Número de conmutaciones por segundo.



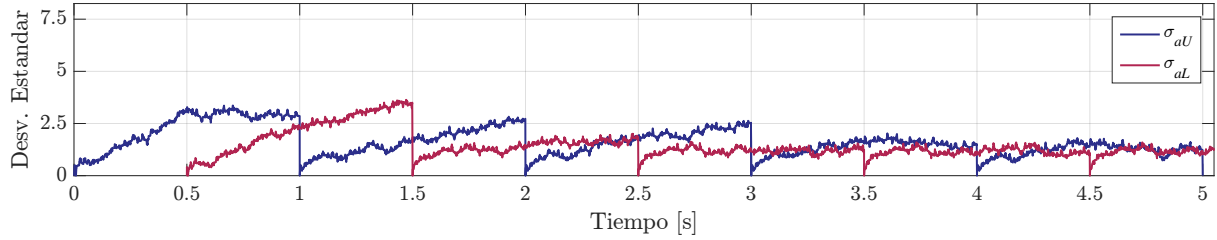
(b) Desviación estándar del número de conmutaciones.

Figura 2.11. Caso I, análisis del número de conmutaciones.

Las Figuras 2.11 (a), 2.12 (a) y 2.13 (a) muestran la evolución del número de conmutaciones de los diferentes submódulos de ambos bloques del MMC (N_T^{Ua} , N_T^{La}), donde después de 1 s el contador se reinicia; Se observa que en los 3 diferentes casos

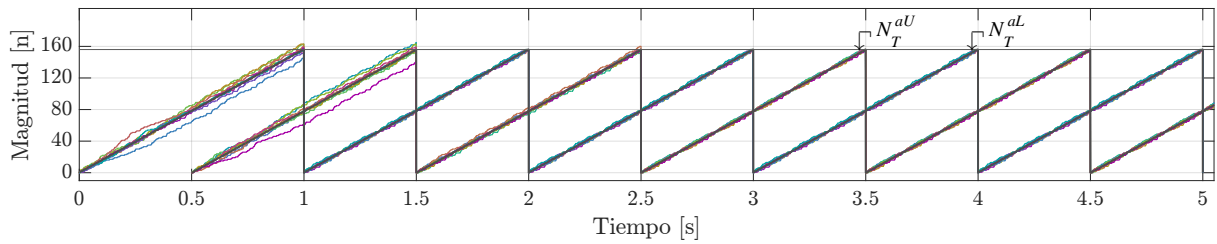


(a) Número de conmutaciones por segundo.

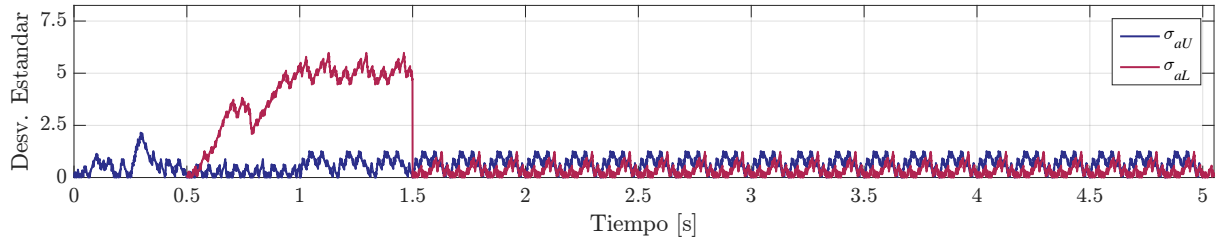


(b) Desviación estándar del número de conmutaciones.

Figura 2.12. Caso II, análisis del número de conmutaciones.



(a) Número de conmutaciones por segundo.



(b) Desviación estándar del número de conmutaciones.

Figura 2.13. Caso III, análisis del número de conmutaciones.

la frecuencia promedio, define el valor alrededor del cual se encuentra la frecuencia de conmutación de cada SM del MMC, lo que valida a (2.3).

Con el objetivo de confirmar que el número de conmutaciones es equilibrado, se calcula su desviación estándar (σ) y se traza el comportamiento de cada caso en las Figuras 2.11 (b), 2.12 (b) y 2.13 (b). Donde se observa que posterior al transitorio de arranque la σ tiene un valor menor o igual a 2, lo que se puede interpretar como el número de conmutaciones entre los submódulos no difiere en más de 2 y corrobora que el número de conmutaciones que produce el esquema NLC-híbrido es equilibrado.

2.3.1.2. Tensión en las terminales del inductor de desacoplo

La técnica NLC-híbrida permite balancear la tensión en los condensadores del MMC sin la necesidad de un lazo de control individual para cada submódulo. Entonces, al estar la tensión de los SM acotada, se puede decir que la tensión promedio de ambos bloques, superior e inferior, es igual a la del enlace de cd ; aun cuando su valor instantáneo no es igual para cualquier punto en el tiempo. Por tal razón, el uso de los inductores (L_0) que desacoplan los bloques se justifica, puesto que permiten la existencia de diferentes potenciales eléctricos en la parte superior e inferior del convertidor.

La aseveración anterior se confirma mediante la simulación en lazo abierto del MMC, para la cual los parámetros se describen en Tabla 1.3. La Figura 2.15 (a) expone el comportamiento de la tensión en las terminales del inductor, cuando el convertidor transfiere ± 1 pu y las inversiones de potencia se realizan en 0.75 s y 1.5 s; se observa que después de los transitorios de potencia, la tensión llega a un valor máximo de 0.1994 pu y un mínimo de -0.2127 pu mientras que el valor promedio es de 0.005 pu. En la Figura 2.15 (b) muestra el lapso cuando se realiza la inversión de potencia en lazo abierto, donde a tensión máxima en las terminales del inductor llega hasta 0.4 pu.

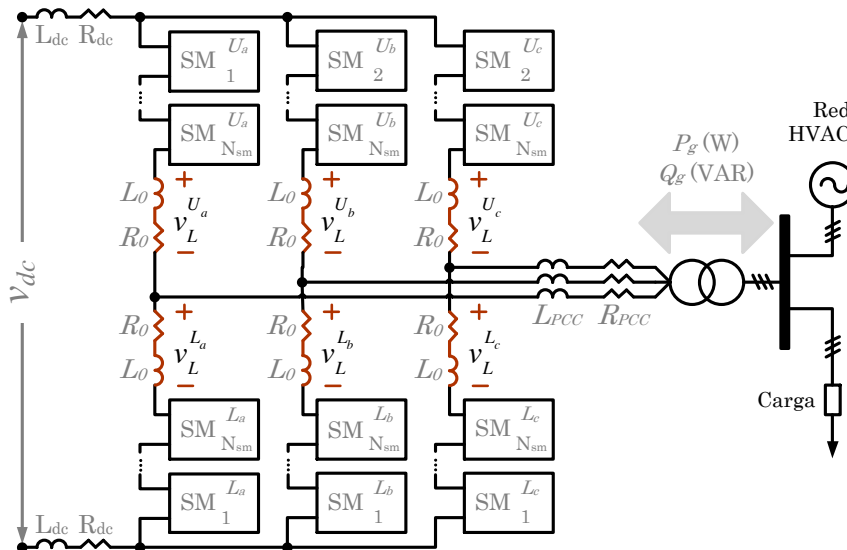
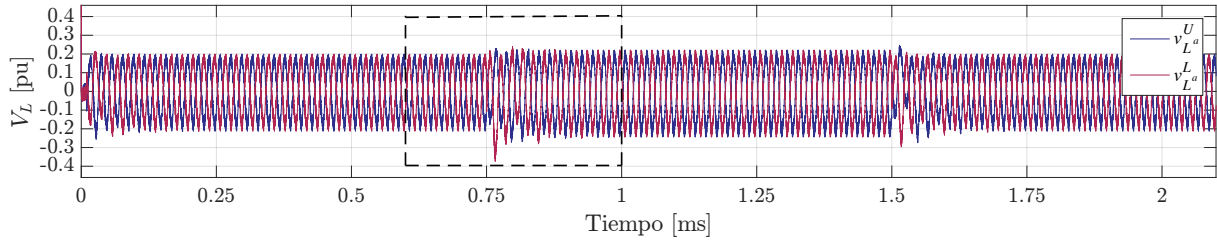


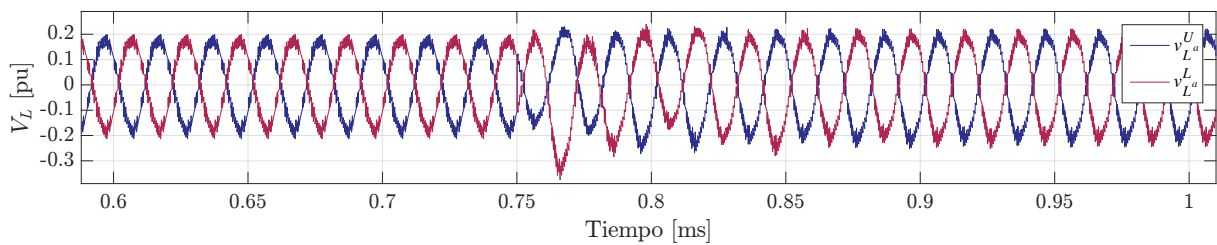
Figura 2.14. Circuito del MMC trifásico, inductores de desacoplo.

Mediante estos resultados expuestos en la Figura 2.15 se corrobora que los inductores de desacoplo (L_0) posibilitan que los potenciales eléctricos instantáneos, del bloque superior e inferior, sean diferentes; lo que se puede aprovechar haciendo que la técnica de modulación sea menos rígida o que la frecuencia de conmutación sea menor, puesto que la tensión solamente tiene que estar balanceada de forma general y no tiene que ser igual en todo momento.

Desde otra perspectiva, si el rizo de tensión en los condensadores (C_0) se hace lo suficientemente pequeño provocaría que el desbalance entre los bloques sea nulo y en consecuencia el valor de L_0 podría disminuir o llegar a suprimirse.



(a) Comportamiento macroscópico de la señal.



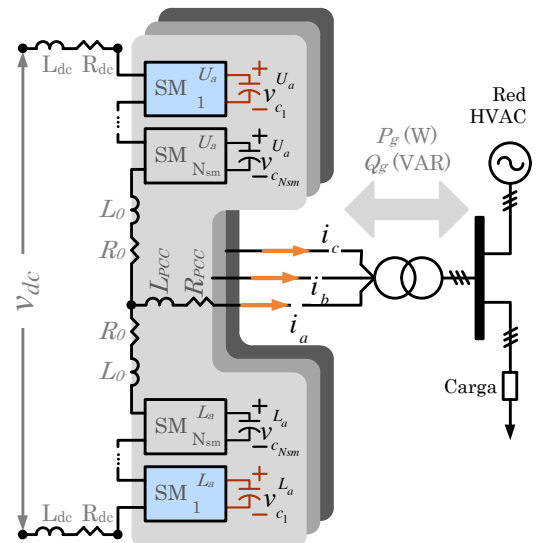
(b) Acercamiento a la señal.

Figura 2.15. Tensión eléctrica en las terminales del inductor.

2.3.1.3. Variación paramétrica del condensador

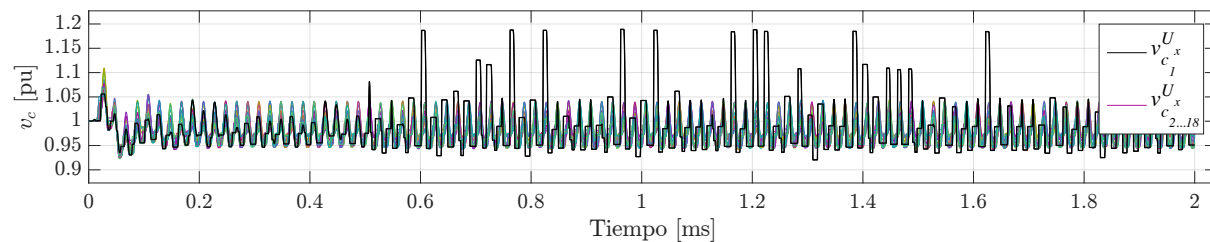
Con el propósito de verificar la susceptibilidad paramétrica de la técnica de modulación NLC-híbrida propuesta, se realiza una prueba donde se transfiere 1 pu de potencia y durante la operación se induce una variación paramétrica en 1 de los 18 condensadores de cada bloque de la misma rama, dicha alteración se ejecuta en $t = 0.5$ s y consiste en variar de 9.9 mF a 0.99 mF la capacitancia C_0 de los submódulos $SM_1^{U_a}$ y el $SM_1^{L_a}$, mostrados en la Figura 2.16. El resto de los parámetros se muestran en la Tabla 1.3.

En la Figura 2.17 se muestra el comportamiento de la tensión los 18 SM del bloque superior e inferior de la rama a del convertidor. Primeramente, la capacitancia de los SM está balanceada con lo que el rizo se mantiene constante; después de 500 ms se introduce la

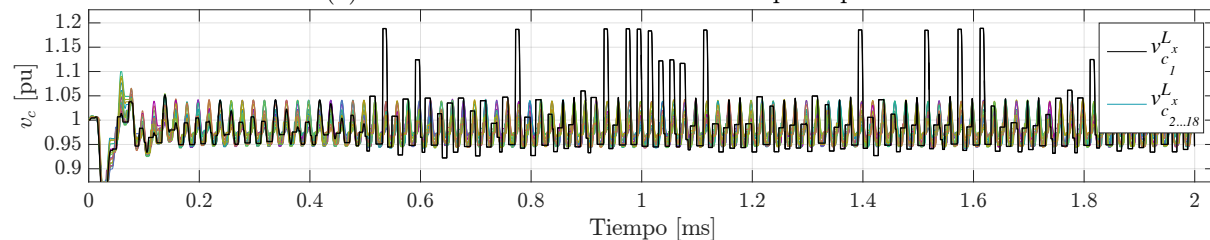
Figura 2.16. Circuito del MMC trifásico, variación de C_0 .

variación, la cual no provoca ningún tipo de inestabilidad en el sistema, sin embargo el rizo aumenta hasta un 25 %.

El aumento en el rizo de tensión de los submódulos no es visible en el PCC del MMC, como se observa en la Figura 2.18. La tensión de la Figura 2.18 (a) después de la variación presenta un $\text{THD}_v = 2.34259\%$ que es practicamente igual que al principio de la prueba. Mientras que la corriente en el PCC (Figura 2.18 (b)) presenta un mayor cambio; primeramente un aumento en el nivel de cd del 1 %, además el THD_i es igual a 0.941982 %.

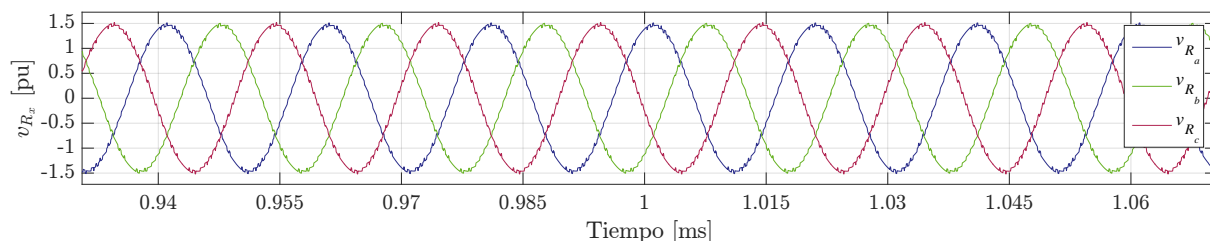


(a) Tensión en los submódulos del bloque superior.

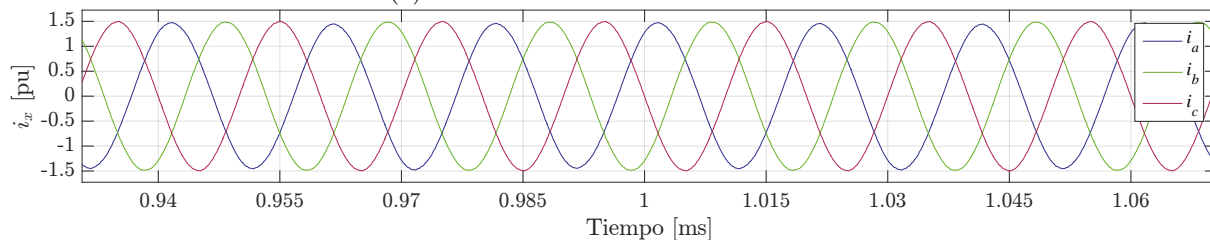


(b) Tensión en los submódulos del bloque inferior.

Figura 2.17. Comportamiento de la tensión de los C_0 bajo una variación paramétrica.



(a) Tensión de la fase a del convertidor.



(b) Corriente de la fase a del convertidor.

Figura 2.18. Comportamiento del sistema en el PCC, bajo una variación paramétrica en C_0 .

Los resultados obtenidos en los escenarios de prueba validan la eficacia de la técnica NLC-híbrida, que es propuesta en este trabajo de investigación. Aunado a esto, mediante la Tabla 2.4 se realiza una comparativa de los resultados obtenidos contra algunos reportados en la literatura; con lo cual se establece que la NLC-híbrida propuesta es superior. Debido a lo cual, a partir de este punto los diversos análisis, pruebas y simulaciones se llevarán a cabo considerando esta técnica y por ende que los condensadores están balanceados en todo momento sin importar que el MMC se encuentre en lazo abierto o cerrado.

Tabla 2.4. Comparativa de los resultados de la técnica de modulación.

Referencia	Potencia [W]	Condensador [mF]	Rizo [%]	Diferencia Máx-Mín [%]
NLC-híbrida	1×10^9	9.9	9	2.25
[68]	2×10^7	26	20	8
[83]	1×10^4	3.3	9.5	2
[84]	300	2	18	3
[81]	300	3	28	4

MODELADO MATEMÁTICO DEL CONVERTIDOR MODULAR MULTINIVEL

El circuito eléctrico del MMC está compuesto por una gran cantidad de interruptores de electrónica de potencia y elementos pasivos, como se mostró en Figura 1.6; lo que hace a este convertidor un reto desde el punto de vista de implementación física, modelado y simulación. Por esta razón es necesario hacer algunas simplificaciones que ayuden en su análisis, sin que esto implique perder información de la dinámica o generalidad en los resultados.

3.1. Modelo del MMC basado en fuentes dependientes

Como primer paso, se propone separar el circuito eléctrico del MMC en diferentes secciones y por superposición conseguir analizar un todo de forma simple; para lograrlo se hace uso de fuentes dependientes [85, 86]. Cabe destacar que al dividir el sistema, además de simplificar el análisis circuital del MMC se atenúa la carga computacional y en consecuencia se reducen los tiempos de simulación, los cuales se vuelven relevantes al incrementar el número de interruptores o el número de convertidores dentro de un enlace multiterminal [20, 65].

Al dividir el circuito del MMC mediante fuentes dependientes, se consiguen siete secciones tal como es representado en la Figura 3.1. La primer sección emula la interacción entre las etapas que representan la dinámica en cd y ca del sistema, donde la tensión que imponen las fuentes dependientes en las ramas del MMC está en función de la tensión de cada condensador y su respectiva señal de conmutación. Las seis secciones restantes representan los bloques del MMC que son idénticos en su construcción; para

éstos la corriente que recorre el arreglo serial de submódulos, es la misma que cruza por la inductancia de desacoplo.

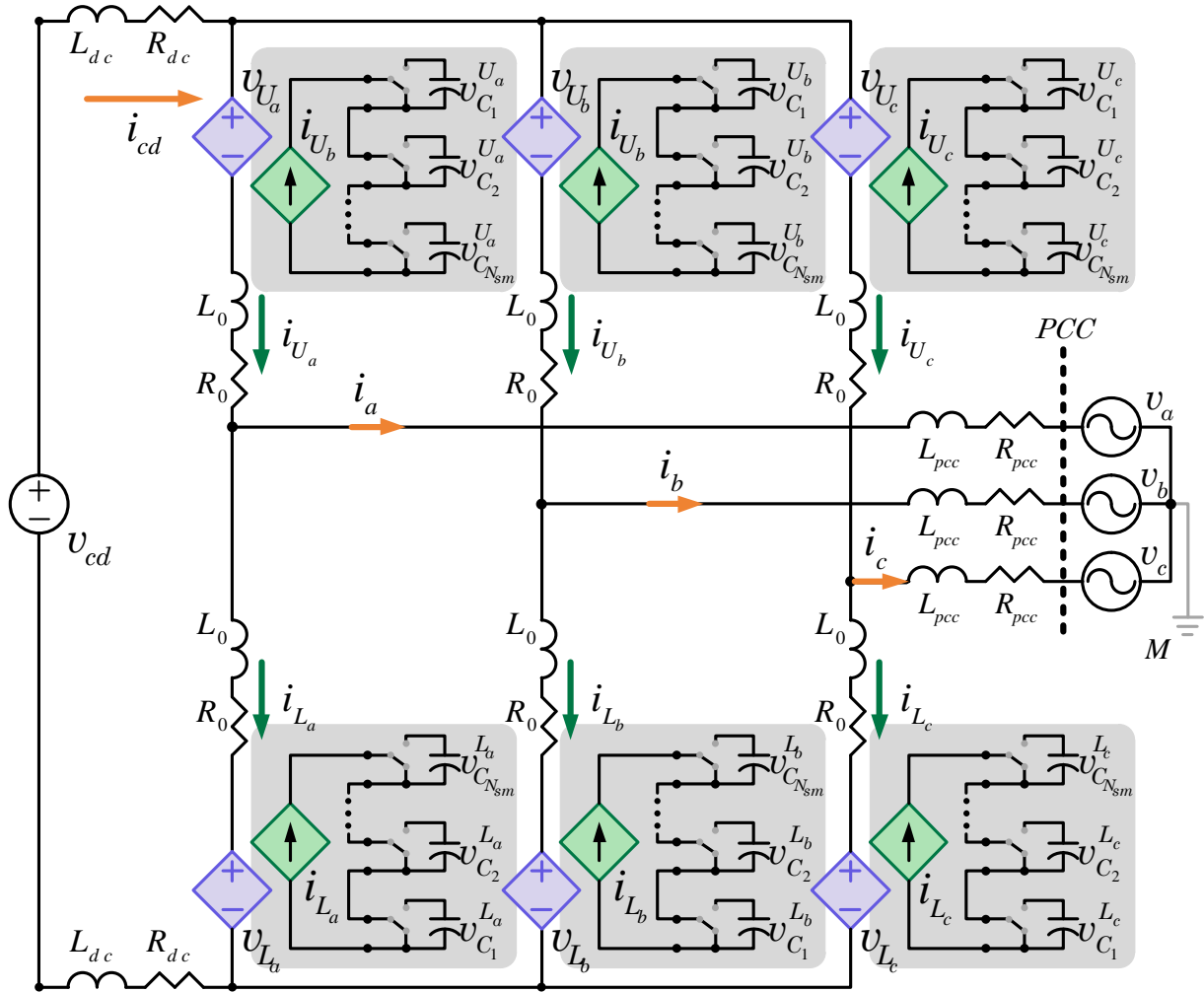


Figura 3.1. Circuito eléctrico del MMC basado en fuentes dependientes.

Esta configuración propuesta para el circuito del MMC, desempeñará la tarea de banco de pruebas para la técnica de modulación NLC-híbrida y los esquemas de control desarrollados en este trabajo de tesis.

3.2. Modelo matemático del MMC

Una vez fragmentado el circuito eléctrico del MMC es necesario caracterizar las diferentes variables eléctricas que posee, esto en función de las tareas de: controlar potencia reactiva, además la potencia activa y/o controlar la tensión en las terminales de cd ; dentro de una red HVDC; por lo tanto, es preciso modelar las siguientes dinámicas:

- La corriente del bus de cd (i_{cd}).
- Las corrientes de cada una de las fases a frecuencia de red (i_a , i_b , i_c).
- Las corrientes en cada una de las ramas del convertidor (i_{cir_a} , i_{cir_b} , i_{cir_c}).
- La tensión de ambos bloques de cada una de las 3 ramas (v_{U_x} , v_{L_x}).

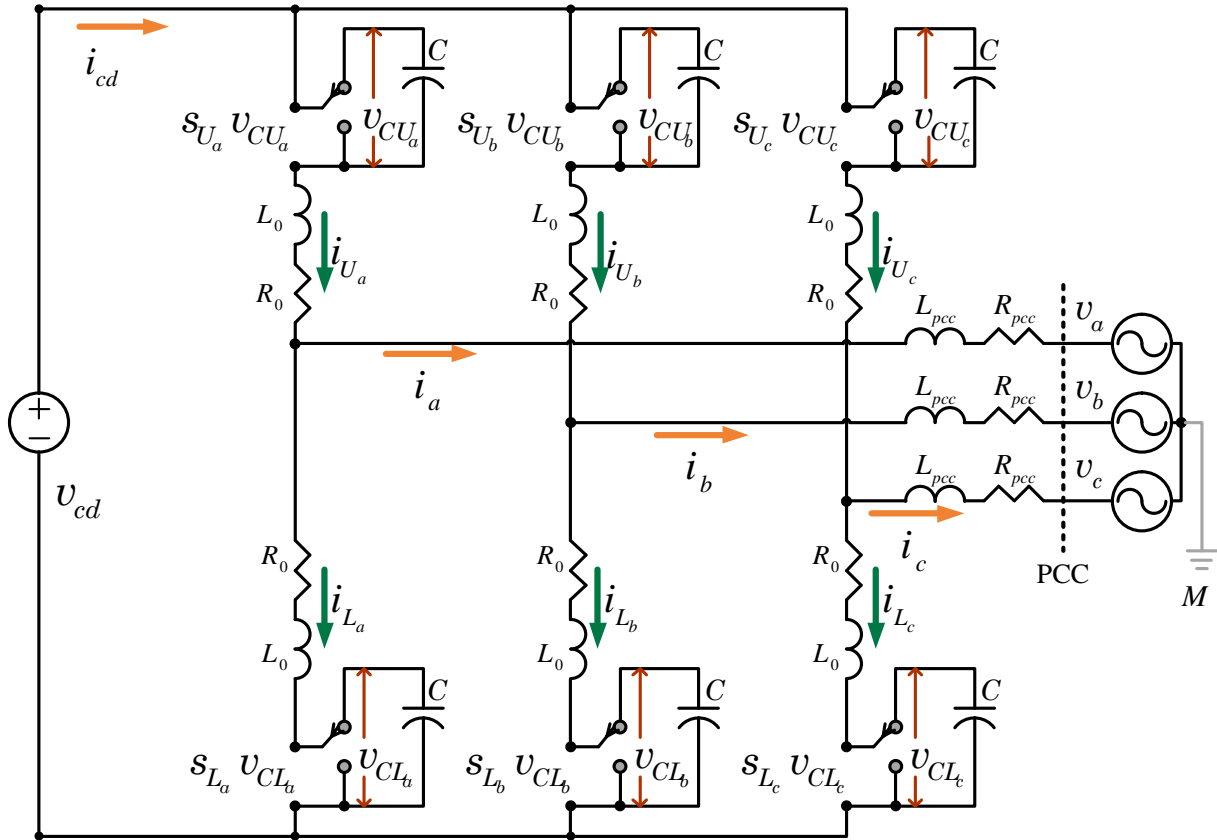


Figura 3.2. Circuito eléctrico equivalente.

Una vez definidas las variables del sistema y con la finalidad de generar un circuito equivalente del MMC se hacen las siguientes suposiciones:

- Las corrientes y las tensiones en el PCC están balanceadas en magnitud y fase.
- La tensión en los submódulos está balanceada.
- Los submódulos de un bloque se modelan como una sola celda.
- El conjunto de señales de conmutación de la celda está representado por una señal continua.
- La capacitancia de cada bloque (C) es el equivalente de los N_{sm} condensadores C_0 conectados en serie.
- La tensión del bus de cd es constante y regulada por la red HVDC.

Tomando en cuenta las suposiciones previas se construye el esquema mostrado por la Figura 3.2.

Se comienza por analizar las corrientes en el nodo central de cada rama (Figura 3.2), para con ello sintetizar (3.1).

$$i_x = i_{U_x} - i_{L_x} . \quad (3.1)$$

Antes de continuar con el análisis y basándose en la Figura 3.3, se define la corriente que fluye por cada bloque del MMC; de las cuales solo se consideran las primeras tres componentes, como se muestra en (3.2) y (3.3).

$$i_{U_x} = \frac{1}{3}i_{cd} + \frac{1}{2}i_x + i_{cir_x} , \quad (3.2)$$

$$i_{L_x} = \frac{1}{3}i_{cd} - \frac{1}{2}i_x + i_{cir_x} . \quad (3.3)$$

En ambos casos i_x es la corriente por fase en el PCC, i_{B_x} es la corriente que circula a través de cada bloque con $B \in \{U, L\}$; i_{cir_x} representa la corriente que fluye por una rama del MMC y su componente principal está a $2 f_g$, e i_{cd} corresponde a la corriente que proviene del enlace en cd . Para todas las expresiones anteriores se tiene que $x \in \{a, b, c\}$ designa la fase.

3.2.1. Corriente de fase

Mediante la Ley de Voltajes de *Kirchhoff* (LVK) se analiza la trayectoria cerrada que se forma a través de cada uno de los bloques y se obtienen las siguientes expresiones:

$$-\frac{v_{cd}}{2} + s_{U_x} \cdot v_{CU_x} + L_0 \frac{d i_{U_x}}{dt} + R_0 i_{U_x} + L_{pcc} \frac{d i_x}{dt} + R_{pcc} i_x + v_x = 0 , \quad (3.4)$$

$$\frac{v_{cd}}{2} - s_{L_x} \cdot v_{CL_x} - L_0 \frac{d i_{L_x}}{dt} - R_0 i_{L_x} + L_{pcc} \frac{d i_x}{dt} + R_{pcc} i_x + v_x = 0 , \quad (3.5)$$

donde v_x e i_x son los voltajes y corrientes en el PCC, respectivamente. s_{B_x} representa las señales de modulación para cada bloque y v_{CB_x} es la tensión del condensador equivalente del bloque.

Se suman las expresiones (3.4) y (3.5) y al simplificar la expresión resultante tomando en cuenta (3.1) se obtiene la dinámica de cada una de las corrientes en el PCC.

$$(L_0 + 2L_{pcc}) \frac{d}{dt} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = -2 \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} - (R_0 + 2R_{pcc}) \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} - \begin{bmatrix} s_{U_a} v_{CU_a} \\ s_{U_b} v_{CU_b} \\ s_{U_c} v_{CU_c} \end{bmatrix} + \begin{bmatrix} s_{L_a} v_{CL_a} \\ s_{L_b} v_{CL_b} \\ s_{L_c} v_{CL_c} \end{bmatrix} . \quad (3.6)$$

3.2.2. Corriente en el bus de cd

Con el objetivo de sintetizar la corriente que fluye por el enlace en cd , se sustrae (3.5) de (3.4) dando lugar a:

$$-v_{cd} \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} + \begin{bmatrix} s_{U_a} v_{CU_a} \\ s_{U_b} v_{CU_b} \\ s_{U_c} v_{CU_c} \end{bmatrix} + \begin{bmatrix} s_{L_a} v_{CL_a} \\ s_{L_b} v_{CL_b} \\ s_{L_c} v_{CL_c} \end{bmatrix} + L_0 \frac{d}{dt} \begin{bmatrix} i_{U_a} + i_{L_a} \\ i_{U_b} + i_{L_b} \\ i_{U_c} + i_{L_c} \end{bmatrix} + R_0 \begin{bmatrix} i_{U_a} + i_{L_a} \\ i_{U_b} + i_{L_b} \\ i_{U_c} + i_{L_c} \end{bmatrix} = 0 . \quad (3.7)$$

La sumatoria de las corrientes en cada bloque se obtiene a partir de (3.2) y (3.3), aunado a esto se considera que las corrientes de las ramas del MMC están balanceadas; con lo que se obtiene la siguiente expresión:

$$i_{U_x} + i_{L_x} = \frac{2}{3} i_{cd} + 2 i_{cir_x} . \quad (3.8)$$

La sustitución de (3.8) en (3.7) da lugar a:

$$-v_{cd} \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} + \begin{bmatrix} s_{U_a} v_{CU_a} \\ s_{U_b} v_{CU_b} \\ s_{U_c} v_{CU_c} \end{bmatrix} + \begin{bmatrix} s_{L_a} v_{CL_a} \\ s_{L_b} v_{CL_b} \\ s_{L_c} v_{CL_c} \end{bmatrix} + 2 L_0 \frac{d}{dt} \begin{bmatrix} \frac{i_{dc}}{3} + i_{cir_a} \\ \frac{i_{dc}}{3} + i_{cir_b} \\ \frac{i_{dc}}{3} + i_{cir_c} \end{bmatrix} + 2 R_0 \begin{bmatrix} \frac{i_{dc}}{3} + i_{cir_a} \\ \frac{i_{dc}}{3} + i_{cir_b} \\ \frac{i_{dc}}{3} + i_{cir_c} \end{bmatrix} = 0 . \quad (3.9)$$

Al sumar las tres componentes de (3.9) y tomando en cuenta que $i_{cir_a} + i_{cir_b} + i_{cir_c} = 0$, se obtiene la ecuación dinámica de la corriente del bus de cd .

$$2L_0 \frac{d}{dt} i_{cd} = 3V_{cd} - 2R_0 i_{cd} - \left\langle \begin{bmatrix} s_{U_a} \\ s_{U_b} \\ s_{U_c} \end{bmatrix}, \begin{bmatrix} v_{cU_a} \\ v_{cU_b} \\ v_{cU_c} \end{bmatrix} \right\rangle - \left\langle \begin{bmatrix} s_{L_a} \\ s_{L_b} \\ s_{L_c} \end{bmatrix}, \begin{bmatrix} v_{cL_a} \\ v_{cL_b} \\ v_{cL_c} \end{bmatrix} \right\rangle . \quad (3.10)$$

3.2.3. Corriente de rama

Una vez hecho lo anterior, se aíslan las ramas del convertidor como lo muestra la Figura 3.3 y a partir de esto se sintetiza la ecuación dinámica que reproduce el comportamiento de las corrientes que fluyen por las ramas del MMC.

Mediante *LVK* se obtiene la ecuación de cada malla, como:

$$\begin{aligned} & \begin{bmatrix} s_{U_b} v_{CU_b} \\ s_{U_c} v_{CU_c} \\ s_{U_a} v_{CU_a} \end{bmatrix} + \begin{bmatrix} s_{L_b} v_{CL_b} \\ s_{L_c} v_{CL_c} \\ s_{L_a} v_{CL_a} \end{bmatrix} + L_0 \frac{d}{dt} \begin{bmatrix} i_{U_b} + i_{L_b} \\ i_{U_c} + i_{L_c} \\ i_{U_a} + i_{L_a} \end{bmatrix} + R_0 \begin{bmatrix} i_{U_b} + i_{L_b} \\ i_{U_c} + i_{L_c} \\ i_{U_a} + i_{L_a} \end{bmatrix} - \\ & \begin{bmatrix} s_{U_a} v_{CU_a} \\ s_{U_b} v_{CU_b} \\ s_{U_c} v_{CU_c} \end{bmatrix} - \begin{bmatrix} s_{L_a} v_{CL_a} \\ s_{L_b} v_{CL_b} \\ s_{L_c} v_{CL_c} \end{bmatrix} - L_0 \frac{d}{dt} \begin{bmatrix} i_{U_a} + i_{L_a} \\ i_{U_b} + i_{L_b} \\ i_{U_c} + i_{L_c} \end{bmatrix} - R_0 \begin{bmatrix} i_{U_a} + i_{L_a} \\ i_{U_b} + i_{L_b} \\ i_{U_c} + i_{L_c} \end{bmatrix} = 0 , \end{aligned} \quad (3.11)$$

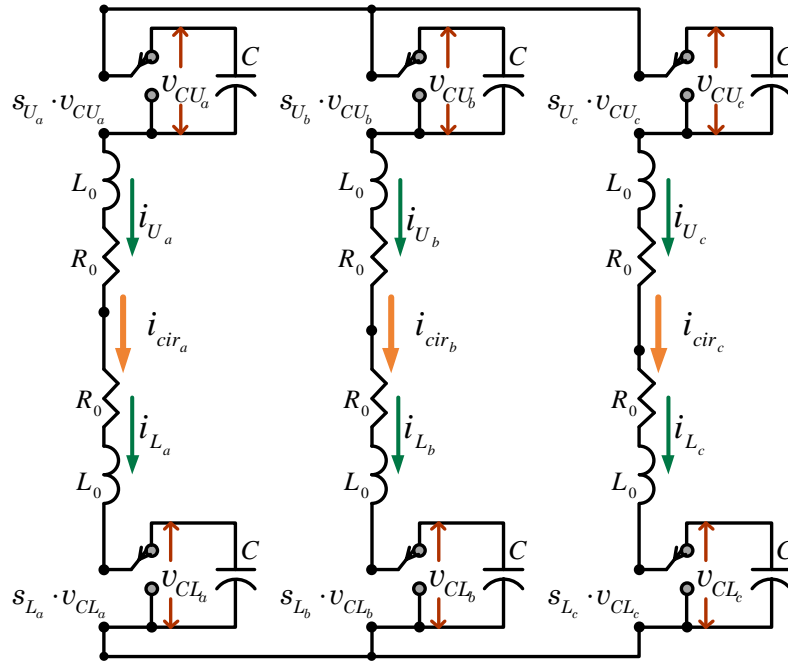


Figura 3.3. Circuito eléctrico equivalente de las ramas del convertidor.

mediante un cambio de variable utilizando (3.8) en (3.11), se encuentra que:

$$\begin{aligned}
 & \begin{bmatrix} s_{U_b} v_{CU_b} \\ s_{U_c} v_{CU_c} \\ s_{U_a} v_{CU_a} \end{bmatrix} + \begin{bmatrix} s_{L_b} v_{CL_b} \\ s_{L_c} v_{CL_c} \\ s_{L_a} v_{CL_a} \end{bmatrix} + L_0 \frac{d}{dt} \begin{bmatrix} \frac{2}{3} i_{cd} + 2 i_{cir_b} \\ \frac{2}{3} i_{cd} + 2 i_{cir_c} \\ \frac{2}{3} i_{cd} + 2 i_{cir_a} \end{bmatrix} + R_0 \begin{bmatrix} \frac{2}{3} i_{cd} + 2 i_{cir_b} \\ \frac{2}{3} i_{cd} + 2 i_{cir_c} \\ \frac{2}{3} i_{cd} + 2 i_{cir_a} \end{bmatrix} - \\
 & \begin{bmatrix} s_{U_a} v_{CU_a} \\ s_{U_b} v_{CU_b} \\ s_{U_c} v_{CU_c} \end{bmatrix} - \begin{bmatrix} s_{L_a} v_{CL_a} \\ s_{L_b} v_{CL_b} \\ s_{L_c} v_{CL_c} \end{bmatrix} - L_0 \frac{d}{dt} \begin{bmatrix} \frac{2}{3} i_{cd} + 2 i_{cir_a} \\ \frac{2}{3} i_{cd} + 2 i_{cir_b} \\ \frac{2}{3} i_{cd} + 2 i_{cir_c} \end{bmatrix} - R_0 \begin{bmatrix} \frac{2}{3} i_{cd} + 2 i_{cir_a} \\ \frac{2}{3} i_{cd} + 2 i_{cir_b} \\ \frac{2}{3} i_{cd} + 2 i_{cir_c} \end{bmatrix} = 0, \quad (3.12)
 \end{aligned}$$

agrupando y cancelando los términos semejantes de (3.12), la expresión se reduce a:

$$2L_0 \frac{d}{dt} \begin{bmatrix} i_{cir_b} - i_{cir_a} \\ i_{cir_c} - i_{cir_b} \\ i_{cir_a} - i_{cir_c} \end{bmatrix} = -2R_0 \begin{bmatrix} i_{cir_b} - i_{cir_a} \\ i_{cir_c} - i_{cir_b} \\ i_{cir_a} - i_{cir_c} \end{bmatrix} + \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} s_{U_a} v_{CU_a} + s_{L_a} v_{CL_a} \\ s_{U_b} v_{CU_b} + s_{L_b} v_{CL_b} \\ s_{U_c} v_{CU_c} + s_{L_c} v_{CL_c} \end{bmatrix}. \quad (3.13)$$

Recordando que cuando se tiene un sistema trifásico balanceado tanto en magnitud y fase, sin importar la frecuencia de las componentes, se sabe que:

$$\begin{aligned}
 i_{cir_a} + i_{cir_b} + i_{cir_c} &= 0, \\
 \Rightarrow -i_{cir_a} &= i_{cir_b} + i_{cir_c}.
 \end{aligned} \quad (3.14)$$

lo cual se analiza más a detalle en el Anexo B.

Con el propósito de extraer de forma independiente la corriente de cada una de las ramas, se restan entre sí las componentes de (3.13), de la siguiente manera:

$$i_{cir_b} - i_{cir_a} - (i_{cir_a} - i_{cir_c}) = -2i_{cir_a} + i_{cir_b} + i_{cir_c} = -3i_{cir_a} , \quad (3.15)$$

$$i_{cir_c} - i_{cir_b} - (i_{cir_b} - i_{cir_a}) = -2i_{cir_b} + i_{cir_c} + i_{cir_a} = -3i_{cir_b} , \quad (3.16)$$

$$i_{cir_a} - i_{cir_c} - (i_{cir_c} - i_{cir_b}) = -2i_{cir_c} + i_{cir_a} + i_{cir_b} = -3i_{cir_c} . \quad (3.17)$$

Al realizar esta operación, la expresión resultante es:

$$2L_0 \frac{d}{dt} \begin{bmatrix} -3i_{cir_a} \\ -3i_{cir_b} \\ -3i_{cir_c} \end{bmatrix} = -2R_0 \begin{bmatrix} -3i_{cir_a} \\ -3i_{cir_b} \\ -3i_{cir_c} \end{bmatrix} + \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} s_{L_a} v_{CL_a} + s_{U_a} v_{CU_a} \\ s_{L_b} v_{CL_b} + s_{U_b} v_{CU_b} \\ s_{L_c} v_{CL_c} + s_{U_c} v_{CU_c} \end{bmatrix} , \quad (3.18)$$

para finalmente obtener la ecuación dinámica que describe la corriente de cada una de las ramas:

$$L_0 \frac{d}{dt} \begin{bmatrix} i_{cir_a} \\ i_{cir_b} \\ i_{cir_c} \end{bmatrix} = -R_0 \begin{bmatrix} i_{cir_a} \\ i_{cir_b} \\ i_{cir_c} \end{bmatrix} + \frac{1}{6} \begin{bmatrix} -2 & 1 & 1 \\ 1 & -2 & 1 \\ 1 & 1 & -2 \end{bmatrix} \begin{bmatrix} s_{L_a} v_{CL_a} + s_{U_a} v_{CU_a} \\ s_{L_b} v_{CL_b} + s_{U_b} v_{CU_b} \\ s_{L_c} v_{CL_c} + s_{U_c} v_{CU_c} \end{bmatrix} . \quad (3.19)$$

3.2.4. Tensión eléctrica de los bloques

La tensión de cada uno de los bloques, representa el comportamiento en conjunto de los N_{sm} submódulos y se describen como:

$$C \frac{d}{dt} \begin{bmatrix} v_{cU_a} \\ v_{cU_b} \\ v_{cU_c} \end{bmatrix} = \begin{bmatrix} s_{U_a} \dot{i}_{U_a} \\ s_{U_b} \dot{i}_{U_b} \\ s_{U_c} \dot{i}_{U_c} \end{bmatrix} , \quad (3.20)$$

y

$$C \frac{d}{dt} \begin{bmatrix} v_{cL_a} \\ v_{cL_b} \\ v_{cL_c} \end{bmatrix} = \begin{bmatrix} s_{L_a} \dot{i}_{L_a} \\ s_{L_b} \dot{i}_{L_b} \\ s_{L_c} \dot{i}_{L_c} \end{bmatrix} , \quad (3.21)$$

donde las corrientes de los bloques (i_{B_x}) no son variables de estado propias del sistema, sin embargo es posible sintetizarlas mediante las expresiones (3.2) y (3.3), conjuntamente la capacitancia bloque (C) es igual a C_0/N_{sm} .

El modelo matemático que representa al MMC es:

$$\begin{aligned}
 2L_0 \frac{d}{dt} i_{cd} &= -2R_0 i_{cd} - \begin{bmatrix} sU_a \\ sU_b \\ sU_c \end{bmatrix}^T \begin{bmatrix} v_{cU_a} \\ v_{cU_b} \\ v_{cU_c} \end{bmatrix} - \begin{bmatrix} sL_a \\ sL_b \\ sL_c \end{bmatrix}^T \begin{bmatrix} v_{cL_a} \\ v_{cL_b} \\ v_{cL_c} \end{bmatrix} + 3V_{cd} , \\
 (L_0 + 2L_{pcc}) \frac{d}{dt} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} &= -(R_0 + 2R_{pcc}) \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} - \begin{bmatrix} sU_a v_{cU_a} \\ sU_b v_{cU_b} \\ sU_c v_{cU_c} \end{bmatrix} + \begin{bmatrix} sL_a v_{cL_a} \\ sL_b v_{cL_b} \\ sL_c v_{cL_c} \end{bmatrix} - 2 \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} , \\
 L_0 \frac{d}{dt} \begin{bmatrix} i_{cir_a} \\ i_{cir_b} \\ i_{cir_c} \end{bmatrix} &= -R_0 \begin{bmatrix} i_{cir_a} \\ i_{cir_b} \\ i_{cir_c} \end{bmatrix} + \frac{1}{6} \begin{bmatrix} -2 & 1 & 1 \\ 1 & -2 & 1 \\ 1 & 1 & -2 \end{bmatrix} \begin{bmatrix} sL_a v_{cL_a} + sU_a v_{cU_a} \\ sL_b v_{cL_b} + sU_b v_{cU_b} \\ sL_c v_{cL_c} + sU_c v_{cU_c} \end{bmatrix} , \\
 C \frac{d}{dt} \begin{bmatrix} v_{cU_a} \\ v_{cU_b} \\ v_{cU_c} \end{bmatrix} &= \frac{1}{3} i_{cd} \begin{bmatrix} sU_a \\ sU_b \\ sU_c \end{bmatrix} + \frac{1}{2} \begin{bmatrix} sU_a i_a \\ sU_b i_b \\ sU_c i_c \end{bmatrix} + \begin{bmatrix} sU_a i_{cir_a} \\ sU_b i_{cir_b} \\ sU_c i_{cir_c} \end{bmatrix} , \\
 C \frac{d}{dt} \begin{bmatrix} v_{cL_a} \\ v_{cL_b} \\ v_{cL_c} \end{bmatrix} &= \frac{1}{3} i_{cd} \begin{bmatrix} sL_a \\ sL_b \\ sL_c \end{bmatrix} - \frac{1}{2} \begin{bmatrix} sL_a i_a \\ sL_b i_b \\ sL_c i_c \end{bmatrix} + \begin{bmatrix} sL_a i_{cir_a} \\ sL_b i_{cir_b} \\ sL_c i_{cir_c} \end{bmatrix} .
 \end{aligned} \tag{3.22}$$

3.3. Análisis en lazo abierto

Con ayuda de (3.6) se determina la magnitud y fase de la señal moduladora para alcanzar un nivel de potencia eléctrica deseado. Para lograr esto, primeramente se define la tensión por fase a la salida del convertidor como la diferencia entre la tensión del bloque inferior y el superior, por lo tanto v_{R_x} está definido por:

$$v_{R_x} := sL_x v_{cL_x} - sU_x v_{cU_x} . \tag{3.23}$$

Sin embargo, como la tensión de ambos condensadores equivalentes (v_{cU_x} , v_{cL_x}) se supone balanceada, la expresión anterior se simplifica para obtener:

$$v_{R_x} := V_{dc} m_{R_x} . \tag{3.24}$$

Utilizando esta definición se reescribe la expresión (3.6), de la siguiente manera:

$$(L_0 + 2L_{pcc}) \frac{d i_x}{dt} = -2v_x - (R_0 + 2R_{pcc}) i_x + V_{dc} m_{R_x} , \tag{3.25}$$

donde (3.26) muestra la representación fasorial de la señal moduladora, basado en (3.25).

$$M_{R_x} = \frac{1}{V_{dc}} \left(2 V_x + 2(R_{pcc} + \mathbf{j} \omega_g L_{pcc}) I_x^* + (R_0 + \mathbf{j} \omega_g L_0) I_x^* \right), \quad (3.26)$$

donde: $\omega_g := 2\pi f_g$, siendo f_g la frecuencia de la red en ca , e I_x^* es el complejo conjugado de la corriente pico en el PCC, la cual se define en términos de potencia eléctrica como:

$$I_x^* := \sqrt{6} \frac{P_g - \mathbf{j} Q_g}{V_{cd}}. \quad (3.27)$$

Al substituir (3.27) en (3.26) se obtiene la parte real e imaginaria de la señal moduladora en función de la potencia eléctrica, de la siguiente manera:

$$M_{R_x} = \frac{1}{V_{cd}^2} \left[\sqrt{6} (2R_{pcc} + R_0) P_g + 2 V_x V_{cd} + \sqrt{6} \omega_g (2L_{pcc} + L_0) Q_g \right] + \mathbf{j} \frac{\sqrt{6}}{V_{cd}^2} \left[(-2R_{pcc} + R_0) Q_g + \omega_g (2L_{pcc} + L_0) P_g \right], \quad (3.28)$$

partiendo de esta expresión se define la señal de modulación para cada una de las fases en función del tiempo, como:

$$m_{R_x}(t) = |M_{R_x}| \text{ sen}(\omega t + \arg[M_{R_x}] + \phi_x), \quad (3.29)$$

donde $\phi_x \in \{0, -2\pi/3, 2\pi/3\}$.

El diagrama a bloques de la Figura 3.4 muestra de forma gráfica el cálculo de las componentes real e imaginaria de la señal moduladora, donde se observa que las variables de potencia están acopladas.

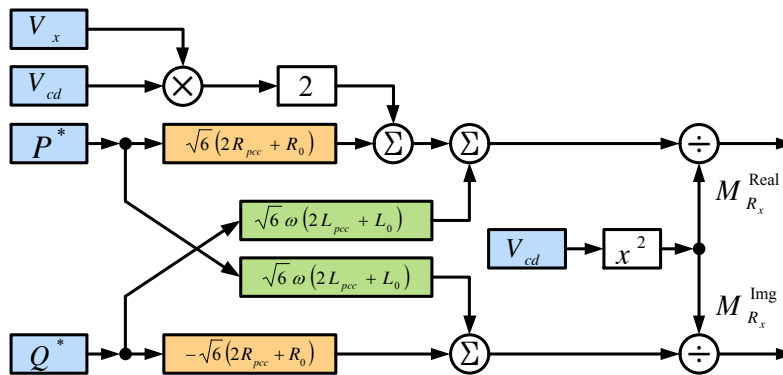


Figura 3.4. Diagrama a bloques para sintetizar la señal moduladora.

3.3.1. Región de operación del convertidor

La ecuación (3.28) define la parte real e imaginaria de la señal moduladora, sin embargo, es de suma importancia definir cual es la región de operación donde el convertidor es capaz de desempeñarse. Inicialmente se establecen los parámetros del sistema mostrados por la Tabla 1.3, posteriormente se procede a realizar un barrido de ambas potencias para obtener la magnitud de la señal moduladora necesaria. Finalmente, se descartan todos aquellos valores resultantes mayores a 1 y el resto se grafican en un espacio de tres dimensiones.

La Figura 3.5 muestra dos vistas de la región de operación, la primera hace evidente como aumenta la magnitud de la señal moduladora en función de cantidad de potencia que se desea transferir. La segunda evidencia que el convertidor tiene un 20 % mayor de capacidad para recibir potencia de la red eléctrica en ca ; la razón radica en el efecto de las resistencias parásitas de los inductores dentro del convertidor, que producen una pérdida de potencia que el convertidor tiene que suministrar cuando $P_g > 0$. Lo anterior se hace evidente al resolver (3.28) cuando $Q_g = 0$ y $M_{R_x} = 1$, dando lugar a:

$$P_g = \pm\sqrt{6} \frac{k_2}{k_1} - \frac{2\sqrt{6}}{k_1} V_x (R_0 + 2R_{pcc}) , \quad (3.30)$$

donde:

$$\begin{aligned} k_1 &= \frac{6}{V_{cd}} (R_t^2 + X_t^2) ; \\ k_2 &= (R_t^2 V_{cd}^2 + V_{cd}^2 X_t^2 - 4V_x^2 X_t^2)^{1/2} ; \\ R_t &= R_0 + 2R_{pcc} ; \\ X_t &= 2\omega_g (L_0 + 2L_{pcc}) . \end{aligned}$$

En (3.30) se observa que el término que incluye las resistencias parásitas aparta una componente negativa lo que hace que la región lineal tenga una mayor capacidad de absorber potencia activa. Desde otro enfoque se puede decir que la asimetría es producida por la localización y sentido de la medición de potencia eléctrica.

De una manera similar el eje de la potencia reactiva presenta un comportamiento asimétrico más pronunciado, mediante el cual el MMC tiene un 75 % mayor capacidad de compensar potencia reactiva negativa que positiva. Desde el punto de vista del convertidor, la absorción de potencia reactiva (modo inductivo) está determinado por el valor de los inductores. Mientras que la entrega de potencia reactiva (modo capacitivo) está en función de máxima tensión en terminales con el PCC. De la misma manera se obtiene la cantidad de potencia reactiva cuando $P_g = 0$ y $M_{R_x} = 1$, obteniendo:

$$Q_g = \pm\sqrt{6} \frac{k_2}{k_1} - \frac{4\sqrt{6}}{k_1} V_x \omega_g (L_0 + 2L_{pcc}) . \quad (3.31)$$

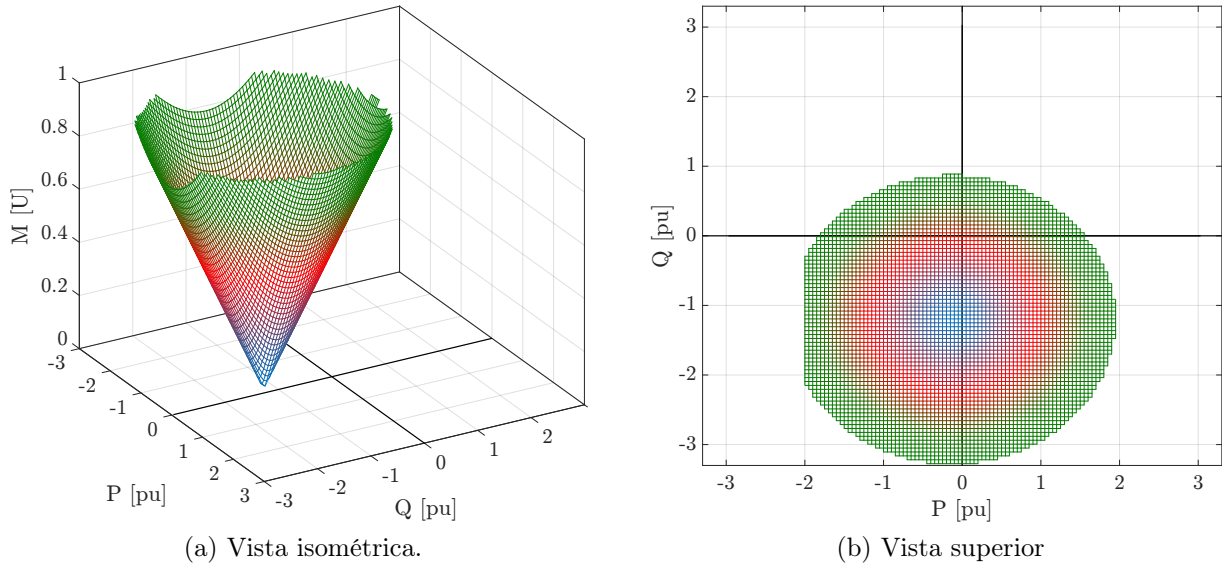


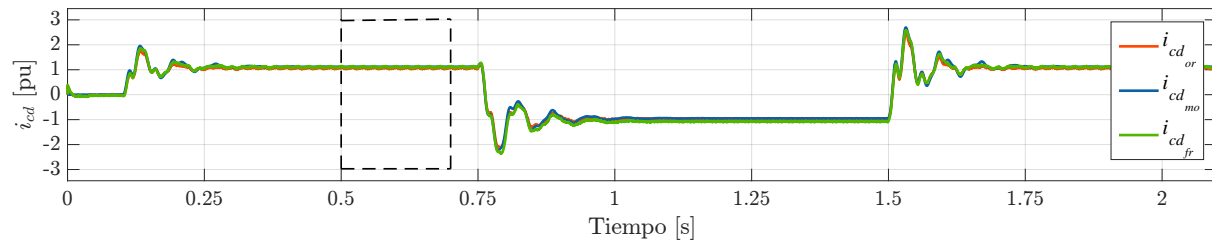
Figura 3.5. Región de operación del MMC.

3.3.2. Resultados de simulación en lazo abierto

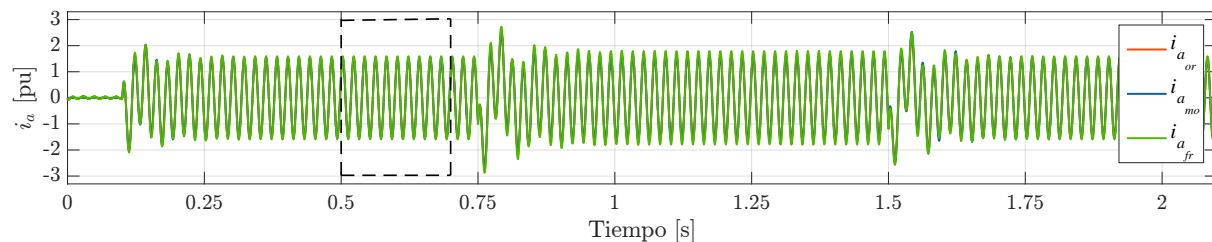
Para validar el comportamiento del modelo y del circuito fragmentado propuestos, se realiza una comparación directa de las variables de estado en cada uno, contra los resultados del circuito del MMC. Es preciso resaltar que las respuestas están en valores por unidad (pu) o normalizadas y los trazos en las figuras subsecuentes se ordenan de la siguiente manera:

1. Circuito eléctrico del MMC, Figura 1.6, trazo naranja, término *or*.
2. Modelo matemático, (3.22), trazo azul, término *mo*.
3. Circuito eléctrico fragmentado, Figura 3.1, trazo verde, término en *fr*.

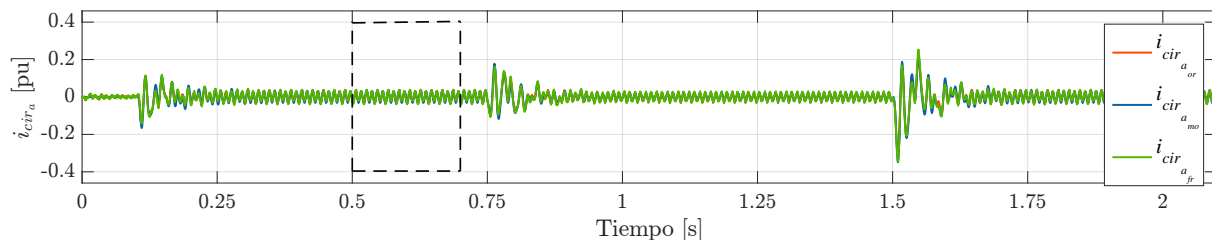
La Figura 3.6 muestra el comportamiento macro de las variables de estado del MMC en lazo abierto, en este escenario de prueba se ejecutan 3 transiciones; comenzando con un escalón de potencia del 1 pu en $t = 0.25$ s, posteriormente 2 inversiones de potencia en 0.75 s y 1.5 s. La Figura 3.6 (a) muestra el comportamiento de la corriente que fluye por el enlace en cd , donde las tres corrientes alcanzan su valor deseado en estado estable y representan en buena medida los transitorios; es preciso destacar que los condensadores están precargados, para ello es posible utilizar las estrategias mostradas en [87, 88], aun cuando en los presentes casos se les asigna una condición inicial a cada condensador. Las variables de estado asociadas a las corrientes a frecuencia de red (i_a , i_b , i_c) están balanceadas y es por ello que la Figura 3.6 (b) únicamente muestra el comportamiento de la fase a . Posteriormente, en la Figura 3.6 (c) se muestran las corrientes que circulan



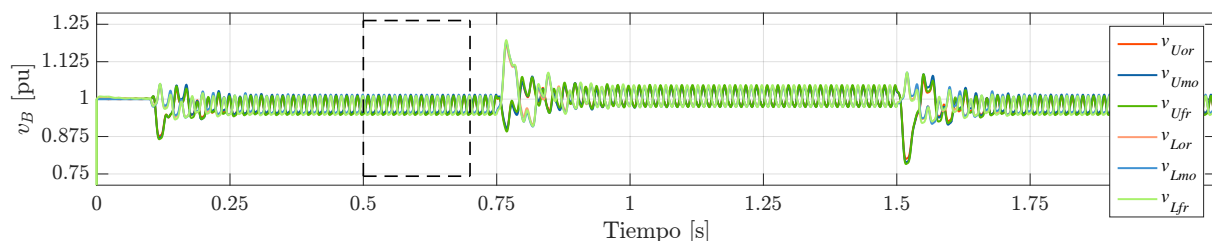
(a) Corriente del enlace en cd .



(b) Corriente en ca . de la fase a .



(c) Corriente circulante en la rama a .

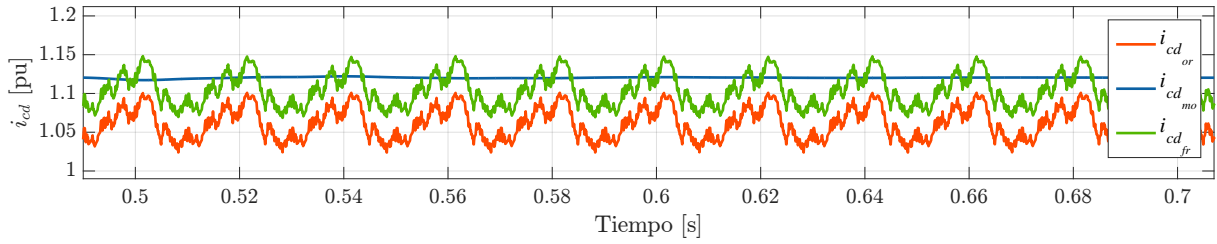
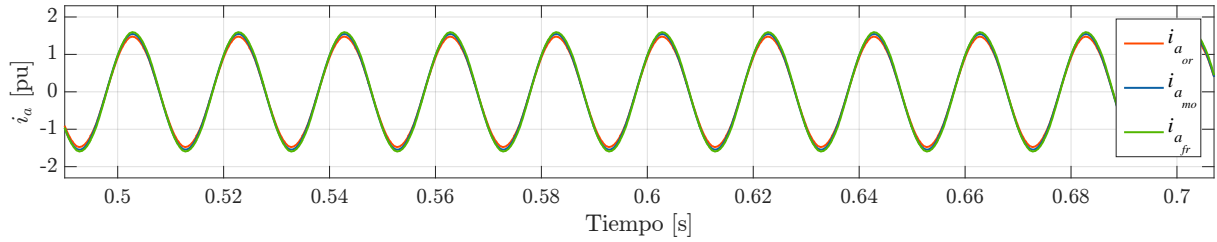
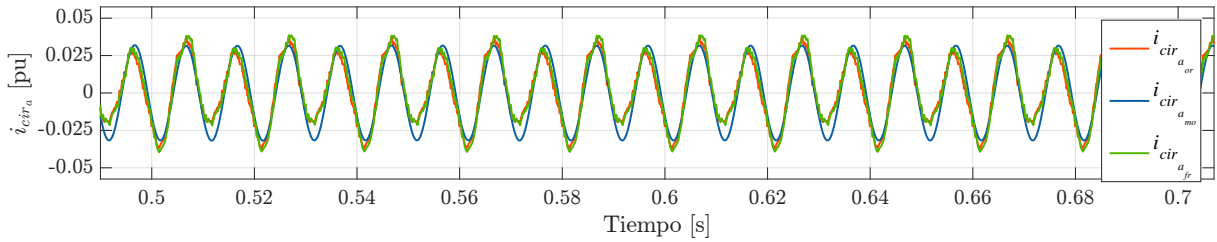
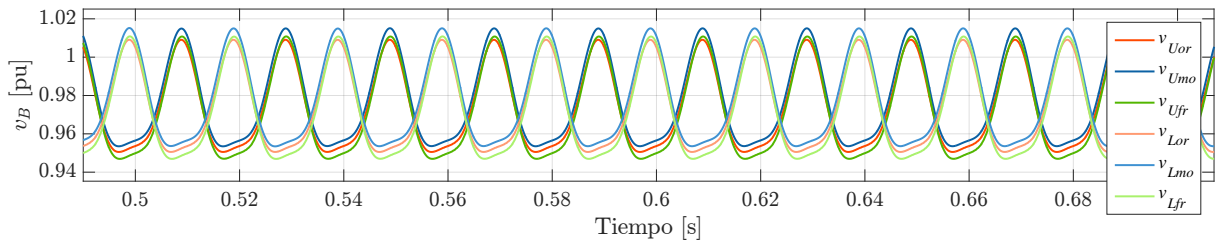


(d) Tensión eléctrica de los bloques.

Figura 3.6. Comportamiento macro de las variables de estado del MMC.

por la rama a del convertidor; las cuales se sintetizan a partir de (3.2) puesto que no es posible medirlas directamente en el circuito eléctrico. Finalmente, la tensión en cada uno de los bloques se muestra en la Figura 3.6 (d), donde se observa que la tensión de ambos bloques se mantiene con un valor promedio de 1 pu, sin embargo ambas tensiones no son iguales en todo momento.

Con el objetivo de mostrar de mejor manera las diferencias entre los modelos circuitales y dinámico, se lleva a cabo un acercamiento a la zona punteada de la Figura 3.6 que corresponde al intervalo comprendido entre 500 y 700 ms. En la Figura 3.7 se muestran las curvas obtenidas, donde primeramente se observa que la i_{cd} contiene un rizo del 10%

(a) Corriente del enlace en cd .(b) Corriente en ca de la fase a .(c) Corriente circulante en la rama a .

(d) Tensión eléctrica de los bloques.

Figura 3.7. Comportamiento de las variables de estado del MMC.

debido a las conmutaciones del convertidor y que la diferencia del valor promedio de las señales es menos del 5%. En las corrientes i_x , mostradas en la Figura 3.7 (b), se observan diferencias en las crestas de la señal, las cuales se atribuyen al comportamiento de los submódulos que están conmutando.

Además, la Figura 3.7 (c) que se asocia a las corrientes i_{cir_x} , se observa que ocurren 2 ciclos completos por cada 20 ms, con lo que se concluye que esta señal tiene un componente principal que está al doble de la frecuencia del PCC (como se había estipulado previamente); además el primer y tercer trazo presentan componentes a frecuencias mayores, y una de las razones es el efecto de la conmutación en los interruptores. Por

último, en la Figura 3.7 (d) se observa que la tensión del bloque superior e inferior están desfasadas 180° y la diferencia principal es provocada por la omisión de frecuencias de mayor orden en el modelo dinámico.

Una vez realizada la comparación cualitativa de las variables de estado, en la Tabla 3.1 se muestra una comparativa cuantitativa de las variables de estado en el sistema.

Tabla 3.1. Comparación cuantitativa de las variables de estado.

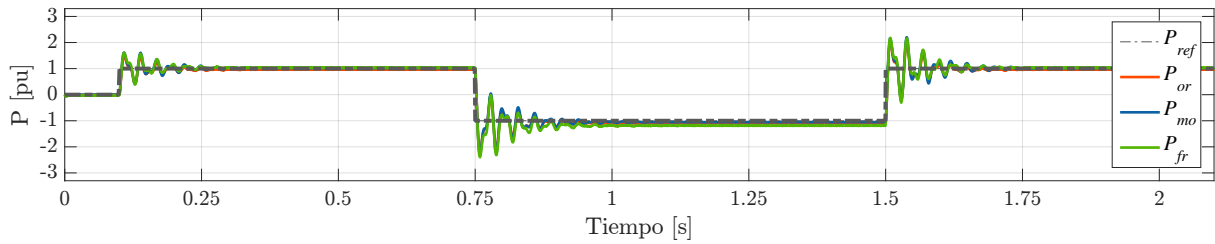
Variable de estado	Circuito eléctrico		Modelo Matemático		Circuito fragmentado	
	Magnitud [pu]	Rizo o THD [%]	Magnitud [pu]	Rizo o THD [%]	Magnitud [pu]	Rizo o THD [%]
i_{cd}	1.0636	7.69	1.1168	0.09	1.0348	7.04
i_x	0.9738	0.902	1.0253	0.491	0.9645	0.906
i_{cir_x}	0.02197	19.20	0.01980	0.92	0.02205	18.89
v_{U_x}	0.9769	5.35	0.9819	5.64	0.9766	5.34
v_{L_x}	0.9769	5.36	0.9818	5.64	0.9765	5.34

Una vez hecha esta comparación es factible establecer que la variante del circuito y el modelo matemático propuestos en este capítulo representan de forma fiel el comportamiento del MMC. Como complemento de la comparación entre las propuestas, se analiza la diferencia que se presenta en el comportamiento de otras señales que no son parte del modelo dinámico, sin embargo están presentes en el convertidor. Primeramente se muestra en la Tabla 3.2 la descripción cuantitativa, con el objetivo de comparar numéricamente el comportamiento del sistema.

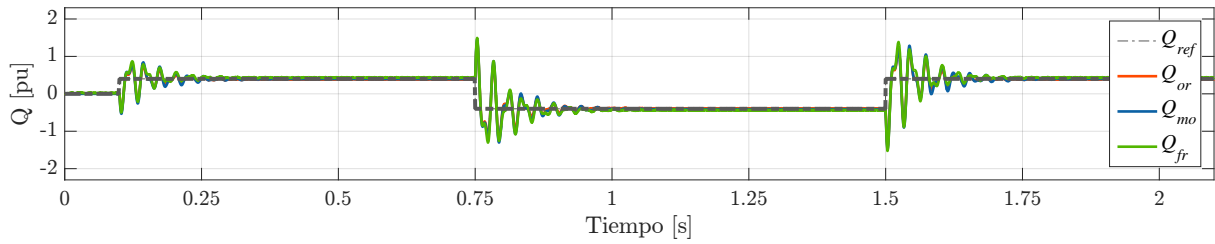
Tabla 3.2. Comparación cuantitativa de las variables eléctricas.

Variable eléctrica	Circuito eléctrico		Modelo Matemático		Circuito fragmentado	
	Magnitud [pu]	Rizo o THD [%]	Magnitud [pu]	Rizo o THD [%]	Magnitud [pu]	Rizo o THD [%]
P_g	0.9744	2.681	1.0253	0.008	0.9655	2.583
Q_g	-0.01940	2.636	-0.01414	0.015	-0.008427	2.731
V_{cd}	0.9786	0.0236	0.9819	0.0002	0.9785	0.0240
i_{U_x}	0.3082	2.76	0.3239	2.42	0.2997	2.83
i_{L_x}	0.3082	2.76	0.3240	2.42	0.2997	2.83

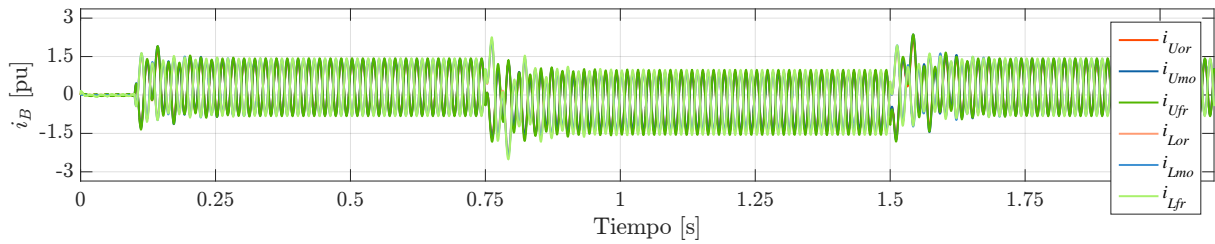
Una vez hecho esto, en la Figura 3.8 se muestra de forma gráfica el comportamiento de las señales eléctricas que no son directamente modeladas por el convertidor. La Figura 3.8 (a) ilustra la potencia activa, en donde se puede apreciar que ambos modelos del MMC alcanzan un valor cercano al deseado. No obstante, el circuito eléctrico del MMC y el fragmentado presentan un tiempo de asentamiento mayor debido al efecto de la técnica de modulación NLC-híbrida. También, se muestra el comportamiento de la potencia reactiva en la Figura 3.8 (b); donde es interesante observar que el modelo matemático logra representar los sobretiros producidos por los cambios de potencia. Asimismo, se recalca



(a) Potencia activa del MMC.



(b) Potencia reactiva del MMC.



(c) Corriente circulante en los bloques del MMC.

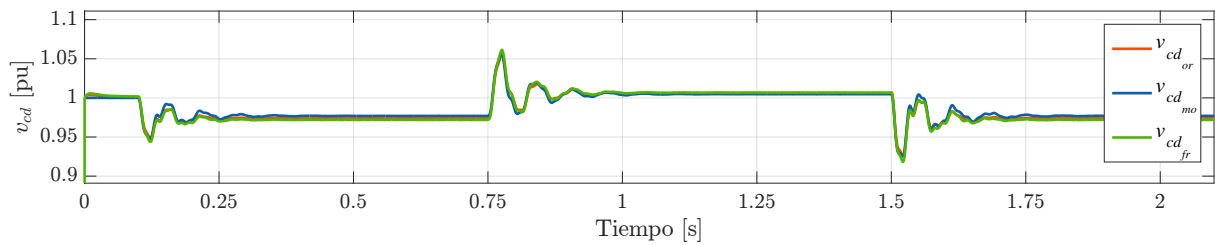
(d) Tensión eléctrica del enlace en cd .

Figura 3.8. Comportamiento de las variables eléctricas del MMC.

que el efecto de la técnica de modulación se considera y esto produce que al circuito conmutado le tome un tiempo mayor realizar la inversión de potencia reactiva.

Posteriormente, se muestran las corrientes que circulan por los bloques del convertidor; las cuales sí es factible medirlas en el sistema físico pero no son variables de estado propias del sistema dinámico. La Figura 3.8 (c) permite analizar el comportamiento macro de i_{U_a} e i_{L_a} donde ambas señales tienen un valor promedio igual pero presentan diferencias en magnitud, lo cual se debe a que existen más componentes armónicas en el modelo circuital que no se toman en cuenta en el modelo matemático.

Finalmente, la tensión en las terminales del convertidor se gráfica en la Figura 3.8

(d), se observa que la diferencia entre los modelos es mínima y que la tensión en cd tiene sobretiros menores al 10% durante ambas inversiones de potencia.

ESQUEMAS DE CONTROL PREDICTIVO BASADOS EN MODELO

La función principal que desempeñan los VSC como etapa de conversión en una red HVDC es acondicionar la energía y permitir el intercambio de potencia entre dos redes eléctricas. Para lograr esto en la literatura se proponen diferentes esquemas de control para los VSC, los cuales se pueden dividir en dos grandes grupos: los basados en el control directo de corrientes (DCC) y los que realizan un control directo de potencia (DPC). El DCC destaca puesto que se desempeña mejor en cierto tipo de aplicaciones, principalmente de baja potencia. Sin embargo, el DPC sobresale por su sencillez de cálculo e implementación, un ejemplo de esto es, que demanda una menor cantidad de operaciones al no requerir una función de transformación, como la de *Park* [33].

Aunado a la función de controlar la potencia eléctrica, los convertidores VSC también desarrollan la tarea de regular la tensión en cd en sus terminales. Para ello, en la literatura se propone concatenar bloques de control, de tal modo que la estrategia que regula el nivel de tensión en el enlace utilice el esquema de control directo de potencia. Para regular la tensión en el enlace existen varias alternativas dentro de las que destacan, aquellas basadas en el cálculo de la potencia en el condensador del enlace [89,90] y las basadas en la corriente del enlace [91].

4.1. Control directo de potencia basado en el control de matriz dinámica

En el diagrama a bloques de la Figura 4.1 muestra la estructura básica del control directo de potencia propuesto, donde la potencia activa (p_g) y reactiva (q_g) están definidas como [92]:

$$p_g := \left\langle \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix}, \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \right\rangle, \quad (4.1)$$

$$q_g := \frac{1}{\sqrt{3}} \left\langle \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix}, \begin{bmatrix} 0 & 1 & -1 \\ -1 & 0 & 1 \\ 1 & -1 & 0 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \right\rangle. \quad (4.2)$$

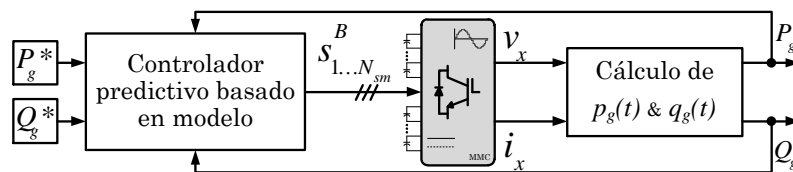


Figura 4.1. Esquema general para el control directo de potencia.

4.1.1. Control predictivo indirecto basado en modelo

En los últimos años el control predictivo basado en modelo (MPC) se ha popularizado en aplicaciones industriales, como el control de convertidores de electrónica de potencia; esto se debe a que el MPC ofrece ventajas sobre otras técnicas clásicas, dentro de las que destacan:

- alta velocidad de respuesta,
- sencillez para considerar no linealidades,
- contempla restricciones del sistema y se penalizan de forma directa,
- considera retardos desde su síntesis y permiten contrarrestarlos,
- se concibe directamente discreto,
- debido a su diseño la respuesta de controlador es posible considerarla óptima,

además, ciertas técnicas permiten su directa implementación al generar las señales de disparo de los interruptores.

Sin embargo, este tipo de estrategias de control padecen de ciertas dificultades, como:

- requieren de un gran número de operaciones para su implementaciones,
- llegan a necesitar funciones de optimización, que:
 - incrementan el número de operaciones,
 - pueden presentar problemas de convergencia,
- son sensibles al modelo del cual se sintetizan,
- no cuentan con una prueba para el análisis de estabilidad,

- requieren de una plataforma de control digital veloz.

No obstante, las plataformas de control digital han reducido su costo al mismo tiempo que han mejorado sus prestaciones, permitiendo implementar de forma industrial este tipo de controladores [35, 37, 80].

Desde el punto de vista de teoría de control, el análisis de estabilidad de los sistemas no-lineales se realiza en el sentido *Lyapunov*; el resto de las pruebas de estabilidad se realiza sobre linealizaciones puntuales o de trayectorias [93, 94]. En este sentido es factible demostrar que los controladores predictivos son estables mediante la prueba punto a punto de una superficie compuesta por condiciones de operación deseada para el sistema, una desventaja de esta propuesta es que puede existir un punto inestable que si no es considerado en el conjunto de puntos analizados, puede producir problemas en algún momento. Otro aspecto que complica el análisis de estabilidad de los MPC es que en diferentes aplicaciones se hace uso de alguna estrategia de optimización que están basadas en rutinas recursivas lo que dificulta el análisis.

Una de las metodologías más utilizadas en aplicaciones de electrónica de potencia es el MPC que analiza el conjunto finito de señales de disparo de los interruptores (FCS-MPC); el cual consiste en probar todos los estados de conmutación dentro de un modelo matemático y con base en las predicciones obtenidas elegir aquella que minimiza una función de costo determinada. Los convertidores de 2 ó 3 niveles, presentan un bajo número de interruptores, lo que implica un menor número de estados de operación, lo que hace viable esta solución. Sin embargo, aplicar una técnica MPC, como el FCS-MPC, a un MMC de 19 o más niveles es restrictivo debido a que el análisis de los 9.075×10^9 estados posibles consumiría una enorme cantidad de tiempo, lo que no es permisible para la estructura de control de un convertidor de electrónica de potencia [35, 37, 80, 95]. A manera de ejemplo y para dimensionar la cantidad de tiempo, a un controlador digital que pueda realizar 50×10^6 instrucciones por segundo, le tomaría 181.5 s analizar las diferentes opciones.

Con la finalidad de sortear la restricción de la enorme cantidad de operaciones o el tiempo que la estrategia requiere para controlar un convertidor con un alto número de estados redundantes y a la vez beneficiarse de las propiedades de los controladores predictivos, se propone aplicar una estructura conocida como control predictivo indirecto basado en modelo (I-MPC). Esta estructura consiste en tomar la señal de control generada por el MPC y procesarla de alguna manera, para con ella controlar la planta. El beneficio principal es poder reducir el número de cálculos al momento de implementar un MPC [95, 96].

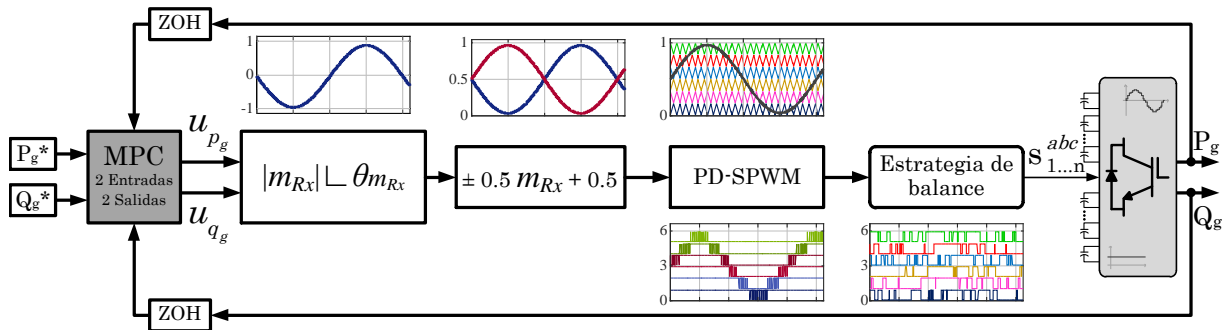


Figura 4.2. DPC basado en un controlador predictivo indirecto.

Para el caso específico de este trabajo de investigación, la estructura a bloques del I-MPC para regular la cantidad de potencia que fluye por un MMC se ilustra en la Figura 4.2. Donde primeramente, el MPC calcula la referencia de potencia eléctrica con base en las salidas del sistema. En seguida, las señales de control se mapean a señales sinusoidales dependientes del tiempo, mediante (3.28) y (3.29). Posterior a esto, comienza la técnica de modulación NLC-híbrida propuesta, que se vale de técnica PD-SPWM para sintetizar el número de submódulos a encender por bloque; este dato junto con el signo de la corriente y la tensión de los submódulos (en cada bloque) permite seleccionar el conjunto de señales de conmutación que sintetizan una tensión a la salida que garantiza el flujo de potencia deseado. Al implementar esta estructura se consiguen los siguientes beneficios:

- El número de operaciones que realiza el controlador es fijo, sin importar la cantidad de niveles del convertidor.
- El algoritmo de control tiene la capacidad de ejecutarse a una frecuencia menor que la de conmutación.
- Los horizontes que puede manejar esta solución son mucho mayores a los actualmente utilizados en la literatura, lo que permite reducir las fluctuaciones en estado estable, así como minimizar los sobretiros durante las transiciones de potencia.
- La cantidad de operaciones se reduce para una misma longitud en los horizontes.

No obstante el DMC presenta inconvenientes respecto a que sólo se puede aplicar a plantas que son estables en lazo abierto y que requiere realizar una mayor cantidad de operaciones en línea comparándola con otras técnicas como el control predictivo generalizado.

4.1.2. Control predictivo de matriz dinámica

El control predictivo aparece en 1978 como una aplicación industrial [97], desde ese momento diferentes metodologías han sido reportadas en la literatura especializada; sin

embargo, de este conjunto sobresale la técnica de control mediante la matriz de dinámica (*dynamic matrix control*) o DMC, a causa de diferentes ventajas como:

- La simplicidad en su implementación y ejecución.
- No precisa de un modelo dinámico previamente concebido.
- Su formulación parte de capturar la dinámica del sistema a controlar.
- Es capaz de lidiar con retardos intrínsecos del sistema.
- La dinámica capturada reduce el impacto de errores paramétricos en sistema.

Asimismo, es concebido de forma discreta lo que favorece su implementación sobre una plataforma de control digital [98].

4.1.2.1. Controlador predictivo de matriz dinámica: descripción

Siguiendo la metodología descrita en [98], el primer paso para sintetizar el DMC consiste en captar de forma discreta la dinámica de la planta bajo la acción de una entrada escalón, la información de la dinámica obtenida se introduce de forma ordenada dentro de la matriz \mathbf{G} . A partir de esto se advierten los siguientes puntos:

- la metodología es exclusiva para plantas estables, en caso contrario la respuesta escalón tiende a infinito,
- la efectividad del controlador está directamente relacionada con la dinámica adquirida,
- el nombre del método proviene de almacenar de forma ordenada la dinámica dentro una matriz,
- la adquisición discreta define la frecuencia con la que las señales de control se actualizan.

Para el caso donde el sistema posee múltiples entradas y múltiples salidas (*Multiple outputs - Multiple inputs*) o MiMo, la metodología indica que se debe adquirir la dinámica introduciendo escalones independientes, tantos como entradas tenga el sistema.

Para el caso particular del sistema analizado en este trabajo, el cual cuenta con 2 entradas y 2 salidas; primero se alimenta un escalón unitario en la primera entrada y la dinámica de ambas salidas se almacena en los vectores $g_k^{Y_1U_1}$ y $g_k^{Y_2U_1}$. Posteriormente, se introduce el escalón en la segunda entrada para generar $g_k^{Y_1U_2}$ y $g_k^{Y_2U_2}$. El valor máximo del subíndice k corresponde al horizonte de modelado N , entre más grande sea este horizonte el controlador será capaz de:

- predecir de mejor manera el valor final que tendrá la acción de control que se proponga,

- reducir las oscilaciones de la señal de control y de la salida del sistema, que es característica de los MPC,
- contemplar los periodos transitorios dentro de las predicciones;

en contra parte un horizonte demasiado grande resulta en tiempos de procesamiento y esfuerzos de computo elevados.

La información obtenida mediante la respuesta en lazo abierto es utilizada para llenar de forma ordenada la matriz $\mathbf{G} \in \mathbb{R}^{2H_p \times 2H_m}$:

$$\mathbf{G} := \begin{bmatrix} \mathbf{G}_{11} & \mathbf{G}_{12} \\ \mathbf{G}_{21} & \mathbf{G}_{22} \end{bmatrix}, \quad (4.3)$$

donde $\mathbf{G}_{ij} \in \mathbb{R}^{H_p \times H_m}$ es la matriz que corresponde a la i -ésima salida del sistema cuando es excitada por la j -ésima entrada.

La técnica DMC está diseñada para minimizar la función de costo J , definida como:

$$J := \sum_{j=1}^{H_p} \|\hat{y}(t+j|t) - w(t+j)\|_{\mathbf{R}}^2 + \sum_{j=1}^{H_m} \|\Delta u(t+j-1)\|_{\mathbf{Q}}^2, \quad (4.4)$$

donde: $\hat{y}(t+j|t)$ representa el valor esperado para la salida $y(t+j)$ del sistema con la información disponible en el instante t , y $\Delta u(t) := u(t) - u(t-1)$. En este punto se resalta que la primer sumatoria de J considera la diferencia entre la referencia y la salida medida, lo que en un comparativa directa es la función que tiene el integrador dentro de un controlador clásico; aunado a esto, el segundo término toma en cuenta los incrementos de la señal de control lo que podría verse como la parte proporcional.

Ahora, definiendo $\Delta \mathbf{U} := [\Delta u(k) \dots \Delta u(k+H_m-1)]$, los incrementos de la señal de control ($\Delta \mathbf{U}$) deberán de calcularse de tal manera que se minimice la función (4.4). El mínimo de la función J se consigue cuando $\nabla J = 0$, tomando en cuenta esto y después del desarrollo algebraico se obtiene que:

$$\Delta \mathbf{U} = \mathbf{K}(w - f) = \left(\mathbf{G}^T \tilde{\mathbf{R}} \mathbf{G} + \tilde{\mathbf{Q}} \right)^{-1} \mathbf{G}^T \tilde{\mathbf{R}} (w - f), \quad (4.5)$$

donde $\tilde{\mathbf{R}}$ y $\tilde{\mathbf{Q}}$ son las matrices de pesos, w es el vector de referencias, y f es el vector que contiene la respuesta forzada.

Las matrices de pesos $\tilde{\mathbf{R}} \in \mathbb{R}^{2H_p \times 2H_p}$ y $\tilde{\mathbf{Q}} \in \mathbb{R}^{2H_m \times 2H_m}$ están definidas como:

$$\tilde{\mathbf{R}} := \text{diag} \left[R_1^1, R_1^2, \dots, R_1^{H_p}, R_2^1, R_2^2, \dots, R_2^{H_p} \right], \quad (4.6)$$

$$\tilde{\mathbf{Q}} := \text{diag} \left[Q_1^1, Q_1^2, \dots, Q_1^{H_m}, Q_2^1, Q_2^2, \dots, Q_2^{H_m} \right]. \quad (4.7)$$

El vector $w \in \mathbb{R}^{2Hp \times 2}$ de (4.5) corresponde a las referencias actuales y futuras. La presente aplicación asigna las referencias futuras de cada sección de w iguales a los valores presentes. Además, el vector $f \in \mathbb{R}^{2Hp \times 2}$ tiene la estructura mostrada en (4.8), donde cada elemento del arreglo está dado por (4.9); los valores de este vector se calculan cada vez que el algoritmo de control se ejecuta (f_{zoh1}) y debido a su estructura serial requiere un número de operaciones que es proporcional a la dimensión de los horizontes utilizados.

$$f := \begin{bmatrix} f_{11} & \dots & f_{1Hp} \\ f_{21} & \dots & f_{2Hp} \end{bmatrix}^T, \quad (4.8)$$

$$f_{ik} := y_{mi} + \sum_{\ell=1}^{N_{i1}} (g_{k+\ell}^{Y_i U_1} - g_{\ell}^{Y_i U_1}) \Delta u_1(t - \ell) + \sum_{\ell=1}^{N_{i2}} (g_{k+\ell}^{Y_i U_2} - g_{\ell}^{Y_i U_2}) \Delta u_2(t - \ell). \quad (4.9)$$

Para la expresión anterior, y_{mi} es el valor actual de la i -ésima salida, N_{ij} es la longitud que posee la matriz dinámica, y $g_k^{Y_i U_j}$ son los valores muestreados de la i -ésima salida producida por la j -ésima entrada.

Para optimizar el uso de los recursos computacionales de la plataforma que ejecutará el algoritmo de control, se proponen las siguientes acciones. Puesto que la matriz \mathbf{K} no varía durante la evolución del sistema dinámico, la primera acción es calcular fuera de línea dicha la matriz e introducir sus valores dentro de la rutina del controlador. Aunado a esto, se substituye la matriz \mathbf{K} por únicamente su primer renglón ($\tilde{\mathbf{K}}$); debido a que éste contiene la información suficiente para que el DMC entregue el valor óptimo de la señal de control para el instante siguiente.

4.1.2.2. Dinámica del convertidor modular multinivel

Como se menciona en la sección anterior, la parte medular de la estrategia DMC es la dinámica del sistema en lazo abierto y la precisión de datos adquiridos define la efectividad de las técnicas; por esta razón se detallan lo más posible los elementos del MMC, para conseguir una dinámica lo más cercana a la realidad.

La Tabla 1.3 muestra los parámetros del MMC y de las redes que interconecta, además en las subsecuentes simulaciones se consideran las características del IGBT *CM2500DY-24S* de *Powerex* [99]; que son:

- Tiempo máximo de conmutación igual a $1.5 \mu s$.
- Caída de tensión inversa es de $2.25 V$.
- Resistencia de conducción del par IGBT-diodo es de 0.11Ω .

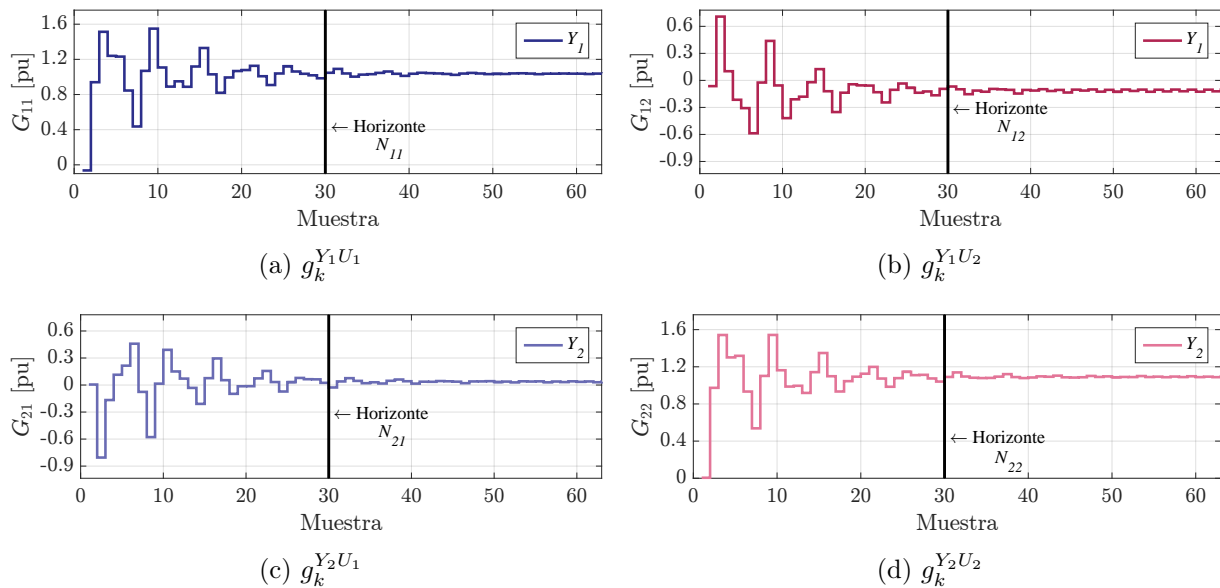


Figura 4.3. Respuesta del sistema a una entrada escalón.

En la Figura 4.3 se presentan las cuatro respuestas obtenidas, que corresponden a los siguientes escenarios de operación:

1. Se impone un escalón de 1 pu a la primer entrada que es U_{P_g} .
 - a) $g_k^{Y_1 U_1}$ almacena la información medida de p_g (Figura 4.3 (a)).
 - b) $g_k^{Y_2 U_1}$ almacena los valores muestreados de q_g (Figura 4.3 (b)).
2. Se impone un escalón de 1 pu a la segunda entrada que es U_{Q_g} .
 - a) $g_k^{Y_1 U_2}$ almacena la información medida de p_g (Figura 4.3 (c)).
 - b) $g_k^{Y_2 U_2}$ almacena los valores muestreados de q_g (Figura 4.3 (d)).

Además, se aprecia el efecto del retenedor de orden cero (ZOH) que opera a una frecuencia $f_{zoh1} = 4 f_g = 200$ Hz. La Tabla 4.1 presenta las características cuantitativas de las salidas del sistema, que posteriormente permitirá validar los valores de los horizontes seleccionados.

Haciendo uso de la definición de tiempo de asentamiento proporcionada por [93]; se establece que las salidas del sistema llegan a un estado estable en $N_{ij} = 30$ muestras, debido a que la variación entre muestra y muestra es menor al 5%. En consecuencia, el horizonte de modelado tiene que ser igual a este valor para así conocer el valor final del sistema ante alguna entrada. Es posible utilizar un horizonte más pequeño, sin embargo

Tabla 4.1. Descripción cuantitativa de las señales de salida del sistema.

		$g_k^{Y_1 U_1}$	$g_k^{Y_1 U_2}$	$g_k^{Y_2 U_1}$	$g_k^{Y_2 U_2}$
N=18	Rizo Máx.	8.47 %	11.95 %	3.2 %	10.69 %
N=30	Rizo Máx.	1.043 %	0.752 %	2.19 %	1.467 %
	Rizo	0.0975 %	0.35 %	0.98 %	0.335 %
N=80	Sobretiro	55 %	81 %	70.9 %	54.5 %
	Error en estado estable	3.69 %	3.67 %	11.27 %	9.205 %

el sistema en lazo cerrado será más susceptible a oscilaciones y mayores errores en estado estable.

Siguiendo una metodología similar, se propone que tanto el horizonte de predicción (H_p) y el horizonte de control (H_m) sean iguales a 18, para conseguir que estos horizontes tengan la capacidad de considerar la mayor parte de la dinámica transitoria del sistema. Otra ventaja de que el horizonte de control sea extendido, reside en la posibilidad de contrarrestar retardos del controlador mayores [80].

4.1.2.3. Aplicación del DMC con horizontes reducidos

Con el objetivo de ilustrar la metodología de control propuesta se considera implementar el DMC en el sistema analizado, pero por cuestiones de espacio se reduce la dimensión de los horizontes a: $N = 5$, $H_p = 3$, $H_m = 3$. Entonces, la matriz \mathbf{G} contiene la información obtenida mediante la simulación en tiempo real, dando lugar a:

$$\mathbf{G} = \begin{bmatrix} -0.0637 & 0 & 0 & -0.0637 & 0 & 0 \\ 0.9400 & -0.0637 & 0 & 0.7083 & -0.0637 & 0 \\ 1.5135 & 0.9400 & -0.0637 & 0.1019 & 0.7083 & -0.0637 \\ 0.0055 & 0 & 0 & 0.0055 & 0 & 0 \\ -0.8051 & 0.0055 & 0 & 0.9734 & 0.0055 & 0 \\ -0.1666 & -0.8051 & 0.0055 & 1.5423 & 0.9734 & 0.0055 \end{bmatrix}. \quad (4.10)$$

Las matrices de pesos definidas por (4.6) y (4.7) y el valor de cada elemento esta dado por:

$$R_1^j = 90 \left(\frac{4.5}{6} \right)^j, \quad R_2^j = 4.5 \left(\frac{3}{4} \right)^j, \quad (4.11)$$

$$Q_1^j = 3.2 \times 10^3 (2)^j, \quad Q_2^j = 75 \left(\frac{12}{5} \right)^j. \quad (4.12)$$

Dando lugar a (4.13) y (4.14); que serán empleadas para realizar los cálculos fuera de línea.

$$\tilde{\mathbf{R}} = \text{diag} \begin{bmatrix} 90 & 67.5 & 50.625 & 4.5 & 3.38 & 2.53 \end{bmatrix}, \quad (4.13)$$

$$\tilde{\mathbf{Q}} = \text{diag} \begin{bmatrix} 3200 & 6400 & 12800 & 75 & 180 & 432 \end{bmatrix}. \quad (4.14)$$

El primer renglón de \mathbf{K} está definido por (4.5) y al ser calculado da lugar a:

$$\tilde{\mathbf{K}} = \begin{bmatrix} -1.011189 \times 10^{-3} \\ 1.340924 \times 10^{-2} \\ 1.966891 \times 10^{-2} \\ 4.376844 \times 10^{-6} \\ -1.216370 \times 10^{-3} \\ -7.676216 \times 10^{-4} \end{bmatrix}^T. \quad (4.15)$$

4.1.2.4. Número de operaciones requeridas

Como ya se analizó previamente, los horizontes de modelado N_{ij} permiten conocer la respuesta forzada del sistema, por esta razón al tener la longitud suficiente el controlador será capaz de contemplar los transitorios así como el valor en estado estable. Las oscilaciones en la dinámica son cercanas al 10% en las primeras 18 muestras y el total de la respuesta transitoria está contenida en 30 muestras; Es por esta razón que se seleccionó, para la implementación final del DMC, que $N_{ij} = 30$, $H_p = 18$ y $H_m = 18$.

Al analizar las expresiones (4.5), (4.8) y (4.9) se determina el número de operaciones requeridas para generar la señal de control, como:

$$N_{opc} = 4H_p(4N_{ij} + 3) + 6H_p + 2. \quad (4.16)$$

Para la solución propuesta en este trabajo de investigación el número de operaciones requeridas para generar una señal de control válida se muestra en la Tabla 4.2.

Tabla 4.2. Número de operaciones en función de los horizontes.

	H_p	N_{ij}	N_{opc}
Caso 1	3	5	296
Caso 2	18	30	8966

En este punto se retoma lo detallado hasta ahora en este capítulo, se ha desarrollado un control directo de potencia basado en la técnica de matriz dinámica con horizontes extendidos, para un MMC de 19 niveles. Acompañando al controlador se encuentra la estrategia de modulación NLC-híbrida que opera a una frecuencia $f_{zoh0} = 20$ KHz, para generar una portadora de 2 KHz. Los lazos de controlador discreto propuesto discretizan

las señales medidas a una frecuencia $f_{zoh1} = 200$ Hz, lo que quiere decir que cada 5 ms la señal de control se actualizará; esto permite concluir varias cosas, como:

1. La plataforma de control digital tiene 5 ms para llevar a cabo las 8966 operaciones necesarias para obtener una salida de control válida.
2. Por cada actualización de la señal de control proveniente del DMC, la técnica de modulación habrá actuado 10 veces.

Este último punto quiere decir que el funcionamiento de ambos bloques está desacoplado y es independiente, lo cual se considera una de las contribuciones más importantes del trabajo de investigación, puesto que los diferentes esquemas de control predictivo deben ejecutarse en lapsos menores al periodo de conmutación, lo que restringe los horizontes o la consideración de posibles restricciones en el control.

4.1.2.5. Esquema del control directo de potencia

El diagrama a bloques de la Figura 4.4 muestra a detalle la estructura del DPC implementado, cuyos objetivos de control son: la regulación de la potencia activa y reactiva en el PCC con la red en *ca*. Este esquema está compuesto por las siguientes secciones.

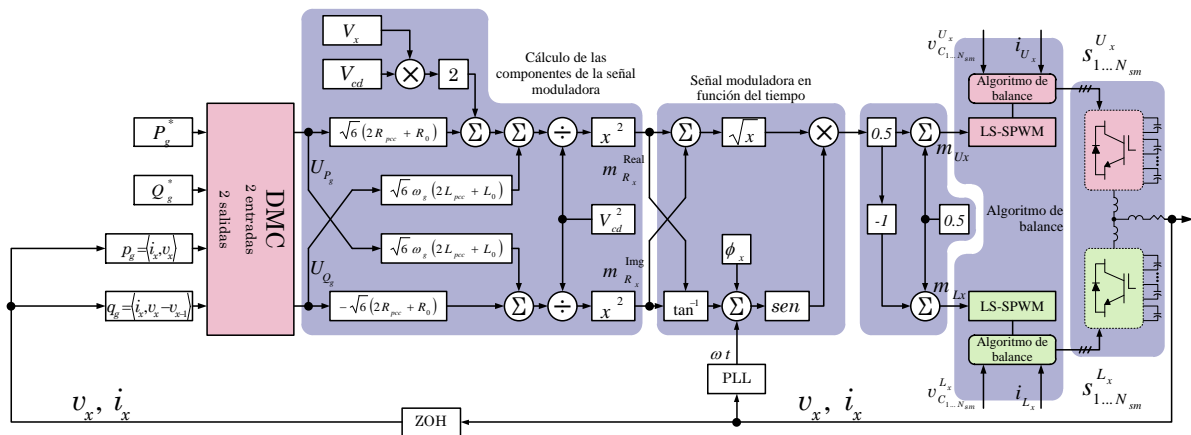


Figura 4.4. Diagrama a bloques del DPC.

1. Control de matriz dinámica para la regulación de la potencia en el PCC.
2. Cálculo de las componentes de la señal moduladora.
3. Obtención de la señal moduladora de cada rama mediante el ángulo de fase.
4. Generación de las señales moduladoras simétricas.
5. Algoritmo de modulación y balance de tensión de los SM.

El Apéndice A.3 de este documento describe el conjunto de instrucciones en código *c++* necesario para resolver (4.5), (4.8) y (4.9) y con ello generar las señales de control u_{pg} y u_{qg} . Además en el Apéndice D se detalla el esquema para para generar las señales moduladoras en función del tiempo. A manera de resumen, se presenta, en la Figura 4.4, el diagrama a bloques del DMC indirecto que regula la potencia activa y reactiva en el PCC.

4.2. Regulación de la tensión de *cd* basada en el control predictivo generalizado

Esta sección se centra en la implementación de un controlador predictivo generalizado (*Generalized Predictive Control*) o GPC; cuya principal tarea será regular la tensión del enlace de *cd*. Desde su publicación en 1987, el GPC se ha convertido en una de las metodologías más populares tanto en la industria como en la academia [98, 100, 101]

La idea principal del GPC es calcular una secuencia de señales de control futuras de tal manera que se minimice una función de costo definida sobre un horizonte de predicción. En comparación con otras metodologías de tipo predictivo, el GPC sobresale por:

- Proveer una expresión analítica que calcula la señal de control.
- Permitir lidiar con sistemas de fase no mínima, así como con sistemas inestables en lazo abierto.
- Facilitar el uso de horizontes extendidos.

4.2.1. Expresión analítica para la implementación del GPC

Las técnicas de control predictivo están clasificadas dentro del grupo de controladores óptimos; la razón es que las señales de control calculadas minimizan una función de costo propuesta (J) que tiene la estructura:

$$J := \sum_{j=1}^{H_p} \tilde{\mathbf{R}} [\hat{y}(t+j|t) - w(t+j)]^2 + \sum_{j=1}^{H_m} \tilde{\mathbf{Q}} [\Delta u(t+j-1)]^2 . \quad (4.17)$$

Sin embargo, el GPC se caracteriza por realizar la predicción a partir del modelo *Carima* (*Controller Auto-Regressive Moving-Average*), que tiene la siguiente forma:

$$A(z^{-1})y(t) = z^{-d}B(z^{-1})u(t-1) + C(z^{-1})\frac{e(t)}{1-z^{-1}} , \quad (4.18)$$

donde: $u(t-1)$ es la secuencia de control, $y(t)$ es la salida medida de la planta, d representa un retraso en el sistema y $e(t)$ es una señal de ruido blanco. Los polinomios A ,

B , y C están en función del operador de atraso z^{-1} , definidos como:

$$A(z^{-1}) := 1 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_{n_a} z^{-n_a} , \quad (4.19)$$

$$B(z^{-1}) := b_0 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_{n_b} z^{-n_b} , \quad (4.20)$$

$$C(z^{-1}) := c_0 + c_1 z^{-1} + c_2 z^{-2} + \dots + c_{n_c} z^{-n_c} . \quad (4.21)$$

donde n_a , n_b , n_c son el grado de cada polinomio.

Partiendo de este modelo se genera la matriz \mathcal{G} que permitirá predecir las salidas futuras del sistema, además \mathcal{G}' y \mathbf{F} que en conjunto con \mathcal{G} lograrán sintetizar el controlador que minimiza la función objetivo.

Utilizando un procedimiento similar al desarrollado en la sección anterior para el DMC, se minimiza la función de costo J , para con ello definir el incremento de la secuencia de control ($\Delta\mathbf{U}$), de la siguiente manera:

$$\Delta\mathbf{U} = \mathbf{K} (w - f) = \left(\mathcal{G}^T \tilde{\mathbf{R}} \mathcal{G} + \tilde{\mathbf{Q}} \right)^{-1} \mathcal{G}^T \tilde{\mathbf{R}} (w - f) , \quad (4.22)$$

donde f es el vector de salidas basado en información pasada, w es el vector de referencias futuras y las matrices de peso $\tilde{\mathbf{R}} \in \mathbb{R}^{H_p \times H_p}$ y $\tilde{\mathbf{Q}} \in \mathbb{R}^{H_p \times H_p}$ ahora están definidas como:

$$\tilde{\mathbf{R}} := \text{diag} [R^1, R^2, \dots, R^{H_p}] , \quad (4.23)$$

$$\tilde{\mathbf{Q}} := \text{diag} [Q^1, Q^2, \dots, Q^{H_p}] . \quad (4.24)$$

Con el propósito de obtener una expresión analítica que describa la ley de control y al mismo tiempo simplifique la implementación digital del GPC, se lleva a cabo el siguiente procedimiento, donde primeramente se toma la operación polinomial $w - f$ y se define de forma vectorial como:

$$w - f = [\mathbf{I} \quad -\mathbf{F} \quad -\mathcal{G}'] [w_1 \dots w_{H_p}, \Delta u_1 \dots \Delta u_{n_b}, y_0 \dots y_{n_a}]^T . \quad (4.25)$$

Al substituir (4.25) en (4.22) se consigue calcular $\Delta\mathbf{U}$ de la siguiente manera.

$$\Delta\mathbf{U} = \mathbf{K} [\mathbf{I} \quad -\mathbf{F} \quad -\mathcal{G}'] [w_1 \dots w_{H_p}, \Delta u_1 \dots \Delta u_{n_b}, y_0 \dots y_{n_a}]^T . \quad (4.26)$$

Ahora se define κ como el primer renglón de la matriz $\mathbf{K} [\mathbf{I} \quad -\mathbf{F} \quad -\mathcal{G}']$, el cual es posible calcularlo fuera de línea y permite determinar el incremento de la señal de control que minimizará la función de costo para el siguiente instante de tiempo. A partir de lo anterior se define la señal de control que se aplicará a la planta en el instante actual, como:

$$u(t) = u(t-1) + \kappa [y_0 \dots y_{n_a}, \Delta u_1 \dots \Delta u_{n_b}, w_1 \dots w_{H_p}]^T . \quad (4.27)$$

Por tanto, mediante (4.27) se define la expresión analítica que calcula la señal de control, la cual consiste en la multiplicación de dos vectores de dimensiones $H_p + n_b + n_a + 1$.

4.2.2. Descripción de la planta

El objetivo principal de este controlador es regular la tensión del enlace de cd en la terminales del MMC, pero a diferencia de otras topologías de 2 o 3 niveles, este convertidor no tiene un condensador conectado directamente al enlace de cd , como se observa en la Figura 4.5 (a). No obstante, el modo de operación descrito en el Capítulo 2 permitirá adaptar el análisis realizado para convertidores que tienen un condensador directamente conectado, como el que se muestra en la Figura 4.5 (b).

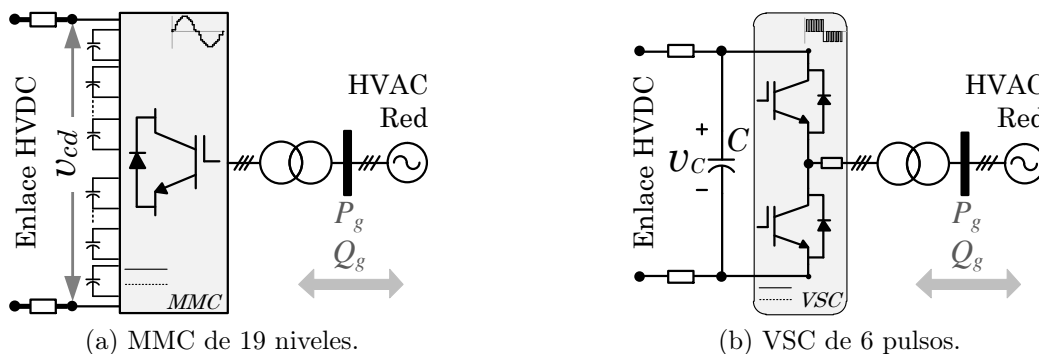


Figura 4.5. Esquema de interconexión HVAC-HVDC.

Entonces se comienza retomando el análisis del VSC de seis pulsos, de la Figura 4.5 (b), que cuenta con un condensador directamente conectado a la línea de transmisión en cd , y con base en la energía almacenada en dicho condensador se determina la potencia que se disipa en el enlace de cd (p_C) en función de la tensión de condensador (v_C).

$$p_C(t) = \frac{d W_C(t)}{dt} = \frac{C}{2} \frac{dv_C^2(t)}{dt}. \quad (4.28)$$

El MMC no cuenta con un condensador directamente conectado entre sus terminales y el bus de cd , por ende y con el objetivo de aplicar (4.28) es esencial determinar el valor de la capacitancia equivalente del convertidor. Para ello se analiza el funcionamiento del convertidor bajo la **Condición 1**, mediante la cual en todo momento en las terminales de las 3 ramas están conectados N_{sm} condensadores en serie. Al tomar en cuenta las tres ramas del convertidor, se determina que la capacitancia equivalente (C_{eq}) en las terminales del MMC y se define como:

$$C_{eq} := 3 \frac{C_0}{N_{sm}}, \quad (4.29)$$

y al reescribir (4.28) se obtiene que:

$$p_{cd}(t) = \frac{C_{eq}}{2} \frac{d v_{cd}^2(t)}{dt} . \quad (4.30)$$

donde p_{cd} es la potencia que consume el enlace y v_{cd} es la tensión en las terminales del MMC conectadas al bus de cd . Partiendo de los parámetros mostrados en la Tabla 1.3 se establece que $C_{eq} = (3 \times 9.9)/18 = 1.65$ mF.

Cabe destacar que la planta obtenida es lineal y de primer orden; sin embargo es inestable ante una entrada de tipo escalón; es por ello que se opta por el uso de la técnica GPC. La teoría de control lineal menciona que este tipo de sistemas, puramente integrales, requieren sólo de una ganancia proporcional para asegurar un error en estado estable igual a cero; sin embargo, existen fenómenos que se omiten en la planta propuesta es por ello que el GPC propuesto penalizará el error en estado estable y los incrementos de la señal de control. Para este controlador los horizontes extendidos no se justifican debido a que la planta es relativamente simple.

Una vez substituidos los valores en (4.30) se sintetiza la siguiente función de transferencia:

$$H(s) = \frac{y(s)}{x(s)} = \frac{v_{cd}^2(t)}{p_{cd}(t)} = \frac{2}{1.65 \times 10^{-3} s} , \quad (4.31)$$

que describe la tensión del enlace en términos de la potencia que fluye a través del convertidor, como se muestra en la Figura 4.6.

Discretizando (4.31) (con un $f_{zoh1} = 200$ Hz) se obtiene el modelo de la planta, como:

$$\frac{B(z^{-1})}{A(z^{-1})} := TF(z^{-1}) = \frac{5.6116 \times 10^{-2} z^{-1}}{1 - z^{-1}} , \quad (4.32)$$

y se define que el grado de los polinomios es $n_a := 1$, $n_b := 1$.

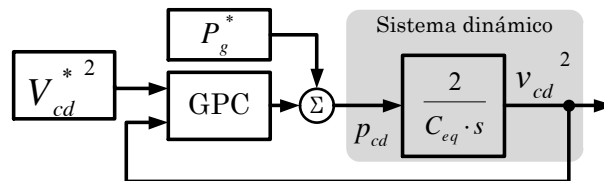


Figura 4.6. Sistema dinámico del enlace de cd .

4.2.2.1. Síntesis del controlador predictivo generalizado

Partiendo de la planta (4.32) se sigue la metodología propuesta en [98], donde a partir de diferentes ensayos se encuentra que $H_m = 2$ y $H_p = 5$, son los horizontes más pequeños

que logran controlar la planta. Entonces, se procede a generar las matrices \mathbf{F} y \mathbf{E} :

$$\mathbf{F} = \begin{bmatrix} 2 & 3 & 4 & 5 & 6 & 7 \\ -1 & -2 & -3 & -4 & -5 & -6 \end{bmatrix}^T, \quad (4.33)$$

$$\mathbf{E} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 2 & 0 & 0 & 0 & 0 \\ 1 & 2 & 3 & 0 & 0 & 0 \\ 1 & 2 & 3 & 4 & 0 & 0 \\ 1 & 2 & 3 & 4 & 5 & 0 \\ 1 & 2 & 3 & 4 & 5 & 6 \end{bmatrix}. \quad (4.34)$$

Siguiendo la metodología se construye la matriz \mathcal{G} que depende de los estados futuros y \mathcal{G}' que entrega información de los estados pasados.

$$\mathcal{G} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 6.0606 & 0 & 0 & 0 & 0 & 0 \\ 12.1212 & 6.0606 & 0 & 0 & 0 & 0 \\ 18.1818 & 12.1212 & 6.0606 & 0 & 0 & 0 \\ 24.2424 & 18.1818 & 12.1212 & 6.0606 & 0 & 0 \\ 30.3030 & 24.2424 & 18.1818 & 12.1212 & 6.0606 & 0 \end{bmatrix}, \quad (4.35)$$

$$\mathcal{G}' = \begin{bmatrix} 6.0606 & 12.1212 & 18.1818 & 24.2424 & 30.3030 & 36.3636 \end{bmatrix}^T. \quad (4.36)$$

Se concatenan algunas de las matrices de la siguiente manera:

$$[\mathbf{I} - \mathbf{F} - \mathcal{G}'] = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & -6.0606 & -2 & 1 \\ 0 & 1 & 0 & 0 & 0 & 0 & -12.1210 & -3 & 2 \\ 0 & 0 & 1 & 0 & 0 & 0 & -18.1820 & -4 & 3 \\ 0 & 0 & 0 & 1 & 0 & 0 & -24.2420 & -5 & 4 \\ 0 & 0 & 0 & 0 & 1 & 0 & -30.3030 & -6 & 5 \\ 0 & 0 & 0 & 0 & 0 & 1 & -36.3640 & -7 & 6 \end{bmatrix}. \quad (4.37)$$

A continuación se proponen los valores de las matrices de pesos, de tal manera que la respuesta del GPC se aproximadamente una década más lenta que la del DMC, para con ello lograr desacoplar las dinámicas de ambos esquemas de control.

$$R^j = 750, \quad (4.38)$$

$$Q^j = 100000 \left(\frac{1}{12} \right)^{2j}. \quad (4.39)$$

estos elementos permiten construir las matrices cuadradas y diagonales, siguientes:

$$\tilde{\mathbf{R}} = \text{diag}[750 \quad 750 \quad 750 \quad 750 \quad 750 \quad 750 \quad 750 \quad 750] , \quad (4.40)$$

$$\tilde{\mathbf{Q}} = \text{diag}[1 \times 10^5 \quad 6.944 \times 10^2 \quad 4.822 \quad 3.348 \times 10^{-2} \quad 2.325 \times 10^{-4} \quad 1.615 \times 10^{-6}] . \quad (4.41)$$

Finalmente se obtiene el vector κ que corresponde al primer renglón de \mathbf{K} [$\mathbf{I} - \mathbf{F} - \mathbf{G}'$], como:

$$\kappa = \begin{bmatrix} 0 \\ 3.4894 \times 10^{-2} \\ 1.7267 \times 10^{-3} \\ -5.4988 \times 10^{-6} \\ -2.1126 \times 10^{-9} \\ 4.6004 \times 10^{-14} \\ -4.5422 \times 10^{-1} \\ -1.11563 \times 10^{-1} \\ 7.4947 \times 10^{-2} \end{bmatrix}^T . \quad (4.42)$$

Cabe destacar que la técnica GPC destaca sobre la DMC, en varios aspectos, como:

- El número de operaciones para implementarlo es fijo y mucho menor.
- No presenta problemas con respecto al tiempo de cómputo.
- Precisa de horizontes más pequeños para funcionar correctamente.
- Es capaz de controlar plantas que no son estables en lazo abierto.

4.2.2.2. Esquema del control para la regulación de la tensión de cd

En la Figura 4.7 se muestran los diagramas a bloques del controlador I-MPC con doble lazo de control, donde los objetivos de control son: la regulación de la tensión en el enlace de cd y de la potencia reactiva que se inyecta a la red en ca . El primer lazo de control genera las nuevas referencias de potencia que el convertidor debe de seguir, para con ello reducir el error entre la potencia eléctrica de referencia y la transferida. El segundo lazo varía la referencia de potencia activa tomando en cuenta la energía en el enlace, de tal forma que la tensión de cd se mantenga regulada.

Para cerrar este capítulo, se concluye que los esquemas de control propuestos son suficientes para satisfacer las diferentes tareas que el MMC debe realizar dentro de una red distribuida en cd . Un ejemplo de ello podría ser una red VSC-HVDC de dos puertos (*back to back*), donde el par de VSC se conectan mediante una línea de transmisión; en este caso las tareas de control serían asignadas de manera indistinta como:

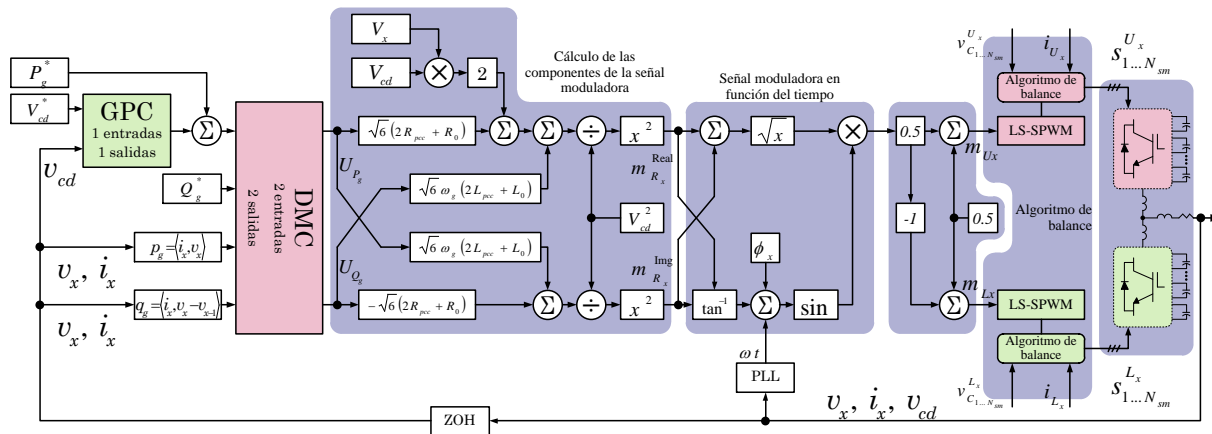


Figura 4.7. Diagrama a bloques del GPC.

- El MMC₁ estaría encargado de regular:
 - la potencia activa;
 - la potencia reactiva.
- El MMC₂ llevaría a cabo la regulación de:
 - la tensión de cd en las terminales del convertidor;
 - la potencia reactiva.

COMPORTAMIENTO DEL CONVERTIDOR MODULAR MULTINIVEL DENTRO DE UN ENLACE EN CORRIENTE DIRECTA DE ALTA TENSIÓN

El presente capítulo se enfoca en mostrar el comportamiento del MMC dentro de una red de transmisión VSC-HVDC, donde sus principales tareas son:

- Transferir potencia activa.
- Compensar potencia reactiva.
- Regular la tensión en las terminales del enlace en *cd*.

El convertidor de electrónica de potencia se implementará dentro de un simulador digital en tiempo real (*digital real-time simulator*) o DRTS; para así conseguir un prototipado rápido, que ofrece un entorno de prueba cercano al experimental, simultáneamente reduce el tiempo y costo relacionado con la implementación. Aunado a esto, la plataforma ofrece la posibilidad para comunicarse con controladores externos y así verificar los algoritmos generados.

5.1. Simulación en tiempo real

El DRTS es una herramienta que permite simular sistemas compuestos por un gran número de elementos y que éstos den forma a modelos complejos, dentro de un entorno realista. Se le asigna la propiedad de tiempo real por que el simulador es capaz de resolver estos modelos complejos en un tiempo igual o menor al paso de integración de la simulación

(T_s), como se muestra en la Figura 5.1. Esto permite que un segundo en el simulador sea calculado en un segundo en el tiempo real, de no ser así se generan retrasos (*overruns*) en la simulación. Una característica más de estas plataformas es que permiten la interacción con diferentes tarjetas de control digital, y así conseguir un mayor apego a un esquema experimental [39, 63, 102].

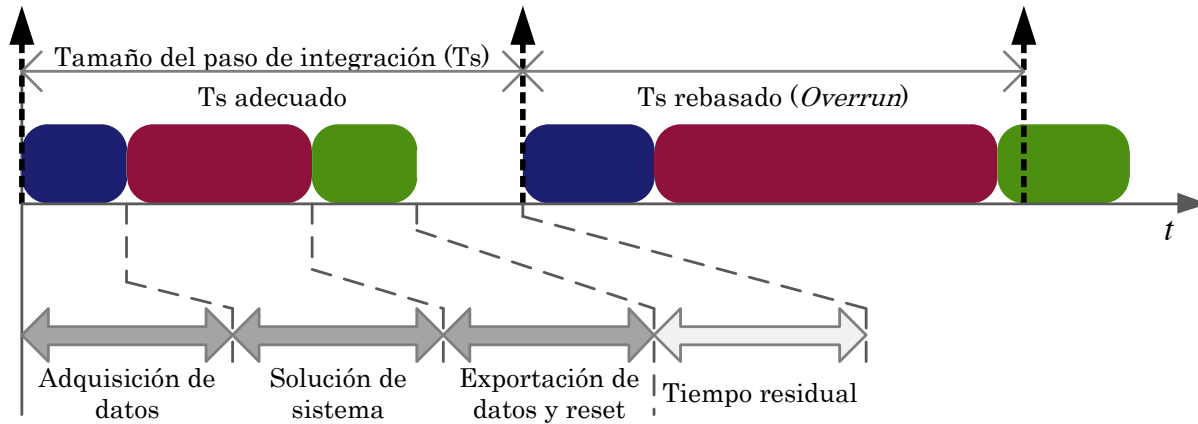


Figura 5.1. Tareas del DRTS durante un T_s .

La plataforma en tiempo real se utiliza como herramienta para probar convertidores de electrónica de potencia, así como los algoritmos de control y las técnicas de modulación necesarios para su funcionamiento. Puesto que permiten utilizar modelos complejos y altamente detallados de los semiconductores y elementos pasivos, y de esta manera emular de mejor manera un sistema de transmisión con condiciones similares a las que se presentarían en un esquema real o un prototipo experimental de baja potencia [103, 104].

El DRTS tiene una función que permite medir la cantidad de tiempo que necesita para realizar cierto proceso, con esto es posible determinar de mejor manera si la carga computacional puede aumentar o si es factible reducir el T_s propuesto. Otra utilidad es determinar de forma simple si cierto esquema o algoritmo es factible de ser calculado por una plataforma digital, de forma particular esta herramienta es utilizada para establecer el tiempo necesario para ejecutar los algoritmos de control y modulación propuestos, que se distinguen por requerir un gran número de operaciones.

5.1.1. Plataforma de simulación en tiempo real

La plataforma de simulación en tiempo real de la compañía *OPAL-RT Technologies*[®] permite validar de forma efectiva, ágil y acertada los diferentes esquemas de modulación y control necesarios para operar el MMC dentro de una red VSC-HVDC. Con el objetivo de resolver los diferentes elementos que forman parte de este sistema eléctrico, el DRTS

cuenta con dos unidades de simulación en tiempo real modelo OP5607 [105], cada una equipada con:

- Un procesador *Intel Xeon* de 6 núcleos que operan a 3.46 GHz.
- Un FPGA modelo VC707 de la familia *Virtex 7*.
- Un convertidor analógico-digital (ADC) y otro digital-analógico (DAC), ambos con:
 - 16 canales de entrada o salida.
 - ± 1.6 volts de rango dinámico.
 - 16 bits de resolución.

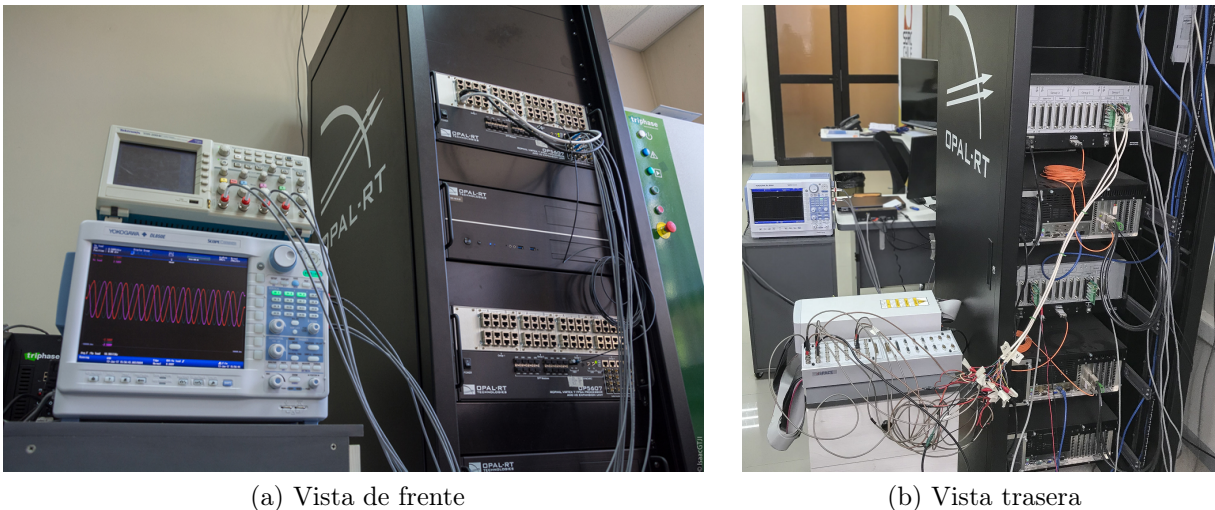


Figura 5.2. Plataforma de simulación en tiempo real de OPAL-RT®.

La Figura 5.2 muestra el simulador previamente descrito, que opera con un protocolo de comunicación TCP/IP para transferir información de forma bidireccional entre el DRTS y una computadora personal. El software *RT-Lab* además de establecer la comunicación, gestiona los diferentes proyectos a implementar.

Los proyectos dentro de *RT-Lab* contienen la estructura del sistema a simular y la forma en que los recursos del simulador serán usados. Con el propósito de codificar o describir el sistema, se utiliza el entorno *Simulink* de *MatLab* que ofrece diferentes librerías, inclusive algunas propias del fabricante *OPAL-RT Technologies*® que permiten modificar los parámetros del sistema en tiempo real y otras que aprovechan al máximo las prestaciones del DRTS.

5.1.2. Modelo multinúcleo

Además de utilizar unidades centrales de procesamiento o CPU de alto desempeño, el DRTS es capaz de distribuir las tareas de cálculo entre los diferentes núcleos para conseguir así un procesamiento en paralelo acelerado. Esta función permite simular sistemas más complejos o con mayor número de elementos sin la necesidad de aumentar el paso de integración de la simulación.

Al tener la propiedad de modularidad y estar compuesto por un gran número de elementos activos y pasivos, el MMC se convierte en un candidato ideal para dividir el esquema en bloques de análisis para procesarlo de forma paralela. Para ello se parte del circuito basado en fuentes dependientes mostrado por la Figura 5.3, el cual consta de siete secciones eléctricamente desacopladas pero que comparten información a través de las respectivas mediciones de tensión y corriente.

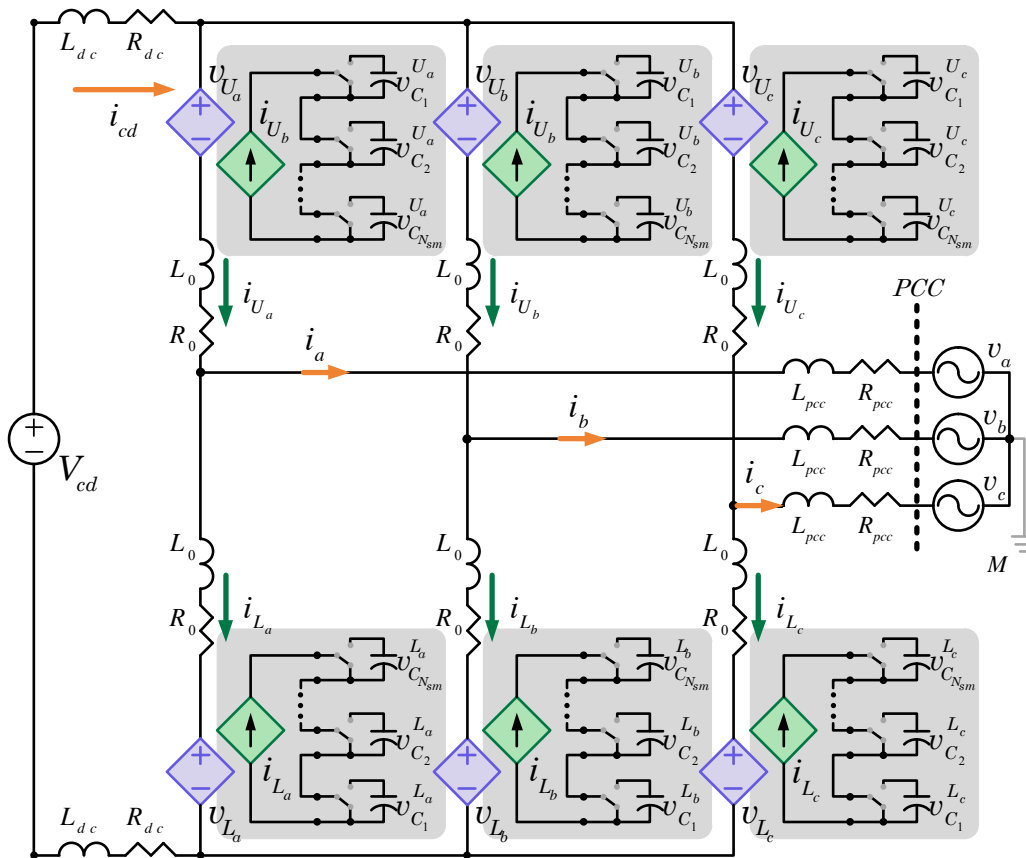


Figura 5.3. Circuito eléctrico del MMC basado en fuentes dependientes.

La distribución de tareas se presenta de forma gráfica en la Figura 5.4, donde cada núcleo del DRTS desempeña las funciones descritas a continuación:

- El *Núcleo-1* simula la interacción entre la tensión de los bloques del MMC y las fuentes de tensión en *ca* y *cd*.
 - Las entradas son las 6 tensiones de cada bloque.
 - Las salidas consisten en las 6 corrientes de cada bloque, además las 3 corrientes y 3 tensiones en el PCC.
- Los cálculos referentes a la técnica de control, así como los esquemas de modulación y balance de condensadores son asignados al *Núcleo-2*.
 - Las salidas de este núcleo son las señales de control para cada uno de los bloques del MMC.
 - Como entrada son necesarios: el signo de la corriente en los bloques y la tensión de los condensadores de los SM.
 - Además, las tensiones y corrientes del PCC permiten hacer el cálculo de la potencia instantánea.
- Los núcleos 3, 4, y 5, emulan el comportamiento de los bloques del MMC, además de generar las señales de conmutación complementarias e incluir el tiempo muerto respectivo. Con estas señales se calcula la tensión en los condensadores de ambos bloques de cada rama.
 - Como entradas están la corriente de cada uno de los dos bloques y la señal de encendido de cada SM.
 - Las salidas del núcleo corresponden a las tensiones de los $2N_{sm}$ submódulos de la rama.

Bajo este esquema, se transmite información entre núcleos al compartir la memoria física del CPU y la comunicación entre unidades de procesamiento se realiza por medio de fibra óptica; además el FPGA genera las señales de visualización análogas. Es preciso señalar que la simulación multinúcleo y el cálculo en paralelo requiere introducir bloques de retardo constante igual o mayor a T_s , para lograr que los diferentes sistemas en cada núcleo sean causales y no se presenten trayectorias algebraicas cerradas. Estos retardos están implícitos en los prototipos experimentales y se asocian a: los tiempos de propagación presentes en la circuitería, al tiempo que les toma a los sensores medir, al tiempo de cálculo de la plataforma digital utilizada, entre otras. Los retardos aun cuando son intrínsecos en los sistemas pueden llegar a causar un mal desempeño o inestabilidad de la planta; sin embargo el controlador DMC propuesto tiene la ventaja de ser robusto contra retardos o inclusive utilizar las predicciones para cancelar su efecto [98].

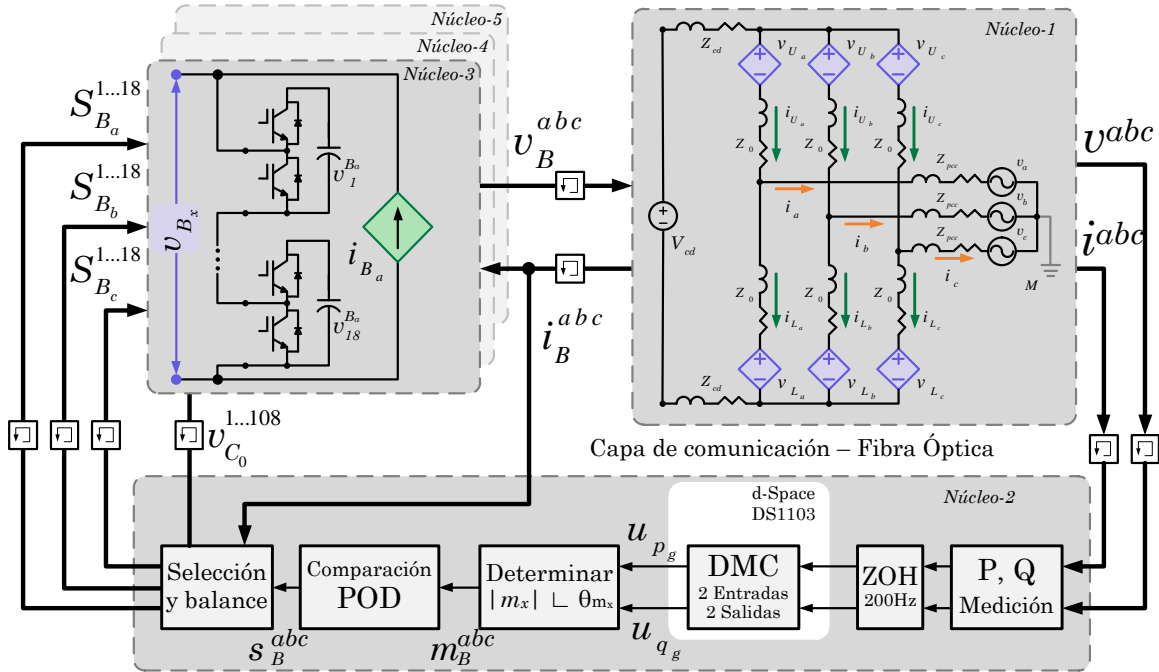


Figura 5.4. Simulación multinúcleo del MMC.

5.1.2.1. Paso de integración del DRTS

El paso de integración con el que la plataforma en tiempo real ejecuta los cálculos del sistema, está en función del número de submódulos de cada bloque, tomando en cuenta las metodologías mostradas en [39] y [38]. Entonces se selecciona un $T_s = 50 \mu s$ con el objetivo de aumentar la precisión en los resultados y a la vez que los núcleos 3, 4, 5 tengan suficiente tiempo para resolver los circuitos asignados; que constan de una rama del MMC de 19 niveles, compuesta por 2 bloques con 18 submódulos cada uno, que da un total de 72 IGBT y 36 condensadores en cada núcleo.

5.1.2.2. Elementos de simulación RTE

Los DRTS utilizan métodos de solución discretos así como pasos de integración fijos, con lo cual al elevar el T_s ocasiona que los resultados obtenidos dejen de ser veraces debido a la pérdida de precisión en los elementos eléctricos de potencia de la librería *SimPowerSystems*.

Una solución para este problema, es el uso de los elementos de la librería Eventos en Tiempo Real (*real-time events*) o *RTE*, puesto que utilizan un método numérico de quinto orden, lo que mejora la precisión ante valores elevados de T_s . Además, los elementos *RTE* son capaces de realizar operaciones de forma súper-síncrona, en otras palabras, estos elementos pueden ser resueltos hasta 255 veces por cada T_s fijo del simulador. En la

Figura 5.5 se muestra una comparativa entre el comportamiento de ambas librerías, el trazo en verde realiza cálculos súper-síncronos lo que permite sintetizar el resultado de mejor manera puesto que no tiene que esperar el siguiente T_s para actualizarse; caso contrario el trazo azul que sufre retardos y variaciones en el ancho de los pulsos.

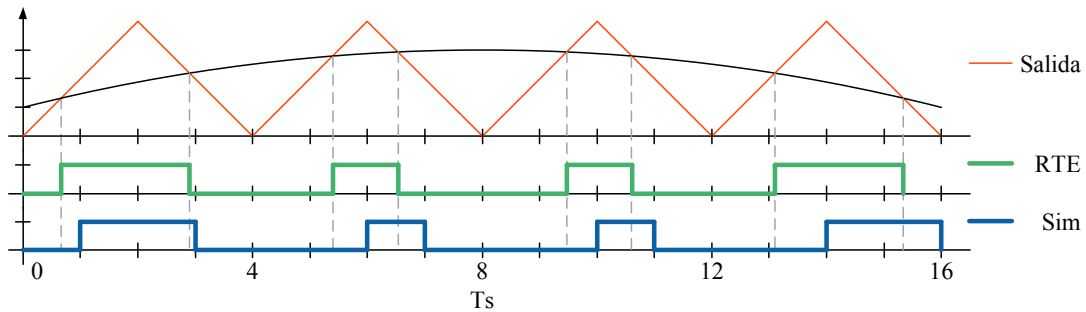
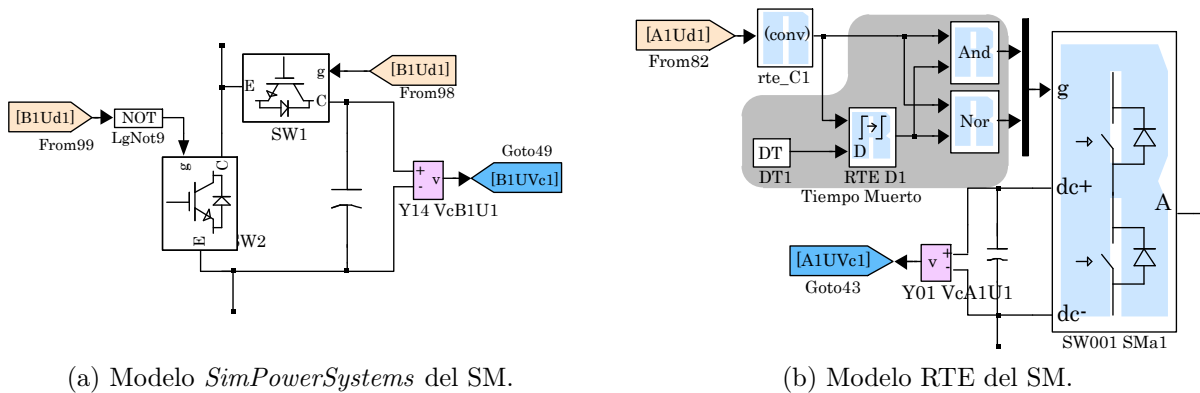


Figura 5.5. Comportamiento de los elementos RTE.

Los elementos *RTE* son controlados por señales especiales, las cuales tienen dos componentes principales, una es el valor del estado (booleano o double) y la segunda es una componente temporal que permite determinar el instante cuando ocurre un cambio del estado. Además los modelos *RTE* de los dispositivos semiconductores son iterativos y ofrecen una mejora en la estabilidad y precisión de la solución, sin aumentar el tiempo de procesamiento; debido al uso de un método de solución (*solver*) de quinto orden optimizado. Adicionalmente, la solución que se entregan a través de los nodos eléctricos es totalmente compatible con los elementos de *SimPowerSystems*, lo que permite la interacción con otras secciones del sistema.



(a) Modelo *SimPowerSystems* del SM.

(b) Modelo RTE del SM.

Figura 5.6. Circuito eléctrico de un submódulo basado en el convertidor HB.

Los diagramas de la Figura 5.6 representan el circuito del SM utilizado ambas librerías, las ventajas de usar el esquema mostrado por la Figura 5.6 (b) son:

- Aumento en la precisión en los resultados.

- Eliminación de retrasos en la respuesta del DRTS.
- Posibilitan el uso de T_s mayores.

Además, la ejecución súper-síncrona permite introducir el efecto del tiempo muerto (T_d) dentro de la simulación, puesto que los modelos de semiconductores RTE son capaces de considerar y responder a fenómenos con duraciones menores a T_s .

5.2. Simulación del MMC dentro de una red VSC-HVDC

En esta sección se evalúa el MMC de 19 niveles que opera como enlace entre una fuente de tensión en cd y otra en ca ; el resto de los parámetros del sistema se indican en la Tabla 1.3.

5.2.1. MMC acompañado del DPC

En la Figura 5.7 se muestra el desempeño del MMC ante una variación de potencia activa y reactiva, en esta figura se aprecia que ambas referencias se alcanzan en 180 ms, con un error en estado estable menor al 3%. El sobretiro en la potencia reactiva tan solo alcanza el 17%, comprobando que el controlador reduce el efecto de fase no-mínima, que es una característica intrínseca de los VSC. Las señales de control para alcanzar las referencias deseadas se muestran en la Figura 5.8; donde se observa que el DMC discreto tiene una frecuencia de muestreo de 200 Hz, que reajusta la señal de control cada 5 ms.

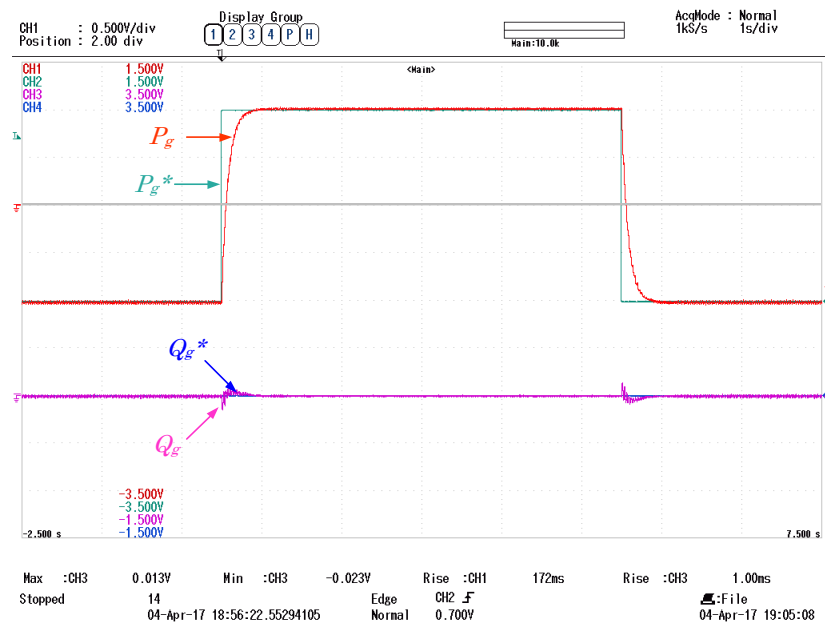


Figura 5.7. Comportamiento de la potencia en el PCC.

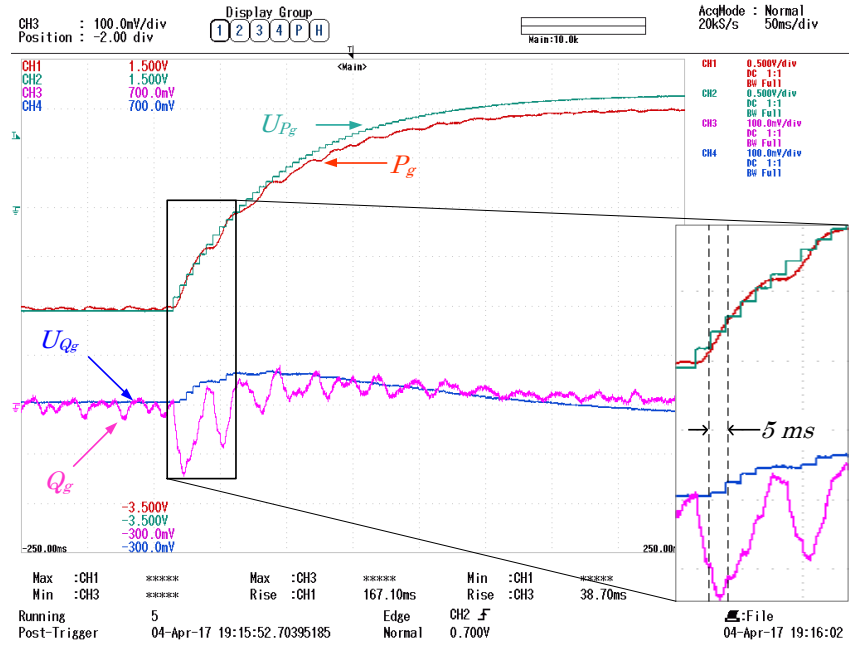


Figura 5.8. Señales de control y potencia del convertidor.

Las corrientes de fase se exhiben en la Figura 5.9, las cuales no muestran sobretiros durante la inversión de potencia, además de que en todo momento las magnitudes están balanceadas y centradas en cero. También, se distingue dentro del recuadro anexo que la corriente cambia de dirección e inclusive antes de que llegue a 1 pu ya se encuentra en fase con la tensión de la red en *ca*.

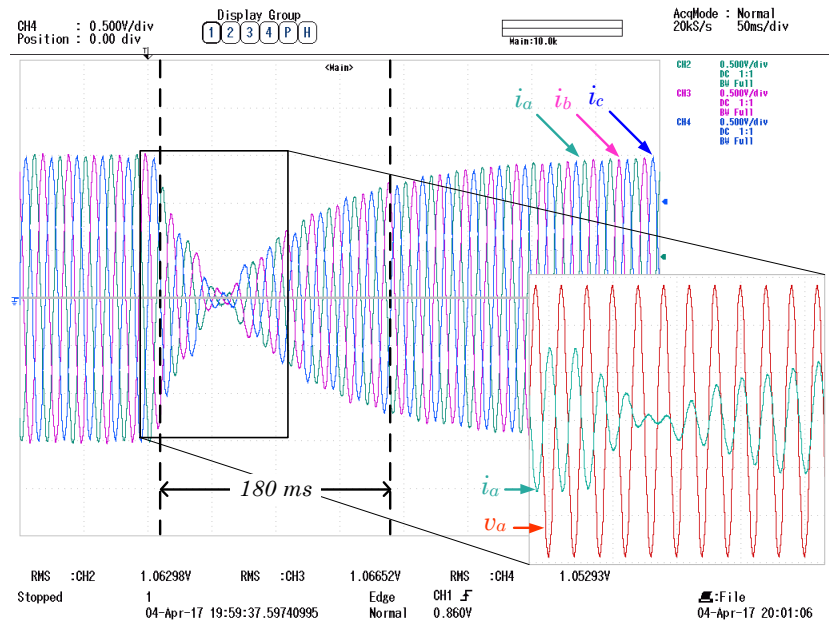


Figura 5.9. Señales de tensión y corriente en el PCC.

En la Figura 5.10 se puede apreciar que la tensión de los condensadores se mantiene alrededor de 1 pu con un rizo del 5%. Además durante la inversión de potencia, el rizo disminuye puesto que la cantidad de corriente que circula por el convertidor también lo hace.

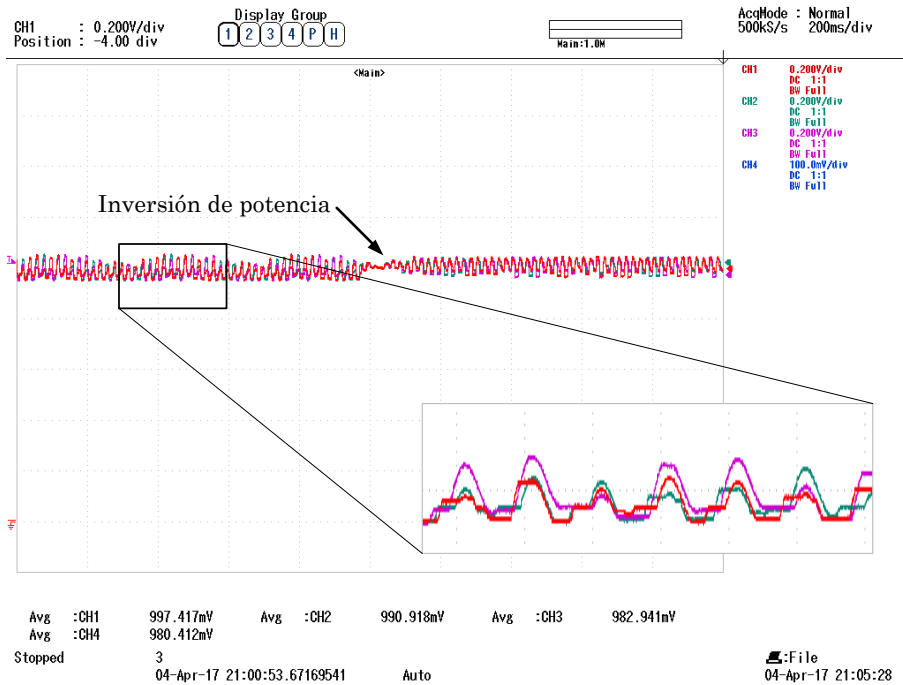


Figura 5.10. Tensión de los condensadores del bloque superior de la rama a .

La tensión en cada rama del convertidor con respecto al nodo de tierra (V_{R_x}) se ilustra en la Figura 5.11, donde se ve que están compuestas por 18 niveles y de valor RMS de 1.14 pu. a 50 Hz.

El espectro armónico de la Figura 5.12 muestra las componentes principales de la señal de tensión y su magnitud se enlistan en la Tabla 5.1, con la cual se calcula que el THD_v es de 5.7%.

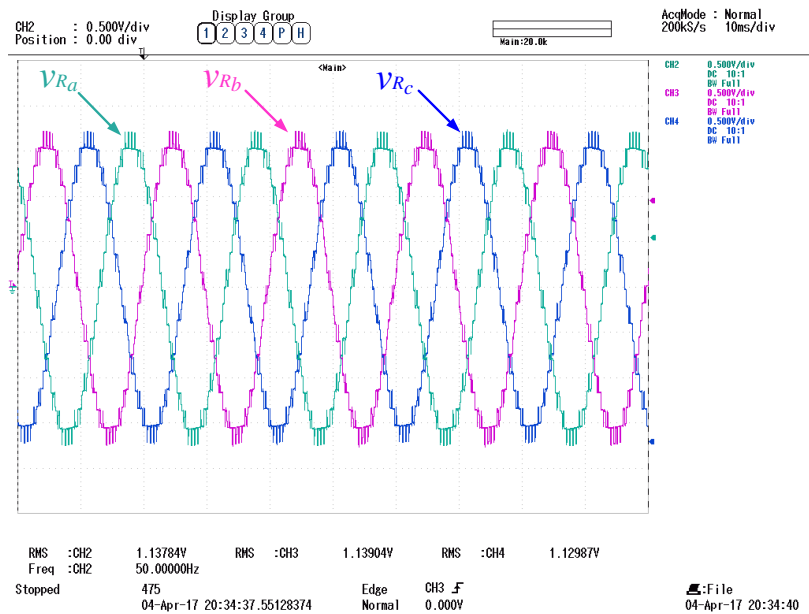


Figura 5.11. Tensión escalonada trifásica a la salida del convertidor.

Sin embargo, es importante resaltar que al transmitir una potencia activa de 1 pu, el THD_i de las corrientes en el PCC es de 0.43% y la tensión en el PCC presenta un

$\text{THD}_v = 1.54\%$, debido al efecto de las inductancias de enlace.

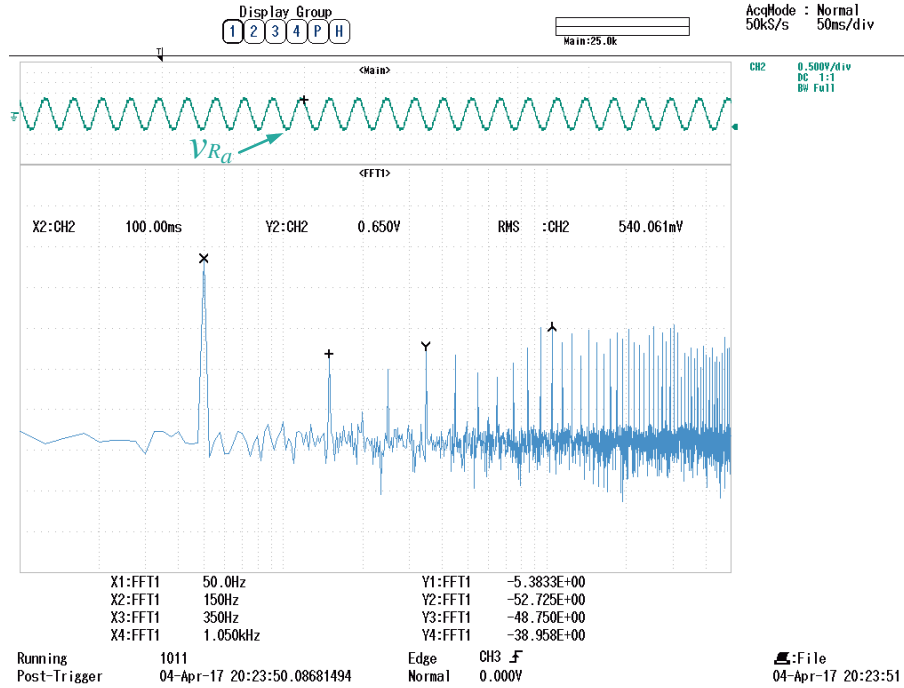


Figura 5.12. Espectro armónico de la tensión a la salida del convertidor.

Tabla 5.1. Magnitud de las componentes armónicas en tensión de la rama v_{R_x} .

Frecuencia Hz	Amplitud pu	Frecuencia Hz	Amplitud pu
50	0.5381	950	0.01127
150	0.002311	1050	0.01127
350	0.003652		

Una vez que el circuito del MMC, la técnica de modulación y la estrategia de control se ejecutan en tiempo real, se obtiene el tiempo máximo que necesita el DRTS para resolver el sistema que está en cada uno de los núcleos de ambos CPU. El *Núcleo-1* requiere $15 \mu\text{s}$, los núcleos del 3 al 5 realizan la misma tarea en $48 \mu\text{s}$, finalmente el *Núcleo-2* necesita tan sólo $7 \mu\text{s}$. La Figura 5.13 (a) muestra la fracción máxima del T_s ($50 \mu\text{s}$) requerida por cada núcleo.

En [106] se especifica que la simulación en tiempo real de convertidores de electrónica de potencia debe de tener un $T_s \leq 50 \mu\text{s}$, para considerar como válidos los resultados. En consecuencia si se desea utilizar un T_s más pequeño o trabajar con un convertidor con un mayor número de niveles es necesario utilizar más núcleos del DRTS.

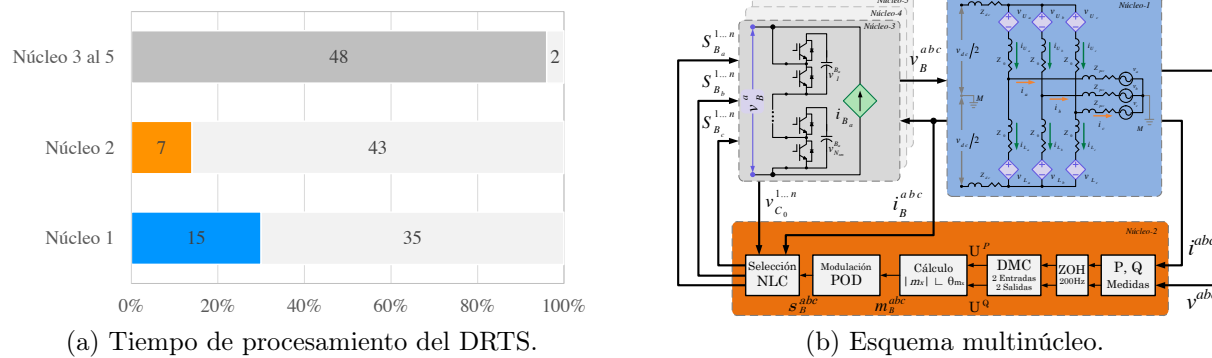


Figura 5.13. Desempeño del esquema de simulación multinúcleo del MMC en lazo cerrado.

5.2.1.1. Comparativa de resultados

En la Tabla 5.2 es posible hacer una comparativa directa entre la técnica de control propuesta y diferentes esquemas reportados en la literatura especializada. El esquema de control propuesto tiene una mejor respuesta dinámica que otra aplicaciones del mismo rango de potencias, sin embargo en [107] se reporta que la estrategia de control logra escalones casi instantáneos de potencia, aunque no muestra resultados correspondientes a un inversión de potencia. La aplicación analizada en [20] es de un rango similar de potencia y tensión, para este caso en particular la estrategia de control propuesta es muy superior, puesto que logra invertir totalmente la potencia en la mitad del tiempo y eliminando el sobretiro.

Tabla 5.2. Comparativa de resultados del esquema de regulación de potencia.

Referencia	Potencia [W]	Tensión [KV]	Variación [pu]	Rizo [%]	T de asentamiento [ms]
MDC propuesto	1000×10^6	115	± 1	0	180
[20]	600×10^6	230	-0.3333	10	400
[21]	50×10^6	30	± 0.8	0	200
[64]	240×10^6	166	± 0.83	3.125	200
[108]	80×10^6	100	0.625	10	500
[107]	13×10^6	24.5	-0.5	2	3

5.2.1.2. Variación trifásica de la tensión en el PCC

En este escenario de prueba se varia de forma trifásica la tensión del PCC, con el objetivo analizar si el DPC propuesto es capaz de contrarrestar este tipo de fenómenos. En la Figura 5.14 (a) se observa la variación produce que en $t = 1$ s la tensión en el PCC disminuye un 0.1 pu, en $t = 2$ s regresa a su valor original, posteriormente en $t = 3$ s aumenta 0.1 pu, finalmente en $t = 4$ s la tensión regresa a su valor base. Para esta prueba

el convertidor y ambas fuentes de tensión presenta los mismos parámetros de operación mostrados en la Tabla 1.3.

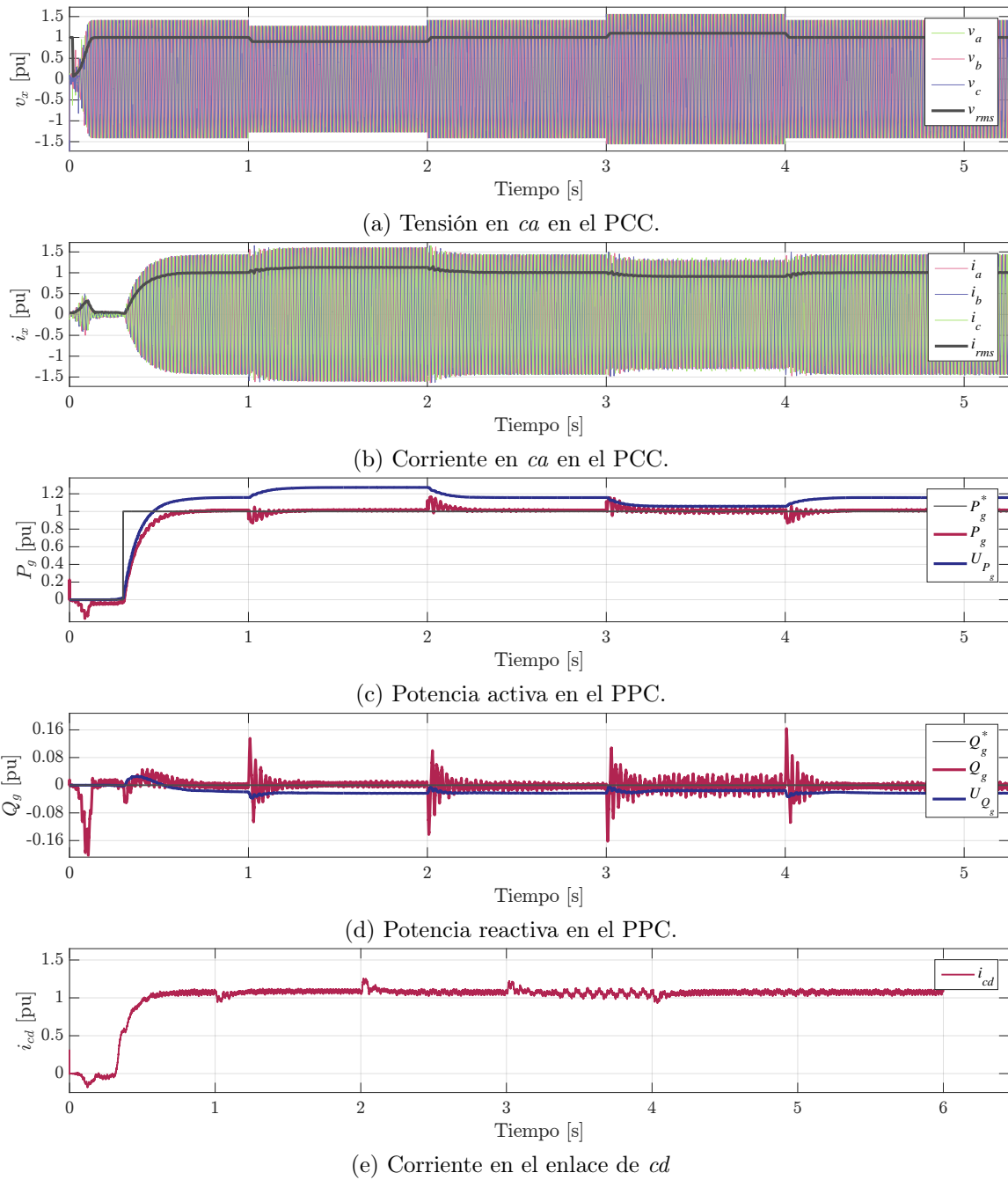


Figura 5.14. Comportamiento del esquema de control directo de potencia ante una variación trifásica.

En la Figura 5.14 (c) se exhibe el comportamiento de la potencia activa que fluye por el MMC y cuando se presenta la variación de tensión la cantidad de potencia transferida se modifica lo que se refleja como sobretiros del 16 %, lo cuales se mitigan en 250 ms; cuando

se presenta la sobre tensión de 1.1 pu, el rizo en la potencia aumenta del 2% al 3%. Los sobretiros de P_g conllevan un cambio en la potencia reactiva, que también presenta máximos del 16% que se disipan en 200 ms. El excedente o la falta de tensión se refleja en la corriente del enlace en cd , produciendo sobretiros que llegan hasta 1.25 pu.

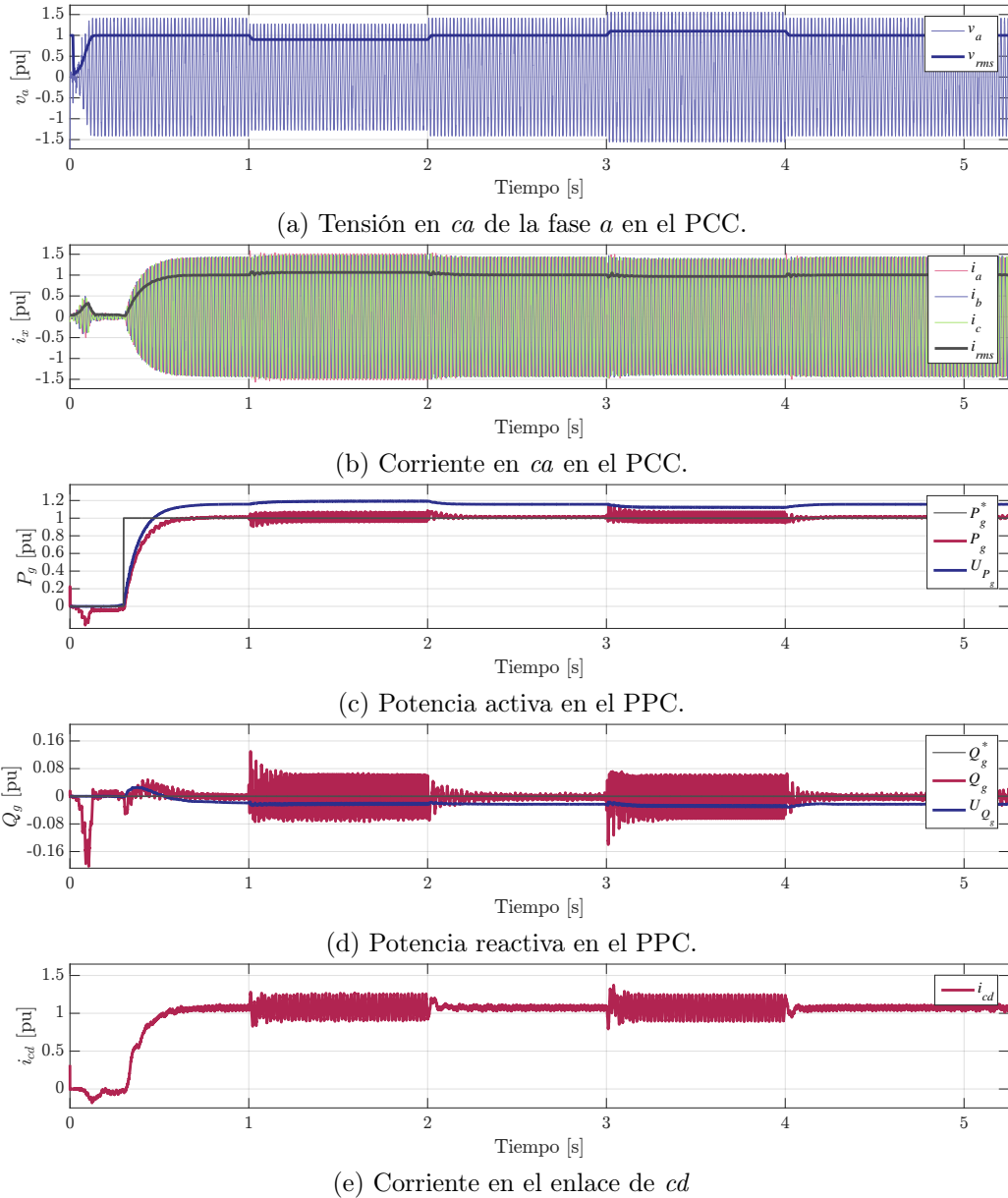


Figura 5.15. Comportamiento del esquema de control directo de potencia ante una variación monofásica

5.2.1.3. Variación monofásica de la tensión en el PCC

Ahora se propone que en el mismo sistema se presenta una variación únicamente en la tensión de la fase a del PCC, como lo muestra la Figura 5.15 (a), donde en $t = 1$ s

la tensión disminuye un 0.1 pu, en $t = 2$ s regresa a su valor original, posteriormente en $t = 3$ s aumenta 0.1 pu, finalmente en $t = 4$ s la tensión regresa a su valor base; cabe destacar que las dos tensiones restantes permanecen constantes.

Esta variación en la tensión de la fase a produce una disminución en la cantidad de potencia transferida, lo que se refleja DMC y produce un aumento en el rizo de potencia del 1 % al 12 % puesto que por instantes el MMC trata de compensar la potencia faltante; para este caso los sobretiros no son tan elevados, llegando únicamente hasta 12 %.

El rizo de P_g provoca un aumento en el rizo de la potencia reactiva del 10 %, sin embargo DPC logra que el valor medio de la potencia reactiva inyectada sea igual a la referencia. La corriente del enlace en cd , absorbe las variaciones de potencia producidas por la variación de tensión de la fase a del PCC.

5.2.2. MMC acompañado del esquema para la regulación de la tensión en cd

Durante esta prueba la fuente en ca suministra la potencia necesaria para transferir la energía que exige la resistencia de carga y al mismo tiempo el controlador mantiene regulada la tensión del enlace en cd , la Figura 5.16 muestra el quema simplificado de la prueba.

Los parámetros del sistema se enlistan en la Tabla 1.3, el esquema de doble lazo de control se prueba sobre un MMC de 19 niveles. En este caso las tareas del controlador son mantener regulada la tensión en las terminales con el enlace de cd mientras se compensa potencia reactiva.

La Figura 5.17 (a) despliega el comportamiento de la corriente que fluye a través del enlace en cd , entre 0 y 1 s la corriente es prácticamente igual a cero, si embargo en $t = 1$ s se produce un cambio de carga instantáneo tal que la corriente alcanza un valor de 0.5 pu. Este cambio en la corriente produce una caída de tensión del 8.5 %, como se observa en la Figura 5.17 (b); esto suscita que el control para a regulación exija un aumento en la potencia a absorber por el MMC. Entonces el DPC recibe la nueva referencia de potencia y genera las señales necesarias para alcanzar una potencia activa de 0.5 pu, sin embargo el lazo externo (GPC) produce una referencia con sobretiro lo que produce un pico de transferencia del 18 %. Al variar la cantidad de potencia activa transferida es necesario en

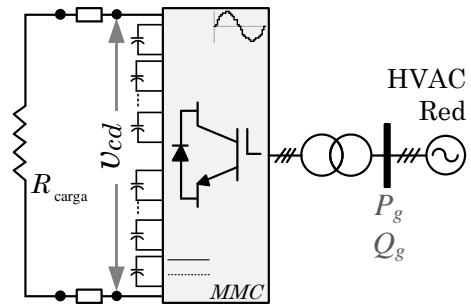
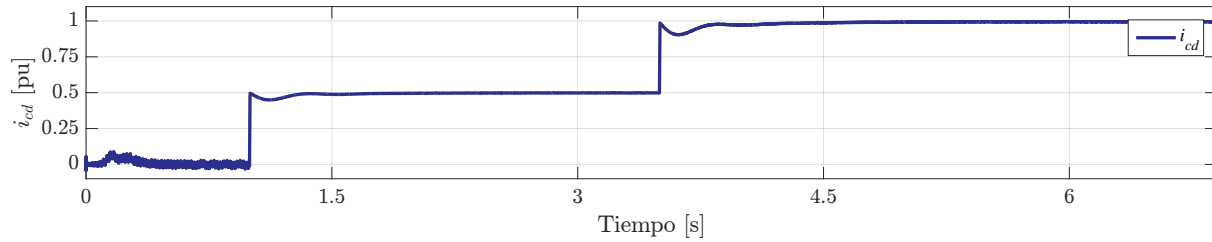
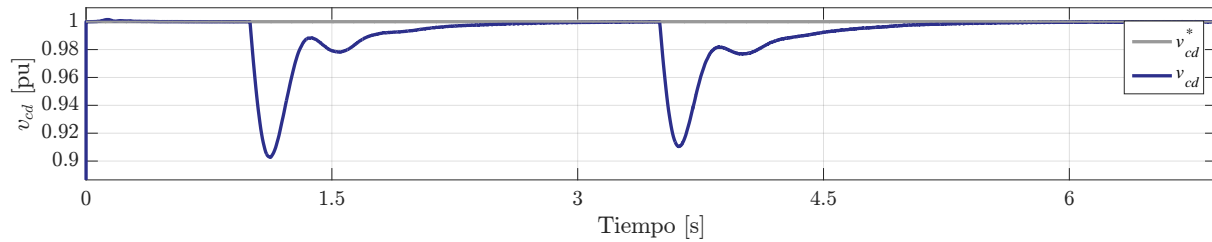


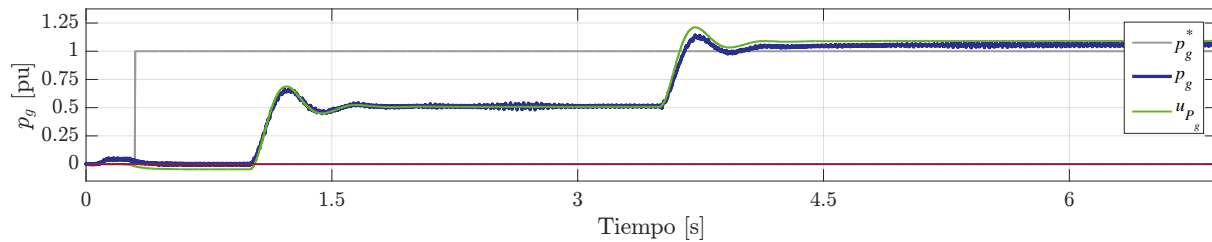
Figura 5.16. Esquema simplificado de la operación del convertidor.



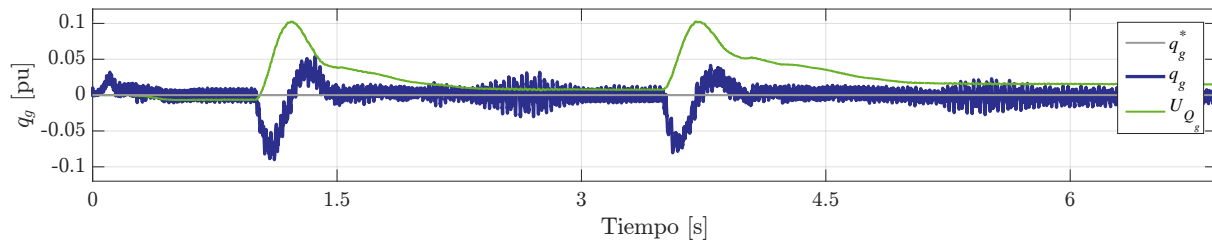
(a) Flujo de corriente del enlace en cd .



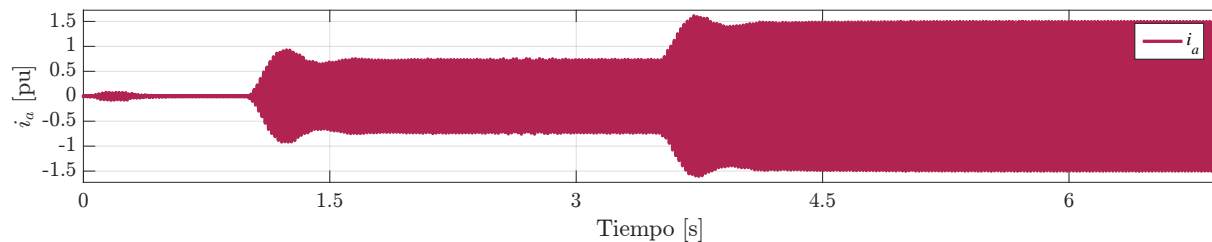
(b) Tensión del enlace en cd .



(c) Potencia activa en el PPC.



(d) Potencia reactiva en el PPC.



(e) Flujo de corriente a través de la rama a del PCC.

Figura 5.17. Comportamiento del esquema para la regulación de la tensión en cd .

consecuencia ajustar la señal de control de la potencia reactiva para lograr un factor de potencia unitario, lo que genera un sobretiro del 8.5 % en la potencia reactiva. Finalmente,

las corrientes en el PCC (Figura 5.17 (e)) reflejan el cambio en la potencia transferida. Todo el proceso de regulación de la tensión en las terminales del enlace de cd requiere 800 ms.

Durante todo el escenario de prueba, la tensión del enlace alcanza su valor deseado, con un error en estado estable del 0.055 pu y un rizo de 0.015 pu. La acción de ambos lazos produce un sobretiro de 0.145 pu en la potencia activa, mientras que el tiempo de estabilización alcanza los 650 ms debido a que la referencia de potencia que entrega el lazo interno tiene una dinámica más lenta. La potencia reactiva se mantiene alrededor de cero con un rizo menor al 3%, fuera de los instantes que llega hasta el 8.5% producto de que los VSC se comportan como un sistema de fase no mínima.

Ambas señales de control se actualizan cada 5 ms, lo que impone un límite en la velocidad con la que los controladores pueden responder ante un cambio de carga, aunado a ello se seleccionan las matrices de ganancias de tal manera que la dinámica del lazo externo sea dos octavas más lento que el lazo interno.

La Tabla 5.3 muestra una comparativa contra esquemas de regulación de tensión reportados en la literatura. Contrastando los diferentes resultandos en [65,108], se observa que los resultados propuestos son superiores desde el punto de vista de velocidad de respuesta, si embargo se genera un mayor sobretiro.

Tabla 5.3. Comparativa de resultados del esquema de regulación de tensión.

Referencia	Potencia [W]	Tensión de cd [KV]	Variación [pu]	Rizo [%]	T de asentamiento [ms]
MDC propuesto	1000×10^6	235	0.5	8.5	650
[65]	200×10^6	320	0.2	0	1500
[108]	80×10^6	200	0.625	5	800

5.2.3. Red de tres puertos

El esquema de la Figura 5.18 muestra una red de transmisión multipuerto VSC-HVDC, en la cual existen dos fuente en en ca ideáticas en parámetros que son interconectadas mediante un par de MMC con características ideáticas y su tarea es transferir un gran volumen de potencia, además un tercer puerto que aporta una pequeña cantidad de energía con la finalidad de fijar la tensión del enlace. El esquema de control utilizado por el MMC es el DPC que logra regular la cantidad de potencia que fluye por el convertidor. Para esta prueba los parámetros de las redes en ca y cd , así como el valor de los elementos pasivos está desplegado en la Tabla 1.3.

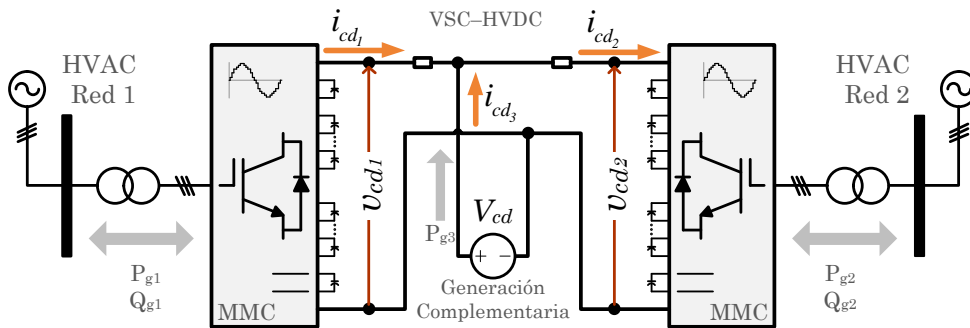


Figura 5.18. Red MMC-HVDC multipuerto.

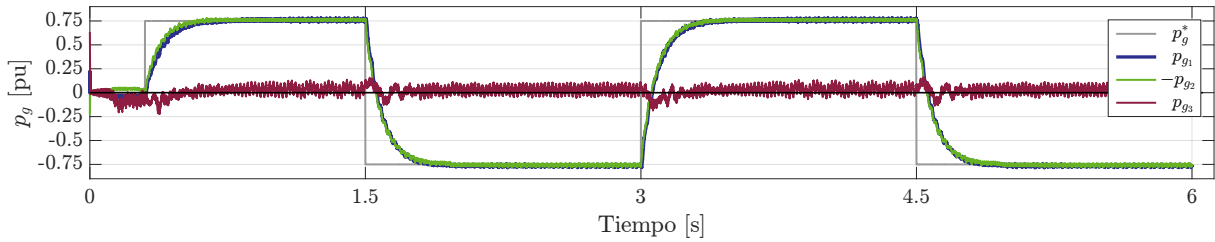
No obstante, algunas características del MMC cambian en este escenario de prueba debido a las limitaciones del DRTS y a que el Ts no puede superar los $50 \mu\text{s}$; el número de niveles pasa de 19 a 11, con lo que cada rama estará compuesta por 2 bloques de 10 submódulos cada una, lo que corresponde a 20 IGBT y 10 condensadores por bloque. Al tener dos convertidores de 11 niveles operando de forma simultánea, representa que el DRTS debe resolver la dinámica de 240 interruptores, 120 condensadores, 18 inductores y debe de transferir buses de datos con hasta 66 señales.

La potencia activa que transfieren ambos MMC está controlada por la estrategia DMC, la Figura 5.18 muestra el comportamiento de la potencia activa que aporta cada uno de los puntos de conexión. Para este caso el sobretiro es nulo en P_{g1} y P_{g2} mientras llevan a cabo la inversión del flujo de potencia, el tercer puerto aporta 0.05 pu de potencia promedio pero durante la inversión la potencia aumenta hasta llegar a ± 0.18 pu. El lazo de control estabiliza el sistema en 180 ms y las tres potencias presentan un rizo del 5%.

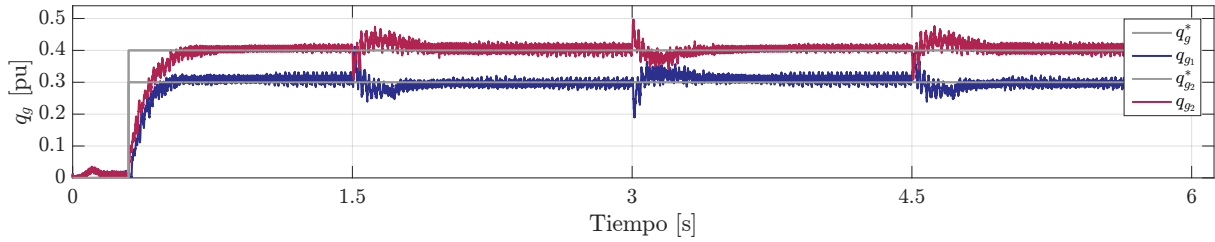
La compensación de potencia reactiva que realiza cada MMC en su respectivo PCC se presenta en la Figura 5.19 (b), donde se aprecia que es posible regular a Q_g de forma independiente en cada convertidor del enlace. De forma arbitraria $Q_{g1} = 0.3$ pu y $Q_{g2} = 0.4$ pu, valores que alcanzan el estado estable en 250 ms y presentan un rizo del 4.8% e estado estable. La estrategia DMC minimiza los sobretiros de la potencia reactiva producidos por la variación de la potencia activa, consiguiendo que sean menores a 0.1 pu, aun cuando la potencia activa sufre cambios de dirección instantáneos.

La corriente que fluye desde cada punto de conexión se muestra en la Figura 5.19 (c), donde la corriente de cada MMC presenta un rizo máximo del 0.0702 pu y la magnitud promedio corresponde a la potencia que se desea transferir. La corriente del tercer nodo tiene un valor promedio de 0.0325 pu con sobretiros que llegan hasta los 0.187 pu, debido a que durante la inversión de potencia este punto es el que se encarga de mantener regulada la tensión del enlace.

Finalmente, los trazos de la Figura 5.19 (d) permiten observar el comportamiento de la



(a) Potencia activa.



(b) Potencia reactiva.

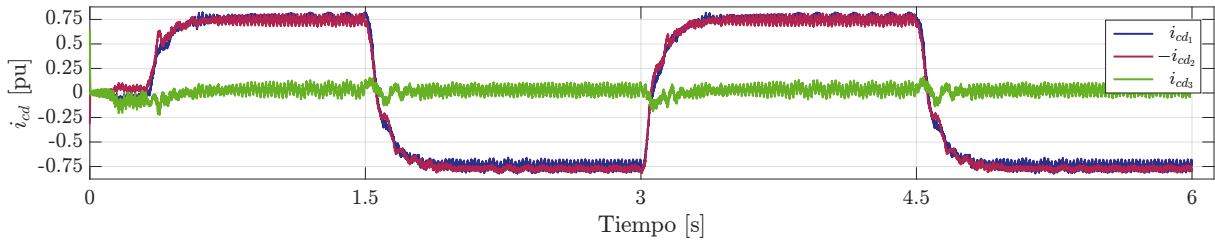
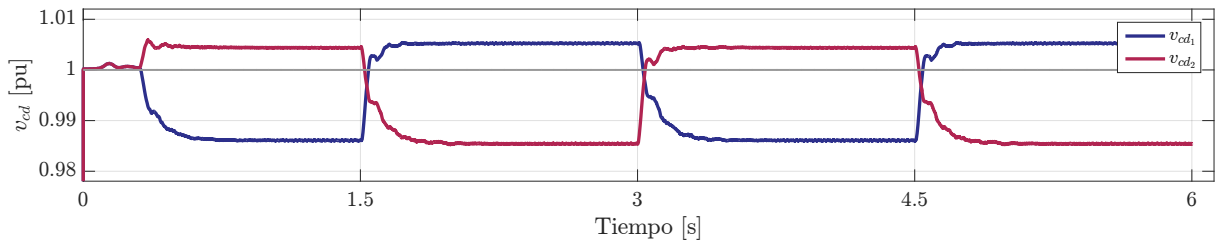
(c) Corriente en cd de cada punto.(d) Tensión de cd en las terminales de cada MMC.

Figura 5.19. Comportamiento del esquema multipuerto.

tensión de cd en la terminales de cada MMC. La tensión de ambos puntos alcanza valores máximos del 1.005 pu y mínimos del 0.9862 pu en un tiempo de 180 ms. Estas diferencias en la tensión entre un punto y otro permiten que la corriente fluya de un convertidor a otro.

Los escenarios de prueba y las comparaciones realizadas, corroboran el buen desempeño de la técnica de modulación y las estrategias de control predicativo propuestas; logrando que el MMC realice tanto tareas de transferencia de potencia como regulación de la tensión en el enlace de cd . En el primer escenario, se comprueba que el DMC logra que el convertidor transfiera la cantidad de potencia eléctrica necesaria, mientras que

minimiza el efecto de fase no mínima; además se evalúa el comportamiento del MMC bajo condiciones de sags y swells en la tensión del PCC, con magnitud de $\pm 10\%$ y una duración del 500 ms. El segundo escenario, corrobora la efectividad la estructura de control en cascada propuesto, el cual hace uso de dos estrategias diferentes de control predictivo; este controlador ofrece una velocidad de respuesta que es competitiva si embargo el sobretiro en la tensión de cd es elevado. El último escenario muestra una red de tres puertos, donde diferentes convertidores en lazo cerrado interactúan para lograr la transferencia de potencia deseada; este escenario además de corroborar que es posible que diferentes convertidores interactúen, desafía al DRTS puesto que hace uso de todos los núcleos disponibles.

CONCLUSIONES

Se analizan las características del convertidor modular multinivel (MMC) y cómo éstas lo hacen apropiado para desempeñarse como una etapa de conversión dentro de una red de transmisión en corriente directa de alto voltaje (HVDC). La modularidad, el elevado número de niveles, la intercambiabilidad y la baja frecuencia de conmutación son las grandes diferencias entre este convertidor y otras topologías de 2 o 3 niveles de tensión.

La adecuada selección de la inductancia para los inductores de desacoplo dentro de cada rama del MMC, reduce la magnitud de las componentes armónicas presentes en la corriente de los bloques, que son principalmente pares; además relajan la restricción de que la tensión en los bloques superior e inferior sea igual en todo momento.

El método para seleccionar la capacitancia del condensador en cada submódulo, está basado en un análisis energético y con base en su desempeño se advierte que su sobredimensionamiento evita cambios abruptos en la tensión de los submódulos, lo que aminora la diferencia instantánea de tensión entre los bloques y se traduce en una disminución del efecto de las componentes armónicas pares en la corriente de los bloques. Además, otorga flexibilidad al lazo de control que regula la tensión en cd y eventualmente la energía almacenada puede ser usada para artificialmente generar inercia en el PCC. Por lo tanto la adecuada selección de los elementos pasivos del MMC logra reducir el efecto de las componentes armónicas pares en la corriente que fluye por las ramas del convertidor, a tal grado que se excluye el lazo de control extra que las minimizaría.

Se analizó la condición de operación del MMC, donde en todo momento N_{sm} submódulos están encendidos en cada rama; ésta no es restrictiva pero si brinda un gran número de ventajas como para ser considerada esencial. Posibilita definir de forma analítica la cantidad de estados redundantes en función del número de submódulos por bloque. Mantiene fija la frecuencia de conmutación. Posibilita que en todo momento los SM soporten un nivel de tensión constante. Favorece el análisis del lazo de control para la regulación de tensión. Además, reduce el rizo de tensión en los SM.

Se propone la técnica de modulación NLC-híbrida, donde la principal mejora consiste en que la estrategia de balance se optimiza haciendo uso de un algoritmo recursivo, además el algoritmo sólo compara la tensión de los SM que se pueden conmutar con el fin de encontrar cuál es el que tiene la mayor o la menor tensión. Este algoritmo suprime la

necesidad de considerar un lazo de control para realizar la tarea de balance. La técnica de comparación SPWM multinivel que acompaña a la estrategia de balance, consigue elevar la frecuencia de conmutación para con ello reducir y focalizar el espectro armónico de la señales de salida, lo que permite disminuir aún más las etapas de filtrado que por definición son pequeñas para el MMC.

El modelo matemático generado, caracteriza las dinámicas eléctricas del MMC y al mismo tiempo permite encontrar una solución en estado estable para lograr transferir una cantidad de potencia activa y reactiva deseada, que es la base del controlador directo de potencia. Además, esta solución logra definir la región de operación lineal del convertidor, donde la potencia máxima reactiva que el MMC puede absorber (modo inductivo) está determinada por el valor de los inductores. Y la máxima potencia reactiva que es capaz de entregar (modo capacitivo), está en función de la tensión máxima en la terminales del convertidor en *ca*.

Se implementó una estrategia de control predictivo indirecto que utiliza la solución lineal en estado estable y la técnica NLC-híbrida, para conseguir mantener acotado el número de operaciones que el controlador debe resolver para regular la potencia eléctrica y al mismo tiempo mantener balanceadas las tensiones de los submódulos. Asimismo, la técnica de matriz dinámica se actualiza con una frecuencia menor que la frecuencia de conmutación del convertidor, lo que otorga un mayor tiempo al controlador digital para realizar los cálculos necesarios, pero limita la velocidad de respuesta del sistema en lazo cerrado. La reducción en la cantidad de operaciones y el aumento en el tiempo para que el controlador se ejecute posibilita el aumento del tamaño de los horizontes del controlador, para conseguir disminuir el rizo de salida y el error en estado estable. Cabe destacar que es posible mejorar la respuesta dinámica del DPC incrementando la frecuencia de muestreo en el lazo de retroalimentación.

El segundo lazo de control está basado en la técnica GPC y trabaja en conjunto con el DMC para regular la tensión en el enlace mediante la variación de la cantidad de potencia activa que fluye por el convertidor. El número de operaciones necesario para ejecutar el GPC es menor, lo que no incrementa excesivamente el tiempo de cálculo de las señales de control.

Finalmente, se concluye que los algoritmos de control predictivo son funcionales y factibles de implementarse dentro de una plataforma de control digital, para así llegar a controlar un prototipo a escala.

Aportaciones

De manera condensada, este trabajo de tesis propone una solución al problema de controlar la potencia transferida por un convertidor modular multinivel; la cual permite el uso de grandes horizontes de predicción, además no requiere de un modelo dinámico o que éste sea altamente preciso. Además, se deduce de manera analítica el número de estados redundantes y se propone una estrategia para seleccionar el más adecuado para mantener la tensión de los submódulos balanceada. Se propone un mecanismo basado en elementos pasivos para reducir el efecto de las componentes pares en la corriente de cada bloque.

No obstante, las ideas originales que aporta este trabajo se mencionan a continuación:

- Síntesis de un control directo de potencia, mediante la aplicación del control predictivo indirecto basado en la estrategia de matriz dinámica, que permite el uso de horizontes amplios.
- Generación de un control para la regulación de la tensión del bus de cd , basado en el control predictivo generalizado.
- Optimización de la técnica de modulación de nivel más cercano para MMC con bajo número de niveles.
- Empleo de un esquema multi-núcleo para generar una plataforma de pruebas, dentro de un simulador en tiempo real.

Publicaciones generadas

A lo largo del desarrollo de este trabajo de tesis se generaron diferentes publicaciones, las cuales se enlistan a continuación.

1. **Isaac González-Torres**, Homero Miranda-Vidales, José Espinoza, César-Fernando Méndez-Barrios, Mario González, “State feedback control assisted by a gain scheduling scheme for three-level NPC VSC-HVDC transmission systems”, Electric Power Systems Research, Volume 157, 2018, Pages 227-237, ISSN 0378-7796, Publicado.
2. **Isaac González-Torres**, Homero Miranda, César-Fernando Méndez-Barrios, José Espinoza, “Long-Length Horizons Dynamic Matrix Predictive Control for a MMC Inverter”, Elsevier Electric Power Systems Research, Aceptado con correcciones menores.

3. **I. González-Torres**, H. Miranda, C. Méndez-Barrios, J. Espinoza, M. I. González and M. Pérez, “Dynamic matrix predictive control on DC-AC modular multilevel converter: Design, control and real-time simulation”, 2017 IEEE Energy Conversion Congress and Exposition (ECCE), Cincinnati, OH, 2017, pp. 4552-4559, Publicado.
4. **I. González**, H. Vidales, V. Cardenas, M. González, C.F.F. Méndez-Barrios, “Esquema de Control DPC para un Enlace HVDC con Convertidores Modulares Multinivel”, AMCA Congreso Nacional de Control Automático (CNCA), 2016, Publicado.
5. **I. González-Torres**, H. Miranda, V. Cardenas and R. A. Salas, “Gain scheduling scheme assisting the control strategy for three-level NPC VSC-HVDC transmission system”, IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society, Dallas, TX, 2014, pp. 4635-4641, Publicado.

Los siguientes trabajos se encuentran actualmente en revisión, donde el segundo surge de una colaboración realizada durante la estancia de investigación en la Universidad de Concepción, Chile.

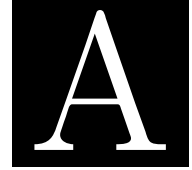
- I Marcos González, Luis Morán, José Espinoza, **Isaac González-Torres**, “Real-Time Simulation of a High-Power Cycloconverter Drive”, 44th Annual Conference of the IEEE Industrial Electronics Society (IECON), 2018, En revisión.
- II Esteban Pulido, Luis Morán, **Isaac González-Torres**, “Active Short-Circuit Current Reduction in Power Substation”, IEEE Transactions on Power Delivery, 2018, Modificándose a partir de las observaciones.

Problemas abiertos

Durante la evolución del trabajo de investigación han surgido interrogantes que revelan áreas de oportunidad, aunado a esto existen otros aspectos del tema que sería interesante continuar desarrollando. Dentro de estos puntos destacan:

- Desarrollar un controlador predictivo que permita minimizar las corrientes de segundo orden que fluyen por las ramas del convertidor modular multinivel, denotadas como i_{cir_x} .
- Desarrollar un controlador directo de corriente basado en las técnicas de control predictivo basado en modelo, para poder llevar a cabo un comparación entre ambas vertientes.

- Desarrollar un controlador que logre emular el efecto de inercia que presentan las máquinas rotativas.
- Acrecentar las tareas que puede desempeñar el MMC para actuar como un filtro activo o un compensador estático síncrono, con la finalidad de aumentar su campo de aplicación dentro de una red.
- Implementar un MMC de mayor número de niveles en el DRTS, utilizando soluciones como: el uso de un mayor número de núcleos o resolver la dinámica del convertidor dentro del FPGA embebido en el CPU.
- Implementar un prototipo a escala del MMC, para dar el siguiente paso con dirección a la aplicación a gran escala.
- Profundizar en el estudio del sistema de transmisión de potencia, basado en el MMC y analizar diferentes fenómenos como:
 - Fenómeno de isla.
 - Restablecimiento tras apagones, resincronización y arranque suave.
 - Manejo de energía y funciones de optimización dentro de la generación.



SECUENCIAS DE COMANDOS EN C++ Y MATLAB

Con el objetivo de implementar el controlador predictivo indirecto, fue necesario sintetizar diferentes códigos que llevarán a cabo tareas específicas de forma repetitiva. Además se desea que sean flexibles y modificables en tiempo real para así poder hacer cambios de una manera simple y directa, mientras se están ejecutando sin la necesidad de recompilar el sistema.

A.1. Cálculo del número de SM a encender

Una parte de la técnica de modulación NLC-híbrida consiste en determinar cuántos niveles necesitan ser encendidos por cada bloque a cada instante de tiempo. Esto se logra mediante la comparación de la señal moduladora y un grupo de señales triangulares, el resultado de las comparaciones se suma y se obtiene como resultado el número de submódulos a encender. El diagrama del flujo de este grupo de instrucciones se muestra en la Figura 2.6.

```

1 #include <math.h>
  #include <stdio.h>
3 #include <stdlib.h>

5 #define Nsm 18 // The number of submodules is defined
  #define NsmInv 0.05555555555 // The inverse of the number of submodules
7
  int Set_PWM; // Select the modulation method.
9 int i=0; // Array pointers.
  int PWM_Signal=0; // The base value od the PWM signal.
11 double TriVector[Nsm]; // The values of triangle waves.

13 // Family of Triangle Signals – Phase Opposition Vertical Shifted S-PWM

```

```

15 // In this section is generated the family of triangle waveform, with the PD-SPWM
16 // (phase disposition sinusoidal pulse width modulation) strategy.
17 // It is possible to choose between 4 types of distributions.
18
19 Set_PWM=TipMod[0];
20 if (Set_PWM == 0)
21 {
22     for(i=0; i<=Nsm-1; i++)
23     {
24         TriVector[i] = (i+0.5)*NsmInv;
25     }
26 }
27 else if (Set_PWM == 1)
28 {
29     if (BloPos[0] == 1)
30     {
31         for(i=0; i<=Nsm-1; i++)
32         {
33             TriVector[i] = (Tri[0]+i)*NsmInv;
34         }
35     }
36     else if (BloPos[0] == -1)
37     {
38         for(i=0; i<=Nsm-1; i++)
39         {
40             TriVector[i] = ((-1*Tri[0]+1.0)+i)*NsmInv;
41         }
42     }
43 }
44 else if (Set_PWM == 2)
45 {
46     for(i=0; i<=(Nsm/2)-1; i++)
47     {
48         TriVector[i] = ( (-1.0*Tri[0]+1.0) + i ) *NsmInv;
49     }
50
51     for(i=(Nsm/2); i<=Nsm-1; i++)
52     {
53         TriVector[i] = ( Tri[0]+i )/(Nsm);
54     }
55 }
56 else if (Set_PWM == 3)
57 {
58     for(i=0; i<=Nsm-1; i+=2)
59     {
60         TriVector[i] = ( (-1.0*Tri[0]+1.0) + i ) *NsmInv;
61     }
62
63     for(i=1; i<=Nsm-1; i+=2)
64     {
65         TriVector[i] = ( Tri[0]+i ) *NsmInv;
66     }
67 }
68 else
69 {

```



```

69     for (i=0; i<=Nsm-1; i++)
70     {
71         TriVector[i] = (i+0.5)*NsmInv;
72     }
73 }

75 // Comparison Signal – PWM Pattern
76 // After the triangle-wave generation is executed, the comparison is developed
77 // Normally the comparison is developed as the way showed below.
78 // When the reference is EQUAL OR GREATER than the triangle-waves generates a 1.
79 // Moduladora < Portadora = 0
80 // Moduladora > Portadora = 1
81 // The result of each comparison is added, in order to get the number ON-state submodules
82 .
83 for (i=0; i<=Nsm-1; i++)
84 {
85     if (Mod[0] >= TriVector[i])
86     {
87         PWM_Signal=PWM_Signal+1;
88     }
89 }
90 S_PWM[0]=PWM_Signal;

```

A.2. Selección del SM a conmutar

La siguiente lista de instrucciones permite encontrar el submódulo adecuado a conmutar, en función de la dirección de la corriente y la tensión de los condensadores; además el número de SM a encender es calculado por el código anterior y lo único necesario es calcular las variaciones entre el estado actual y el anterior.

```

1 #include <math.h>
2 #include <stdio.h>
3 #include <stdlib.h>

5 #define Nsm 18 // The number of submodules is defined

7 int Non_Ant; // Num of ON state SM last sample.
8 int Non_Act; // Num of ON state SM actual.
9 int D_Non; // Difference between Non variables.
10 int Num_D_Non; // The absolute value of D_Non.

11 double Curr;
12 double Tabla0[Nsm][3]; // Matrix to storage: Gate_Number, Voltage, Gate_Signal.
13 double Tabla1[Nsm][2]; // Matrix to storage the chosen gates.
14 double Val_Max[2];
15 double Val_Min[2];
16 int i=0; // Array pointes.
17 int j=0; // Array pointes.

19 Non_Act = S_pwm[0]; // The number of ON-state SM is read and storage
20 Curr=I_Blo[0]; // The current signal is read and storage
21

```

```

23 // The difference , of number of ON-state SM, between the actual and the past state
24 // is computed
25 Non_Ant=0;
26 for (i=0; i<=Nsm-1; i++)
27 {
28     Non_Ant=Non_Ant+Tabla0[i][2];
29 }
30 D_Non      = Non_Act - Non_Ant;    // Is the difference between instances.
31 Num_D_Non  = abs(D_Non);          // The absolute number of changes
32
33 // Submodule selection
34 // In this section the current sign choose to turn ON or OFF the SM,
35 // and find the capacitor with the MAX or MIN voltage.
36 // Then, the algorithm is used as many times as the number of SM
37 // to switch.
38
39 for (j=0; j<=Num_D_Non-1; j++)
40 {
41     // Condition 1: Turn ON SM
42     if (D_Non > 0)
43     {
44         // Condicion 1-1: Find the MIN voltage between the OFF-SM -> ON
45         if (I_Blo[0] > 0)
46         {
47             for (i=0;i<=Nsm-1;i++) // Store the voltages as a function of the gate signal.
48             {
49                 Tabla1[i][0]= Tabla0[i][0];    // Store in Table1 the gate number.
50
51                 if (Tabla0[i][2]==0)
52                 {
53                     Tabla1[i][1]=Tabla0[i][1]; // Store the voltage level into Table1, at
54                     // the same gate number place.
55                 }
56                 else
57                 {
58                     Tabla1[i][1]=1e6;    // When the gate signal is 0 the voltage value in
59                     // changed to inf.
60                 }
61             }
62             // Rutine to fined the minimum voltage value
63             Val_Min[0] = Tabla1[0][0];
64             Val_Min[1] = Tabla1[0][1];
65             for (i=1; i<=Nsm-1; i++)
66             {
67                 if ( Tabla1[i][1] < Val_Min[1] )
68                 {
69                     Val_Min[1]=Tabla0[i][1];
70                     Val_Min[0]=Tabla0[i][0];
71                 }
72             }
73             i=Val_Min[0];    // The i pointer is equal to the chosen SM
74             Tabla0[i][2]=1.0; // The Tabla0 is modified with the new gate value
75         }
76     }
77     // Condicion 1-2: Find the MAX voltage between the OFF-SM -> ON

```

```

75     if (I_Blo[0] < 0)
76     {
77         for (i=0;i<=Nsm-1;i++)
78         {
79             Tabla1[i][0]= Tabla0[i][0]; // Store in Table1 the gate number.
80
81             if (Tabla0[i][2]==0)
82             {
83                 Tabla1[i][1]=Tabla0[i][1]; // Store the voltage level into Table1, at
                        the same gate number place.
84             }
85             else
86             {
87                 Tabla1[i][1]=0.0; // When the gate signal is 0 the voltage value in
                        changed to Zero.
88             }
89         }
90         // Rutine to fined the maximum voltage value
91         Val_Max[0] = Tabla1[0][0];
92         Val_Max[1] = Tabla1[0][1];
93         for (i=1; i<=Nsm-1; i++)
94         {
95             if ( Tabla1[i][1] > Val_Max[1] )
96             {
97                 Val_Max[1]=Tabla0[i][1];
98                 Val_Max[0]=Tabla0[i][0];
99             }
100        }
101        i=Val_Max[0]; // The i pointer is equal to the chosen SM
102        Tabla0[i][2]=1.0; // The Tabla0 is modified with the new gate value
103    }
104 }
105 // Condition 2: Turn OFF SM
106 else if (D_Non < 0)
107 {
108     // Condicion 2-1: Find the MAX voltage between the ON-SM -> OFF
109     if (I_Blo[0] > 0)
110     {
111         for (i=0;i<=Nsm-1;i++)
112         {
113             Tabla1[i][0]= Tabla0[i][0]; // Store in Table1 the gate number.
114
115             if (Tabla0[i][2]==1)
116             {
117                 Tabla1[i][1]=Tabla0[i][1]; // Store the voltage level into Table1, at
                        the same gate number place.
118             }
119             else
120             {
121                 Tabla1[i][1]=0.0; // When the gate signal is 0 the voltage value in
                        changed to Zero.
122             }
123         }
124         // Rutine to fined the maximum voltage value
125         Val_Max[0] = Tabla1[0][0];

```

```

127     Val_Max[1] = Tabla1[0][1];
129     for (i=1; i<=Nsm-1; i++)
131     {
133         if ( Tabla1[i][1] > Val_Max[1] )
135         {
137             Val_Max[1]=Tabla0[i][1];
139             Val_Max[0]=Tabla0[i][0];
141         }
143     }
145     i=Val_Max[0]; // The i pointer is equal to the chosen SM
147     Tabla0[i][2]=0.0; // The Tabla0 is modified with the new gate value
149 }
151 // Condicion 2-2: Find the MIN voltage between the ON-SM -> OFF
153 if (I_Blo[0] < 0)
155 {
157     for(i=0;i<=Nsm-1;i++)
159     {
161         Tabla1[i][0]= Tabla0[i][0]; // Store in Table1 the gate number.
163
165         if(Tabla0[i][2]==1)
167         {
169             Tabla1[i][1]=Tabla0[i][1]; // Store the voltage level into Table1, at
171             the same gate number place.
173         }
175         else
177         {
179             Tabla1[i][1]=1e6; // When the gate signal is 0 the voltage value in
181             changed to inf.
183         }
185     }
187     // Rutine to fined the minimum voltage value
189     Val_Min[0] = Tabla1[0][0];
191     Val_Min[1] = Tabla1[0][1];
193     for (i=1; i<=Nsm-1; i++)
195     {
197         if ( Tabla1[i][1] < Val_Min[1] )
199         {
201             Val_Min[1]=Tabla0[i][1];
203             Val_Min[0]=Tabla0[i][0];
205         }
207     }
209     i=Val_Min[0]; // The i pointer is equal to the chosen SM
211     Tabla0[i][2]=0.0; // The Tabla0 is modified with the new gate value
213 }
215 }
217 // Output - Routing command signals
219 // The routine FOR is used to locate the gate signals
221 for(i=0; i<=Nsm-1; i++)
223 {
225     Ds[i]=Tabla0[i][2];
227 }
229 // This extra output can be avoided
231 Aux[0]=Non_Act;

```

A.3. Esquema DPC basado en el DMC

Una vez que las rutinas para la modulación fueron descritas, se exhiben las instrucciones para efectuar el cálculo de las señales de salidas del DPC. Este algoritmo está dividido en diferentes partes, de la siguiente manera:

1. La primera consiste en inicializar las variables cuando el controlador comienza a funcionar, una señal externa activa su funcionamiento.
2. La segunda parte introduce los valores necesarios dentro de las variables **Gsis** y **K_tilde**, los cuales son previamente generados fuera de línea.
3. Se calcula la diferencia entre la referencia y la respuesta forzada del sistema.
4. Se obtienen el incremento y el valor actual de las señales de control.
5. Se hace un corrimiento en los vectores de salidas, incrementos de control y señales de control.
6. Los nuevos valores del controlador son enviados a las variables de salida.

```

1 #include <math.h>
  #include <stdio.h>
3 #include <stdlib.h>

5 #define N 18 //Horizon of natural system response
  #define Hp 18 //Prediction Horizon
7 #define Hm 18 //Control horizon

9 #define N_in 2 // Number of inputs
  #define N_out 2 // Number of outputs
11
13 #define Pasos 100 // Number of steps between each control computation
  // Variable declaration
15 // The length of the vectors is declared
  int LonDU = N;
17 int LonW = Hp;
  int LonU = Hm;
19 int LonY = Hm;

21 //This variables must be in zero every time the algorithm is run
  double Elem_Sum[N_in] = {0.0, 0.0};
23 double Elem_Mul[N_in] = {0.0, 0.0};
  double Uactual[N_in] = {0.0, 0.0};
25 double DeUactual[N_in] = {0.0, 0.0};

27 // Data vectors previously computed
  double Gsis[N_in+N_out][N+(2*Hp)]; // Natural response of the system

```

```

29 double K_tilde[(2*Hp)];           // Controller parameters, off-line computed

31 // Data vectors on-line computed
double Vc_wf[N_out][(2*Hp)];       // The subtraction between W y F
33 double Vc_W[N_out][Hp];         // Reference vector, length LonW+1

35 // Persistent data vectors
static double Vc_DU[N_in][N];      // Control increments vector, length N+1
37 static double Vc_U[N_in][Hm];    // Control values vector, length LonU+1
static double Vc_Y[N_out][Hm];     // Output system measured values, length LonY+1
39

41 // Pointers
int i;
43 int j;
int g;
45

// Variables related with the low frequency sampling
47 static int cuenta=0;
static double val_muestra[N_out] = {0.0, 0.0};
49

if (cuenta==0) //This condition emulate the new frequency sampling
51 {

53 // 1.- Variable initialization
    if (Reset[0]==1)
55     {
        for(j=0; j<=2-1; j++)
57         {
            for(i=0; i<=LonDU-1; i++)
59             {
                Vc_DU[j][i]=0.0;
61             }
            for(i=0; i<=LonW-1; i++)
63             {
                Vc_W[j][i]=0.0;
65             }
            for(i=0; i<=LonU-1; i++)
67             {
                Vc_U[j][i]=0.0;
69             }
            for(i=0; i<=LonY-1; i++)
71             {
                Vc_Y[j][i]=0.0;
73             }
        }
75     }

77 // 1.1.- Getting the external measurements

79 Vc_W[0][0]=P_ref[0]; // Reference 1
Vc_W[1][0]=Q_ref[0]; // Reference 2
81

Vc_Y[0][0]=P_med[0]; // Output 1
83 Vc_Y[1][0]=Q_med[0]; // Output 2

```

```

85 // For this controller the future references are equal to the present
86
87     for (j=0; j<=2-1; j++)
88     {
89         for (i=1; i<=LonW-1; i++)
90         {
91             Vc_W[j][i]=Vc_W[j][0];
92         }
93     }
94
95 // 2.- The constant vectors
96 // 2.1.- The matrix of natural response of the system
97 Gsis[0][0]=-6.3743e-2; Gsis[1][0]=5.5182e-3; Gsis[2][0]=-6.3743e-2; Gsis[3][0]=5.5182e-3;
98 Gsis[0][1]=9.4003e-1; Gsis[1][1]=-8.0510e-1; Gsis[2][1]=7.0827e-1; Gsis[3][1]=9.7341e-1;
99 Gsis[0][2]=1.5134e+0; Gsis[1][2]=-1.6661e-1; Gsis[2][2]=1.0186e-1; Gsis[3][2]=1.5422e+0;
100 Gsis[0][3]=1.2399e+0; Gsis[1][3]=1.1415e-1; Gsis[2][3]=-2.1503e-1; Gsis[3][3]=1.3010e+0;
101 Gsis[0][4]=1.2312e+0; Gsis[1][4]=2.1494e-1; Gsis[2][4]=-3.0785e-1; Gsis[3][4]=1.3180e+0;
102 Gsis[0][5]=8.4540e-1; Gsis[1][5]=4.5869e-1; Gsis[2][5]=-5.8695e-1; Gsis[3][5]=9.3344e-1;
103 Gsis[0][6]=4.3613e-1; Gsis[1][6]=-7.6096e-2; Gsis[2][6]=-2.3941e-2; Gsis[3][6]=5.3746e-1;
104 Gsis[0][7]=1.0691e+0; Gsis[1][7]=-5.7809e-1; Gsis[2][7]=4.3837e-1; Gsis[3][7]=1.1018e+0;
105 Gsis[0][8]=1.5494e+0; Gsis[1][8]=1.5308e-2; Gsis[2][8]=-5.6018e-2; Gsis[3][8]=1.5428e+0;
106 Gsis[0][9]=1.1074e+0; Gsis[1][9]=3.9075e-1; Gsis[2][9]=-4.1891e-1; Gsis[3][9]=1.1627e+0;
107 Gsis[0][10]=8.8984e-1; Gsis[1][10]=1.5068e-1; Gsis[2][10]=-2.0990e-1; Gsis[3][10]=9.8706e
    -1;
108 Gsis[0][11]=9.5017e-1; Gsis[1][11]=7.1366e-2; Gsis[2][11]=-1.8077e-1; Gsis[3][11]=9.9572e
    -1;
109 Gsis[0][12]=8.8797e-1; Gsis[1][12]=-3.1801e-2; Gsis[2][12]=-2.0213e-2; Gsis[3][12]=9.1865
    e-1;
110 Gsis[0][13]=1.1186e+0; Gsis[1][13]=-2.0923e-1; Gsis[2][13]=1.2503e-1; Gsis[3][13]=1.1423e
    +0;
111 Gsis[0][14]=1.3293e+0; Gsis[1][14]=7.6283e-2; Gsis[2][14]=-1.2025e-1; Gsis[3][14]=1.3483e
    +0;
112 Gsis[0][15]=1.0295e+0; Gsis[1][15]=2.9515e-1; Gsis[2][15]=-3.5148e-1; Gsis[3][15]=1.0983e
    +0;
113 Gsis[0][16]=8.1980e-1; Gsis[1][16]=5.3814e-2; Gsis[2][16]=-1.3662e-1; Gsis[3][16]=9.3397e
    -1;
114 Gsis[0][17]=9.9403e-1; Gsis[1][17]=-9.7674e-2; Gsis[2][17]=-4.3251e-2; Gsis[3][17]=1.0454
    e+0;
115 Gsis[0][18]=1.0671e+0; Gsis[1][18]=-1.3649e-2; Gsis[2][18]=-5.5298e-2; Gsis[3][18]=1.0933
    e+0;
116 Gsis[0][19]=1.0784e+0; Gsis[1][19]=-1.2930e-2; Gsis[2][19]=-5.7622e-2; Gsis[3][19]=1.1254
    e+0;
117 Gsis[0][20]=1.1264e+0; Gsis[1][20]=7.3744e-2; Gsis[2][20]=-1.3117e-1; Gsis[3][20]=1.1990e
    +0;
118 Gsis[0][21]=1.0079e+0; Gsis[1][21]=1.5634e-1; Gsis[2][21]=-2.4467e-1; Gsis[3][21]=1.0735e
    +0;
119 Gsis[0][22]=9.0810e-1; Gsis[1][22]=3.3061e-2; Gsis[2][22]=-1.0443e-1; Gsis[3][22]=9.8503e
    -1;
120 Gsis[0][23]=1.0393e+0; Gsis[1][23]=-7.1976e-2; Gsis[2][23]=-3.4513e-2; Gsis[3][23]=1.0777
    e+0;
121 Gsis[0][24]=1.1216e+0; Gsis[1][24]=3.2143e-2; Gsis[2][24]=-8.2523e-2; Gsis[3][24]=1.1461e
    +0;
122 Gsis[0][25]=1.0617e+0; Gsis[1][25]=7.8822e-2; Gsis[2][25]=-1.3711e-1; Gsis[3][25]=1.1097e
    +0;

```

```

123 Gsis [0][26]=1.0358e+0; Gsis [1][26]=6.4686e-2; Gsis [2][26]=-1.2269e-1; Gsis [3][26]=1.1134e
    +0;
    Gsis [0][27]=1.0184e+0; Gsis [1][27]=6.3151e-2; Gsis [2][27]=-1.6536e-1; Gsis [3][27]=1.0743e
    +0;
125 Gsis [0][28]=9.8472e-1; Gsis [1][28]=2.4277e-2; Gsis [2][28]=-9.4006e-2; Gsis [3][28]=1.0409e
    +0;
    Gsis [0][29]=1.0473e+0; Gsis [1][29]=-2.7253e-2; Gsis [2][29]=-6.7904e-2; Gsis [3][29]=1.0905
    e+0;
127 Gsis [0][30]=1.0915e+0; Gsis [1][30]=3.9905e-2; Gsis [2][30]=-9.8700e-2; Gsis [3][30]=1.1394e
    +0;
    Gsis [0][31]=1.0394e+0; Gsis [1][31]=7.6177e-2; Gsis [2][31]=-1.5332e-1; Gsis [3][31]=1.0952e
    +0;
129 Gsis [0][32]=1.0033e+0; Gsis [1][32]=4.6091e-2; Gsis [2][32]=-1.1301e-1; Gsis [3][32]=1.0821e
    +0;
    Gsis [0][33]=1.0263e+0; Gsis [1][33]=2.0240e-2; Gsis [2][33]=-1.2576e-1; Gsis [3][33]=1.0785e
    +0;
131 Gsis [0][34]=1.0313e+0; Gsis [1][34]=3.0608e-2; Gsis [2][34]=-9.4487e-2; Gsis [3][34]=1.0803e
    +0;
    Gsis [0][35]=1.0461e+0; Gsis [1][35]=1.6959e-2; Gsis [2][35]=-9.9097e-2; Gsis [3][35]=1.0938e
    +0;
133 Gsis [0][36]=1.0618e+0; Gsis [1][36]=4.6982e-2; Gsis [2][36]=-1.0492e-1; Gsis [3][36]=1.1210e
    +0;
    Gsis [0][37]=1.0359e+0; Gsis [1][37]=6.1267e-2; Gsis [2][37]=-1.4604e-1; Gsis [3][37]=1.0892e
    +0;
135 Gsis [0][38]=1.0122e+0; Gsis [1][38]=4.2082e-2; Gsis [2][38]=-1.0568e-1; Gsis [3][38]=1.0785e
    +0;
    Gsis [0][39]=1.0364e+0; Gsis [1][39]=1.5806e-2; Gsis [2][39]=-1.1296e-1; Gsis [3][39]=1.0847e
    +0;
137 Gsis [0][40]=1.0473e+0; Gsis [1][40]=3.7074e-2; Gsis [2][40]=-9.7798e-2; Gsis [3][40]=1.0970e
    +0;
    Gsis [0][41]=1.0430e+0; Gsis [1][41]=3.5920e-2; Gsis [2][41]=-1.1763e-1; Gsis [3][41]=1.0926e
    +0;
139 Gsis [0][42]=1.0396e+0; Gsis [1][42]=4.4301e-2; Gsis [2][42]=-1.0571e-1; Gsis [3][42]=1.1046e
    +0;
    Gsis [0][43]=1.0338e+0; Gsis [1][43]=4.1414e-2; Gsis [2][43]=-1.3462e-1; Gsis [3][43]=1.0867e
    +0;
141 Gsis [0][44]=1.0236e+0; Gsis [1][44]=3.7330e-2; Gsis [2][44]=-1.0260e-1; Gsis [3][44]=1.0840e
    +0;
    Gsis [0][45]=1.0384e+0; Gsis [1][45]=2.0482e-2; Gsis [2][45]=-1.1321e-1; Gsis [3][45]=1.0873e
    +0;
143 Gsis [0][46]=1.0458e+0; Gsis [1][46]=3.9812e-2; Gsis [2][46]=-1.0059e-1; Gsis [3][46]=1.1015e
    +0;
    Gsis [0][47]=1.0392e+0; Gsis [1][47]=4.0301e-2; Gsis [2][47]=-1.2497e-1; Gsis [3][47]=1.0906e
    +0;
145 Gsis [0][48]=1.0319e+0; Gsis [1][48]=4.2860e-2; Gsis [2][48]=-1.0483e-1; Gsis [3][48]=1.0968e
    +0;
    Gsis [0][49]=1.0352e+0; Gsis [1][49]=3.2943e-2; Gsis [2][49]=-1.2649e-1; Gsis [3][49]=1.0871e
    +0;
147 Gsis [0][50]=1.0338e+0; Gsis [1][50]=3.8322e-2; Gsis [2][50]=-1.0165e-1; Gsis [3][50]=1.0906e
    +0;
    Gsis [0][51]=1.0400e+0; Gsis [1][51]=2.9136e-2; Gsis [2][51]=-1.1720e-1; Gsis [3][51]=1.0891e
    +0;
149 Gsis [0][52]=1.0417e+0; Gsis [1][52]=4.1473e-2; Gsis [2][52]=-1.0227e-1; Gsis [3][52]=1.1004e
    +0;

```



```

Gsis [0][53]=1.0381e+0; Gsis [1][53]=3.8769e-2; Gsis [2][53]=-1.2612e-1; Gsis [3][53]=1.0896e
+0;
151 Gsis [0][54]=1.0313e+0; Gsis [1][54]=4.1023e-2; Gsis [2][54]=-1.0369e-1; Gsis [3][54]=1.0938e
+0;
Gsis [0][55]=1.0370e+0; Gsis [1][55]=2.9892e-2; Gsis [2][55]=-1.2250e-1; Gsis [3][55]=1.0878e
+0;
153 Gsis [0][56]=1.0371e+0; Gsis [1][56]=3.9093e-2; Gsis [2][56]=-1.0190e-1; Gsis [3][56]=1.0945e
+0;
Gsis [0][57]=1.0389e+0; Gsis [1][57]=3.2640e-2; Gsis [2][57]=-1.2053e-1; Gsis [3][57]=1.0891e
+0;
155 Gsis [0][58]=1.0373e+0; Gsis [1][58]=4.1163e-2; Gsis [2][58]=-1.0282e-1; Gsis [3][58]=1.0981e
+0;
Gsis [0][59]=1.0371e+0; Gsis [1][59]=3.5337e-2; Gsis [2][59]=-1.2517e-1; Gsis [3][59]=1.0888e
+0;
157 Gsis [0][60]=1.0331e+0; Gsis [1][60]=3.9919e-2; Gsis [2][60]=-1.0310e-1; Gsis [3][60]=1.0937e
+0;
Gsis [0][61]=1.0379e+0; Gsis [1][61]=3.0740e-2; Gsis [2][61]=-1.2134e-1; Gsis [3][61]=1.0882e
+0;
159 Gsis [0][62]=1.0379e+0; Gsis [1][62]=4.0111e-2; Gsis [2][62]=-1.0226e-1; Gsis [3][62]=1.0962e
+0;
Gsis [0][63]=1.0385e+0; Gsis [1][63]=3.4411e-2; Gsis [2][63]=-1.2254e-1; Gsis [3][63]=1.0890e
+0;
161 Gsis [0][64]=1.0356e+0; Gsis [1][64]=4.1118e-2; Gsis [2][64]=-1.0293e-1; Gsis [3][64]=1.0964e
+0;
Gsis [0][65]=1.0374e+0; Gsis [1][65]=3.3577e-2; Gsis [2][65]=-1.2370e-1; Gsis [3][65]=1.0886e
+0;
163
// 2.2.- The first row of the matrix K, which is previously computed
165 K_tilde [0]=-1.4645e-3; K_tilde [1]=1.6803e-2; K_tilde [2]=1.9902e-2; K_tilde [3]=1.2479e-2;
K_tilde [4]=9.7040e-3; K_tilde [5]=5.2334e-3; K_tilde [6]=2.0514e-3; K_tilde [7]=3.4182e-3;
167 K_tilde [8]=3.7055e-3; K_tilde [9]=2.0337e-3; K_tilde [10]=1.2667e-3; K_tilde [11]=1.0111e-3;
K_tilde [12]=6.923e-4; K_tilde [13]=6.4001e-4; K_tilde [14]=5.7360e-4; K_tilde [15]=3.4007e
-4;
169 K_tilde [16]=2.0602e-4; K_tilde [17]=1.8488e-4; K_tilde [18]=6.3391e-6; K_tilde [19]=-8.5760e
-4;
K_tilde [20]=-2.790e-4; K_tilde [21]=-9.869e-5; K_tilde [22]=-3.6806e-5; K_tilde [23]=5.4474e
-5;
171 K_tilde [24]=-6.4525e-5; K_tilde [25]=-1.3119e-4; K_tilde [26]=-3.1645e-5; K_tilde
[27]=8.5890e-6;
K_tilde [28]=-8.8604e-6; K_tilde [29]=-9.443e-6; K_tilde [30]=-1.0565e-5; K_tilde
[31]=-1.3490e-5;
173 K_tilde [32]=-4.4288e-6; K_tilde [33]=2.0507e-7; K_tilde [34]=-2.5849e-6; K_tilde
[35]=-3.2207e-6;

175
// 3.- The difference between the reference vector (w) and the forced response (f).
177 for (g=0; g<=N_out-1; g++)
{
179     for (i=0; i<=(2*Hp)-1; i++)
{
181         Elem_Sum [g]=0.0;

183         for (j=0; j<=N-1; j++)
{

```

```

185     Elem_Sum[g] = Elem_Sum[g] + (( Gsis[2*g][i+j]-Gsis[2*g][j] ) * Vc_DU[0][j]) + ((
        Gsis[2*g+1][i+j]-Gsis[2*g+1][j] ) * Vc_DU[1][j]);
    }
187     Vc_wf[g][i] = Vc_W[g][i] - ( Vc_Y[g][0] + Elem_Sum[g] );
    }
189 }

191 // 4.- The value of the increment of the control signal
    for(j=0; j<=N_in-1; j++)
193 {
        Elem_Mul[j] = 0.0;
195     for(i=0; i<=2*Hp-1; i++)
        {
197         Elem_Mul[j] = Elem_Mul[j] + K_tilde[i]*Vc_wf[j][i];
        }
199     DeUactual[j] = Elem_Mul[j];
        Uactual[j]=DeUactual[j]+Vc_U[j][0];
201 }

203 // 5.- The vector split
    for(j=0; j<=N_out-1; j++)
205 {
        for(i=LonY-1; i>=1; i--)
207         {
            Vc_Y[j][i]=Vc_Y[j][i-1];
209         }
        }

211
    for(j=0; j<=N_in-1; j++)
213 {
        for(i=LonU-1; i>=1; i--)
215         {
            Vc_U[j][i]=Vc_U[j][i-1];
217         }

219     for(i=LonDU-1; i>=1; i--)
        {
221         Vc_DU[j][i]=Vc_DU[j][i-1];
        }
223 }

// 6.- Present control values are located in the output ports
225 for(i=0; i<=N_in-1; i++)
    {
227     Vc_U[i][0] = Uactual[i];
        Vc_DU[i][0]= Vc_U[i][0] - Vc_U[i][1];
229 }
    val_muestra[0] = Uactual[0];
231 val_muestra[1] = Uactual[1];
    cuenta=Pasos-1;
233 }
else
235 {
    cuenta=cuenta-1; \\The counter of the low frequency sampling is obtained.
237 }
P_U[0] = val_muestra[0];

```

```
239 Q_U[0] = val_muestra[1];
```

A.4. Esquema de regulación de la tensión basado en el GPC

En esta sección se presenta el conjunto de instrucciones que permiten calcular la señal de control que mantiene regulada la tensión de *cd* en las terminales del MMC. Este algoritmo es mucho más simple de realizarse y el número de instrucciones es menor en comparación con el GPC.

```

#include <math.h>
2 #include <math.h>
#include <stdio.h>
4 #include <stdlib.h>

6 # define Hp 15 //Prediction horizon
# define Hm 5 //Control horizon
8
# define N_in 1 // Number of inputs
10 # define N_out 1 // Number of outputs

12 # define n_a 1 // Exponent of the denominator
# define n_b 1 // Exponent of the numerator
14
# define LonW Hp
16 # define LonU n_b
# define LonY n_a+1
18
# define Pasos 100 // Number of steps between each control computation
20
// Pointers
22 int i;
int j;
24 int g;

26 // Variable declaration
double DeUactual=0;
28 double Uactual=0.0;
double ElmMul=0;
30 static int cuenta_GPC=0;
static double Val_Salida=0.0;
32
// Variables must be in zero every time the algorithm run
34 double VarAnt[LonY+LonU+LonW];
double Cte[LonY+LonU+LonW];
36 double Vec_W[LonW];

38 // Persistent data vectors
static double Vec_U[LonU]; // Control signal vector, length LonU+1

```

```

40 static double Vec_Y[LonY]; // Measured output vector, length LonY+1
42 if (cuenta_GPC==0) //This condition emulate the new frequency sampling
{
44 // 1.- Variable initialization
    if (Reset[0]==1)
46 {
        for (i=0; i<=LonY-1; i++)
48 {
            Vec_Y[i]=0.0;
50 }
        for (i=0; i<=LonU-1; i++)
52 {
            Vec_U[i]=0.0;
54 }
        for (i=0; i<=LonW-1; i++)
56 {
            Vec_W[i]=0.0;
58 }
        for (i=0; i<=LonY+LonU+LonW-1; i++)
60 {
            VarAnt[i]=0.0;
62 }
    }
64 // 1.1.- Getting the external measurements
    Vec_W[0]=W_med[0]; // Reference
66 Vec_Y[0]=Y_med[0]; // Ouput

68 // For this controller the future references are equal to the present
    for (i=1; i<=LonW-1; i++)
70 {
        Vec_W[i]=Vec_W[0];
72 }

74 // 2.- The constant vectors
    Cte[0] = -2.363945828349517e+00;
76 Cte[1] = 2.017827662717298e+00;
    Cte[2] = -1.132338755733612e-01;
78 Cte[3] = 0.000000000000000e+00;
    Cte[4] = 2.384068709352879e-02;
80 Cte[5] = 4.413752210374356e-02;
    Cte[6] = 5.957341488166718e-02;
82 Cte[7] = 6.889945129492604e-02;
    Cte[8] = 7.122039118343222e-02;
84 Cte[9] = 6.635873026515014e-02;
    Cte[10] = 5.520499074106178e-02;
86 Cte[11] = 3.988363566507275e-02;
    Cte[12] = 2.352361706094646e-02;
88 Cte[13] = 9.503396315110312e-03;
    Cte[14] = 3.084230166479620e-04;
90 Cte[15] = -3.472143997542441e-03;
    Cte[16] = -3.274353271734282e-03;
92 Cte[17] = -1.454117855906300e-03;

94 // 3.- Build the a new vector

```

```

    for (i=0; i<=LonY-1; i++)
96  {
    VarAnt[i]=Vec_Y[i];
98  }
    for (i=LonY; i<=LonY+LonU-1; i++)
100 {
    VarAnt[i]=Vec_U[i-LonY];
102 }
    for (i=LonY+LonU; i<=LonY+LonU+LonW-1; i++)
104 {
    VarAnt[i]=Vec_W[i-LonY-LonU];
106 }

108 // 4.- Compute the increment of signal control
    for (i=0; i<=LonY+LonU+LonW-1; i++)
110 {
    ElmMul=Cte[i]*VarAnt[i];
112    DeUactual=DeUactual+ElmMul;
    }
114    Uactual=DeUactual+Vec_U[0];

116 // 5.- The vector split
    for (i=LonY-1; i>=1; i--)
118 {
    Vec_Y[i]=Vec_Y[i-1];
120 }

122    for (i=LonU-1; i>=1; i--)
    {
124    Vec_U[i]=Vec_U[i-1];
    }

126 // 6.- Present control values are located in the output ports
128 Vec_U[0]=DeUactual;
    Val_Salida=Uactual;
130 cuenta_GPC=Pasos-1;
    }
132 else
    {
134    cuenta_GPC=cuenta_GPC-1; // The counter of the low frequency sampling is obtained
    }
136 U_ctrl[0]=Val_Salida;

```


ANÁLISIS Y EQUIVALENCIA DE UN SISTEMA TRIFÁSICO

Este análisis permite simplificar el modelo matemático presentado en el Capítulo 3, el objetivo es encontrar cómo se relacionan las corrientes de cada fase y las corrientes que fluyen por ambas fases de un circuito de doble-estrella balanceado. Se comienza definiendo la corriente que fluye por cada una de las fases, como:

$$i_a = I_p \cos(\omega t + \phi) , \quad (\text{B.1})$$

$$i_b = I_p \cos\left(\omega t + \phi - \frac{2\pi}{3}\right) , \quad (\text{B.2})$$

$$i_c = I_p \cos\left(\omega t + \phi - \frac{4\pi}{3}\right) , \quad (\text{B.3})$$

donde $\omega = 2\pi f$ y f puede ser cualquier preferencia.

La corriente compuesta está dada por la diferencia entre la corriente de cada una de las fases.

$$\begin{aligned} i_{ab} &= i_a - i_b \\ &= I_p \cos(\omega t + \phi) - I_p \cos\left(\omega t + \phi - \frac{2\pi}{3}\right) . \end{aligned} \quad (\text{B.4})$$

Se tiene la definición (B.5), la cual parte del análisis trigonométrico.

$$\cos(a) + \cos(b) := -2 \operatorname{sen}\left(\frac{a+b}{2}\right) \operatorname{sen}\left(\frac{a-b}{2}\right) . \quad (\text{B.5})$$

Al utilizar la definición anterior, se reescribe (B.4) como:

$$i_{ab} = -2I_p \operatorname{sen}\left(\frac{\omega t + \phi + \omega t + \phi - \frac{2\pi}{3}}{2}\right) \operatorname{sen}\left(\frac{\omega t + \phi - \omega t - \phi + \frac{2\pi}{3}}{2}\right) , \quad (\text{B.6})$$

y se realiza la simplificación de término semejantes, de la siguiente manera:

$$\begin{aligned}
 i_{ab} &= -2I_p \operatorname{sen} \left(\omega t + \phi - \frac{\pi}{3} \right) \operatorname{sen} \left(\frac{\pi}{3} \right) \\
 &= -2 \frac{\sqrt{3}}{2} I_p \operatorname{sen} \left(\omega t + \phi - \frac{\pi}{3} \right) \\
 &= -\sqrt{3} I_p \operatorname{sen} \left(\omega t + \phi - \frac{\pi}{3} \right) .
 \end{aligned} \tag{B.7}$$

Al hacer un corrimiento de fase, es posible cambiar el sen por cos, para obtener:

$$\begin{aligned}
 i_{ab} &= \sqrt{3} I_p \cos \left(\omega t + \phi - \frac{\pi}{3} - \frac{\pi}{2} \right) \\
 &= \sqrt{3} I_p \cos \left(\omega t + \phi - \frac{11\pi}{6} \right) \\
 &= \sqrt{3} I_p \cos \left(\omega t + \phi + \frac{\pi}{6} \right) .
 \end{aligned} \tag{B.8}$$

A través del mismo procedimiento se sintetizan las dos corrientes restantes, las cuales presentan la misma magnitud pero un desfase entre ellas de 120° . A continuación se muestra las tres corrientes compuestas.

$$i_{ab} = \sqrt{3} I_p \cos \left(\omega t + \phi + \frac{\pi}{6} \right) , \tag{B.9}$$

$$i_{bc} = \sqrt{3} I_p \cos \left(\omega t + \phi - \frac{\pi}{2} \right) , \tag{B.10}$$

$$i_{ca} = \sqrt{3} I_p \cos \left(\omega t + \phi - \frac{7\pi}{6} \right) . \tag{B.11}$$

B.1. Síntesis de las señales originales

Una vez que se observa que las corrientes compuestas están balanceadas en magnitud y fase, es necesario encontrar la relación que permite obtener las señales por fase a partir de las compuestas. Para ello se propone restar dos corrientes consecutivas, como:

$$\begin{aligned}
 i_a &= i_{ab} - i_{ca} \\
 &= \sqrt{3} I_p \cos \left(\omega t + \phi + \frac{\pi}{6} \right) - \sqrt{3} I_p \cos \left(\omega t + \phi - \frac{7\pi}{6} \right) ,
 \end{aligned} \tag{B.12}$$

y se utiliza la definición (B.7) para obtener:

$$\begin{aligned}
 i_a &= -2\sqrt{3}I_p \operatorname{sen} \left(\omega t + \phi + \frac{1}{2} \left[\frac{\pi}{2} - \frac{7\pi}{6} \right] \right) \operatorname{sen} \left(\frac{\pi}{2} + \frac{7\pi}{6} \right) \\
 &= -2\sqrt{3}I_p \operatorname{sen} \left(\omega t + \phi - \frac{\pi}{2} \right) \operatorname{sen} \left(\frac{2\pi}{3} \right) \\
 &= -2\sqrt{3} \left(\frac{\sqrt{3}}{2} \right) I_p \operatorname{sen} \left(\omega t + \phi - \frac{\pi}{2} \right) \\
 &= -3I_p \operatorname{sen} \left(\omega t + \phi - \frac{\pi}{2} \right) .
 \end{aligned} \tag{B.13}$$

Se agrega un corrimiento en el ángulo del argumento para con ello cambiar el operador, como:

$$i_a = -1 \left[-3I_p \cos \left(\omega t + \phi - \frac{\pi}{2} + \frac{\pi}{2} \right) \right] , \tag{B.14}$$

y al reducir los términos semejantes se sintetiza la señal original, que está escalada por una constante.

$$i_a = 3I_p \cos (\omega t + \phi) \tag{B.15}$$

Este procedimiento establece que: es posible recuperar el comportamiento de las corrientes por fase a partir de las señales compuestas, mediante la resta escalada de las señales consecutivas, como lo muestra (B.16).

$$\begin{aligned}
 i_a &= \frac{i_{ab} - i_{ca}}{3} \\
 i_b &= \frac{i_{bc} - i_{ab}}{3} \\
 i_c &= \frac{i_{ca} - i_{bc}}{3}
 \end{aligned} \tag{B.16}$$



SIMULACIÓN EN TIEMPO REAL

En este anexo se muestran los detalles de la simulación en tiempo real, puesto que existen detalles dentro de la plataforma que es necesario comentar, como: las funciones que desarrolla cada uno de los núcleos del simulador, además de los parámetros de los bloques de configuración.

C.1. Esquema multinúcleo

El esquema principal de la simulación se muestra en la Figura C.1, donde se observa que está compuesta por 6 subsistemas y con esto se consigue que cada uno de estos se ejecuta por un núcleo del simulador en tiempo real.

En la parte superior se encuentran dos bloques que definen los parámetros de la simulación. El primer bloque en el lado derecho (*powergui*) define los parámetros del método de solución de los elementos eléctricos y el paso de integración.

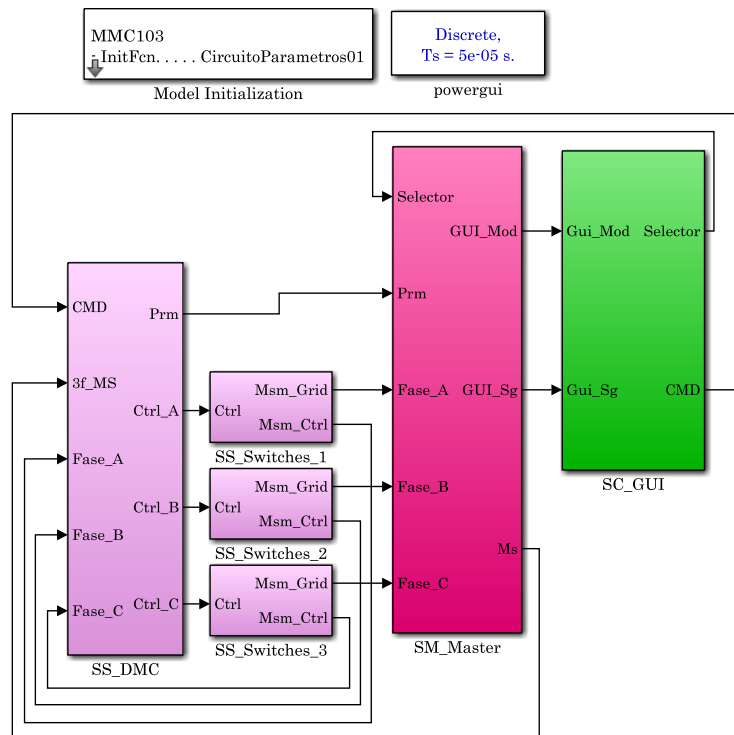


Figura C.1. Esquema multinúcleo.

En el lado izquierdo se encuentra el bloque (*Model Inizialization*) que ejecuta la Rutina C.1 que contiene los parámetros eléctricos del MMC, cada vez que el modelo se abre y cada vez que se ejecuta.

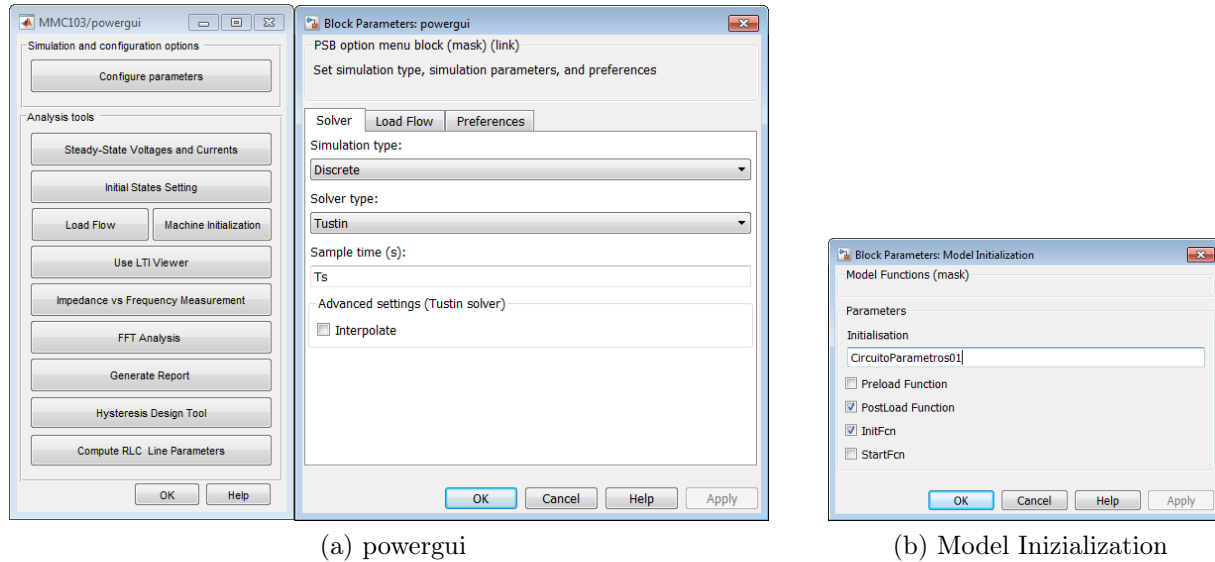


Figura C.2. Configuración de los parámetros de simulación.

```

%% ----- TIME PARAMETERS ----- %%
2 % 1.- Main Frequency
Pr_Frq_Ac=50; % Grid frequency
4 Pr_Nsm=18; % Number of leves
Pr_Nev=8; % Number of RT-Lab events
6 Pr_PWM=3; % Type of modulation (Level, PD, POD, POOD)

8 % 2.- Modulation Index
m_zh0=4; % zero sample-and-hold index to acquire the measures
10 m_tri=5*2; % modulation index to generate the triangle wave
m_plt=2; % plot index to generate the wave forms
12 m_zh1=5; % zero sample-and-hold index to generate the signals
m_sim=1; % simulation index
14

% 3.- Frequencies
16 Pr_Frq_Zh0 = Pr_Frq_Ac * m_zh0; % Zero sample-and-hold for measures
Pr_Frq_Tri = Pr_Frq_Zh0 * m_tri; % Triangular signal
18 Pr_Frq_Plt = Pr_Frq_Tri * m_plt; % Plot frequency
Pr_Frq_Zh1 = Pr_Frq_Plt * m_zh1; % Zero sample-and-hold gor waves
20 Pr_Frq_Sim = Pr_Frq_Zh1 * m_sim; % Simulation frequency

22 % 4.- Time Periods
Pr_Tm_Ac = 1/Pr_Frq_Ac;
24 Pr_Tm_Zh0 = 1/Pr_Frq_Zh0;
Pr_Tm_Tri = 1/Pr_Frq_Tri;
26 Pr_Tm_Plt = 1/Pr_Frq_Plt;
Pr_Tm_Zh1 = 1/Pr_Frq_Zh1;
28 Pr_Tm_Sim = 1/Pr_Frq_Sim;

```

```

30 Ts=Pr_Tm_Sim          % "Ts" is a OPAL time step parameter
%% ----- TIME PARAMETERS ----- %%
32 Pr_Tm_Chg = Pr_Tm_Sim;          % Change ratio
Pr_Fq_Sw = (Pr_Frq_Ac/Pr_Nsm)*(m_zh0*m_tri); %SM switching frequency
34 Pr_Plt_Nm = fix(Pr_Frq_Sim/Pr_Frq_Ac*10); %Number of samples to display
Pr_Plt_Dc = ceil(Pr_Frq_Sim/Pr_Frq_Plt); % Decimation number
36 Pr_Ctl_Num= Pr_Frq_Sim/Pr_Frq_Zh0; % Control frequency
Pr_Ref_Cam= 1.5;
38
%% ----- POWER MESURMENT ----- %%
40 % This is the window time during the averaga block keep the mesurement.
Pr_Pwr_Ave1=1.00*(1/Pr_Frq_Ac);
42 %% ----- ELECTRICAL PARAMETERS ----- %%
Sis_P=1000e6;
44 Sis_Q=1000e6;
Sis_S=1000e6;
46
% 1.- DC Bus Voltage
48 Vcd_Bus=325e3; %230e3;
Pcd_Bus=10e6;
50 Rcd_Bus=(Vcd_Bus*Vcd_Bus)/(2*Pcd_Bus);

52 % 2.- AC Source
Vac_Magnitude=115e3;
54 Vac_Phase=-30; %Sexagecimal grades
Vac_Frequency=Pr_Frq_Ac;
56
%% ----- IGBT PARAMETERS ----- %%
58 Pr_Tm_Det = 2.5e-6; % Dead time.
Pr_IGBT_DT = 2.5e-6*1; % Dead time in Ts.
60 Pr_IGBT_Vf = 2.25; % Polarization voltage
Pr_IGBT_Ron = 0.11e-3; % Resistance
62
%% ----- PASSIVE COMPONENTS ----- %%
64 % 1.- SubModule Parameters
Pr_SM_C0=9.9*1e-3;
66 Pr_SM_VC0=Vcd_Bus/Pr_Nsm;

68 % 2.- Branch Link Parameters
Pr_Blc_L=50*1e-3; %mH
70 Pr_Blc_R=2*pi*60*Pr_Blc_L*(10/100);
Pr_Blc_Z=sqrt((2*pi*Pr_Frq_Ac*Pr_Blc_L)^2+(Pr_Blc_R)^2);
72
% 3.- PCC Parameters
74 Pr_PCC_L=5*1e-3;
Pr_PCC_R=2*pi*60*Pr_PCC_L*(12.5/100);
76 Pr_PCC_Z=sqrt((2*pi*Pr_Frq_Ac*Pr_PCC_L)^2+(Pr_PCC_R)^2);

78 % 4.- TR Parameters
Pr_Tr_M2=0.5;
80 Pr_TR_L=2.5e-3;
Pr_TR_R=2*pi*60*Pr_TR_L*(12.5/100);
82 Pr_TR_Z=sqrt((2*pi*Pr_Frq_Ac*Pr_TR_L)^2+(Pr_TR_R)^2);

```

```

84 % 4.- DC Bus Parameters
Pr_CD_L=5e-6;
86 Pr_CD_R=200e-6;
Pr_ST_R=200;          % Start resistance.
88 Pr_St_T=0.15/9;    % Time of starting switches.

90 % 5.- Compoused passive components
Pr_Cop_L=Pr_Blc_L+2*(Pr_PCC_L+2*Pr_TR_L);
92 Pr_Cop_R=Pr_Blc_R+2*(Pr_PCC_R+2*Pr_TR_R);

94 %% ----- PU Values ----- %%
S_Ba1=Sis_S;
96 V3_Ba1=Vac_Magnitude;
V1_Ba1=Vac_Magnitude/sqrt(3);
98 I_Ba1=Sis_S/(sqrt(3)*Vac_Magnitude);
Z_Ba1=Vac_Magnitude^2/Sis_S;
100
Pr_Blc_Zpu=(Pr_Blc_Z/Z_Ba1)*100;
102 Pr_PCC_Zpu=(Pr_PCC_Z/Z_Ba1)*100;
Pr_TR_Zpu=(Pr_TR_Z/Z_Ba1)*100;
104
S_Ba2=Sis_S;
106 V_Ba2=Vcd_Bus;
I_Ba2=Sis_S/Vcd_Bus;
108 Z_Ba1=Vcd_Bus^2/Sis_S;

110 V_Ba3=Vcd_Bus/Pr_Nsm;

112 %% ----- START TIME OF MODULES ----- %%
% 1.- Tiempo de Arranque
114 Pr_Ti_1=0.20*1e0;          % Time to compute Vcd
Pr_Ti_2=0.23*1e0;          % Time to control action
116 Pr_Ti_3=0.26*1e0;          % Control reset
Pr_Ti_4=0.3;                % Reference change

```

Rutina C.1. Rutina de los parámetros de la simulación.

C.1.1. SM_Master

Este es el subsistema principal donde se especifican los parámetros de la simulación, además se tiene el bloque de configuración para obtener de forma analógica las señales medidas. Hay que destacar que sólo se permite un único subsistema principal con el prefijo *SS*. Además, se aprovecha la capacidad del núcleo para simular la interacción entre el MMC y las redes HVDC y HVAC, como lo muestra la Figura C.3.

Además se cuenta con el bloque que permite obtener hasta 8 señales análogas, con un rango dinámico de ± 1.6 V y una resolución de 16 bits. En la Figura C.4 (a) se muestra la llegada de dos grupos de 4 señales que están normalizadas y son multiplexadas para posteriormente ser amplificadas por 10, puesto que la ganancia de salida del simulador es

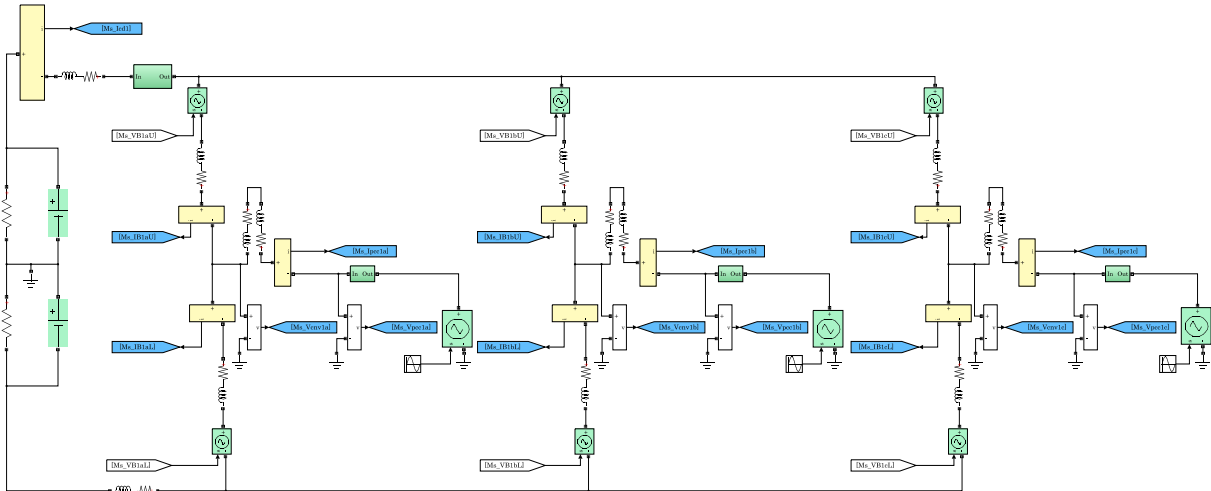


Figura C.3. MMC y las redes HVDC y HVAC.

de 1/10. En el interior del bloque *Analog Signals* se encuentran los bloques que aparecen en la Figura C.4 (b), donde las señales son convertidas a punto flotante con doble longitud y posteriormente se mandan a los puertos de salida. El bloque *OpControl* lee los archivos “.bin” de configuración. Además en *AnalogOut1* se define el número de señales a generar y el puerto de salida.

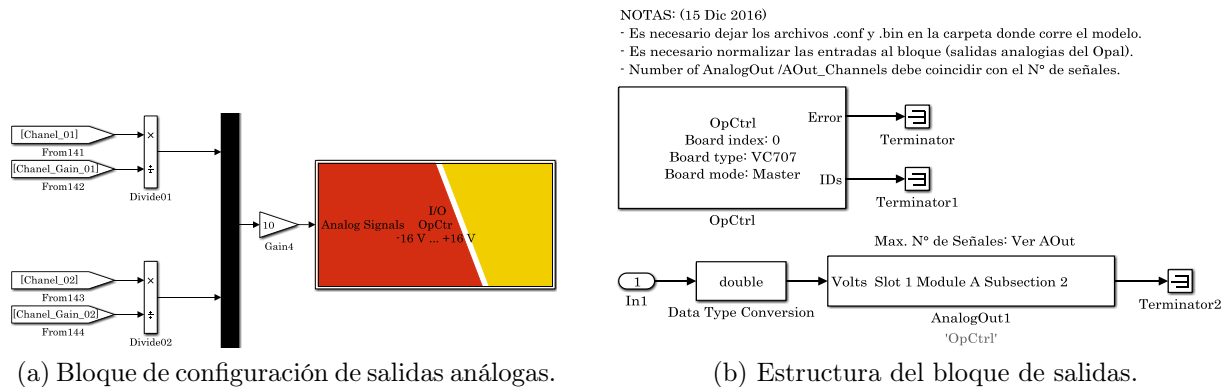


Figura C.4. Salidas analógicas del simulador.

C.2. SS_Switches

Los subsistemas esclavos se definen por el prefijo *SS* y dependen del *SM*, en lo subsistemas *SS_Switches* utiliza la librería RTE para simular el comportamiento de los interruptores de electrónica de potencia, así como la generación de las señales complementarias y la adición del tiempo muerto, como lo muestra la Figura C.5. Como

entradas se tienen las señales de conmutación de cada SM y la corriente del bloque. Y la tensión de los condensadores, así como la del bloque son las señales de salida, que son igualmente enviadas al bloque de control y al circuito de interacción con las redes.

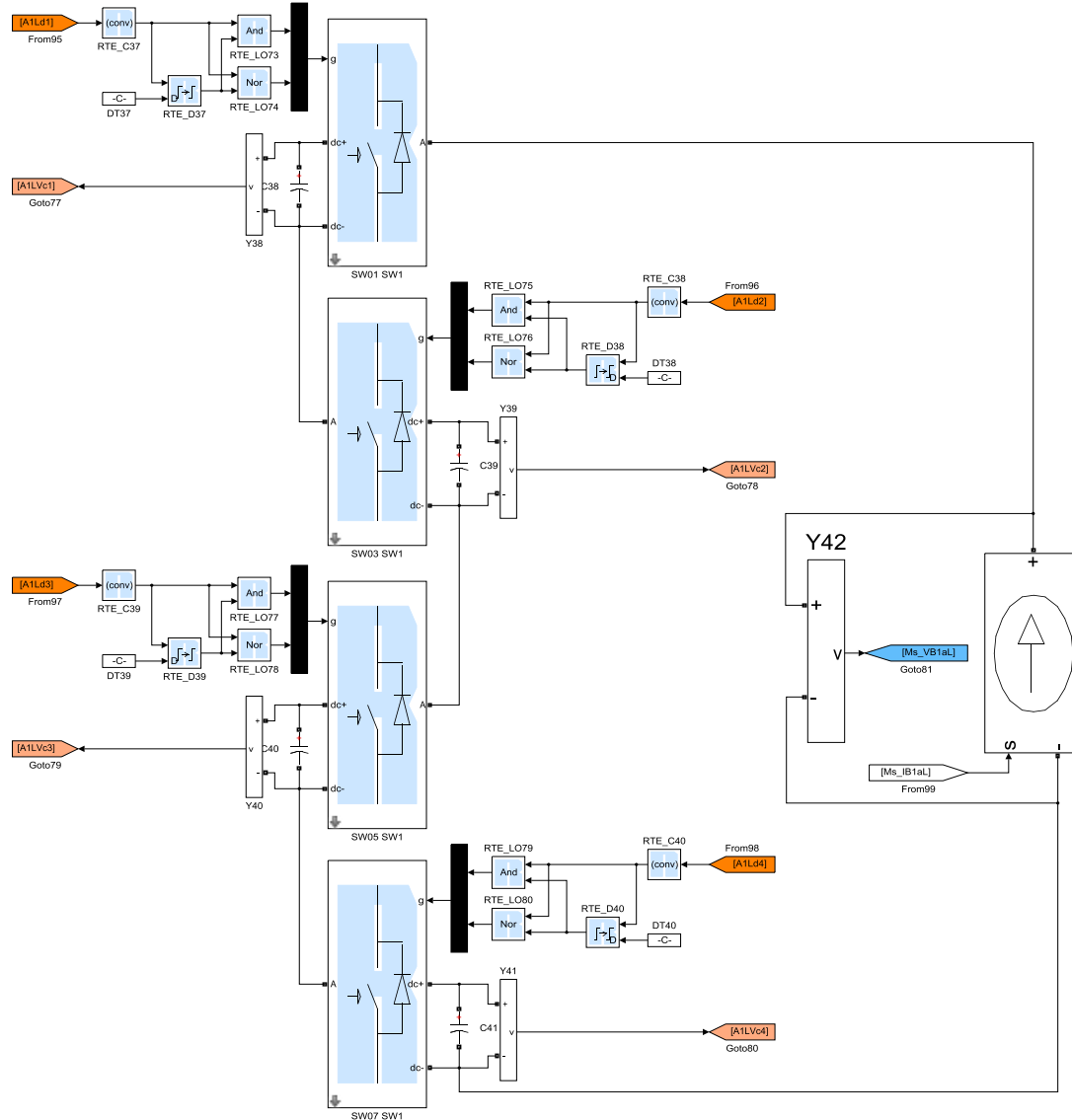


Figura C.5. Estructura de un bloque de 4 submódulos.

C.3. SS_DMC

Este subsistema ejecuta la estrategia de control predictivo indirecto; que consiste en:

- Las estrategias de control DMC y GPC.
- Cálculo de la señal moduladora y descomposición simétrica.

- Técnica SPWM para determinar el número de niveles.
- Selección del sumódulo a conmutar.

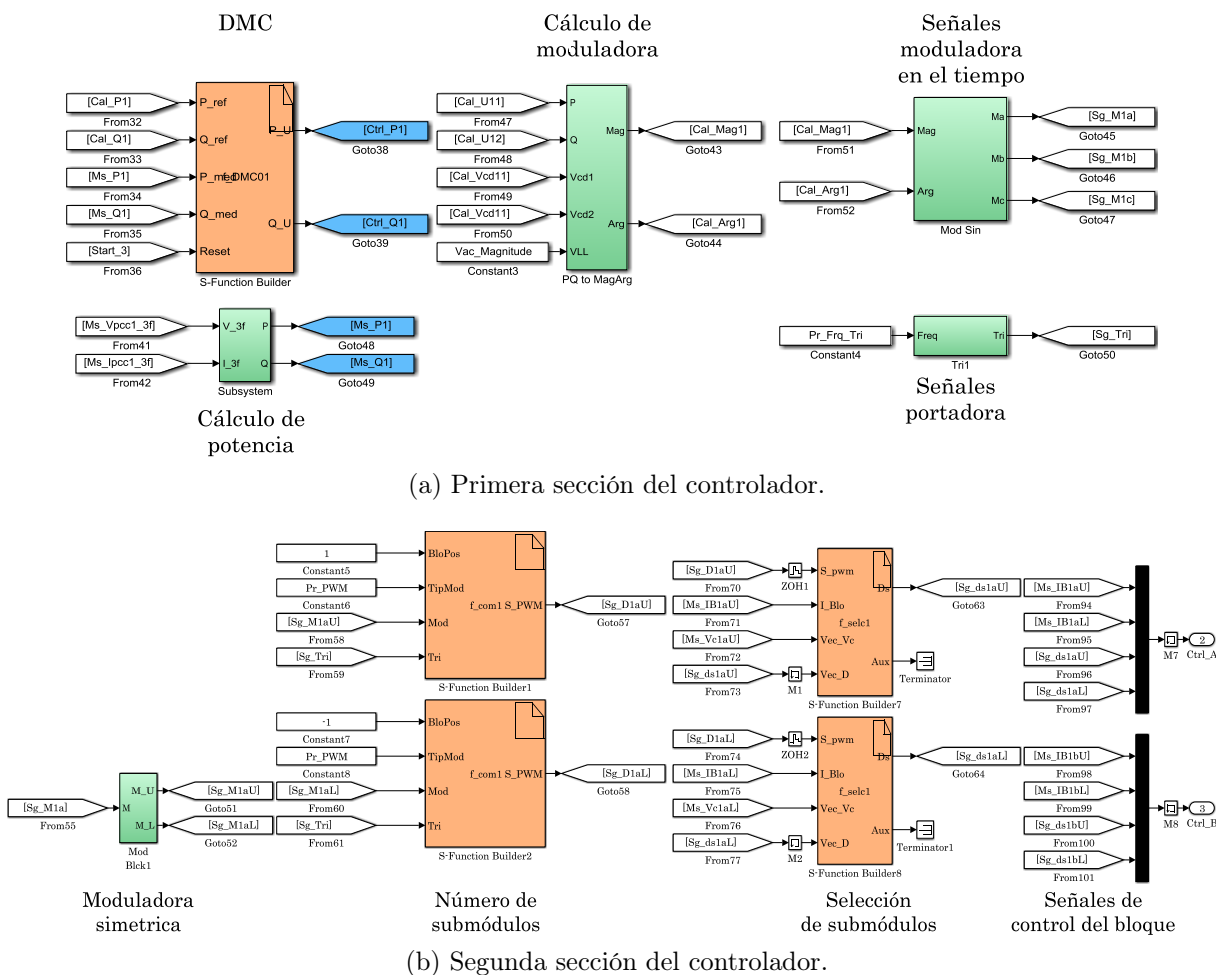


Figura C.6. Técnica de control predictivo indirecto.

La técnica de modulación requiere de una señal portadora base, para con ella generar la familia de curvas y llevar a cabo las comparaciones. Sin embargo, las librerías de *MatLab* no ofrecen un generador preciso y que funcione en tiempo discreto, es por eso que se propone la estructura de la Figura C.7 para generar la señal portadora.

C.4. SC_GUI

Finalmente se describe el bloque de control externo del simulador, el cual es definido por el prefijo *SC*. En este bloque obtienen las señales medidas y las despliega digitalmente, asimismo se tienen los valores constantes que permiten modificar las características del

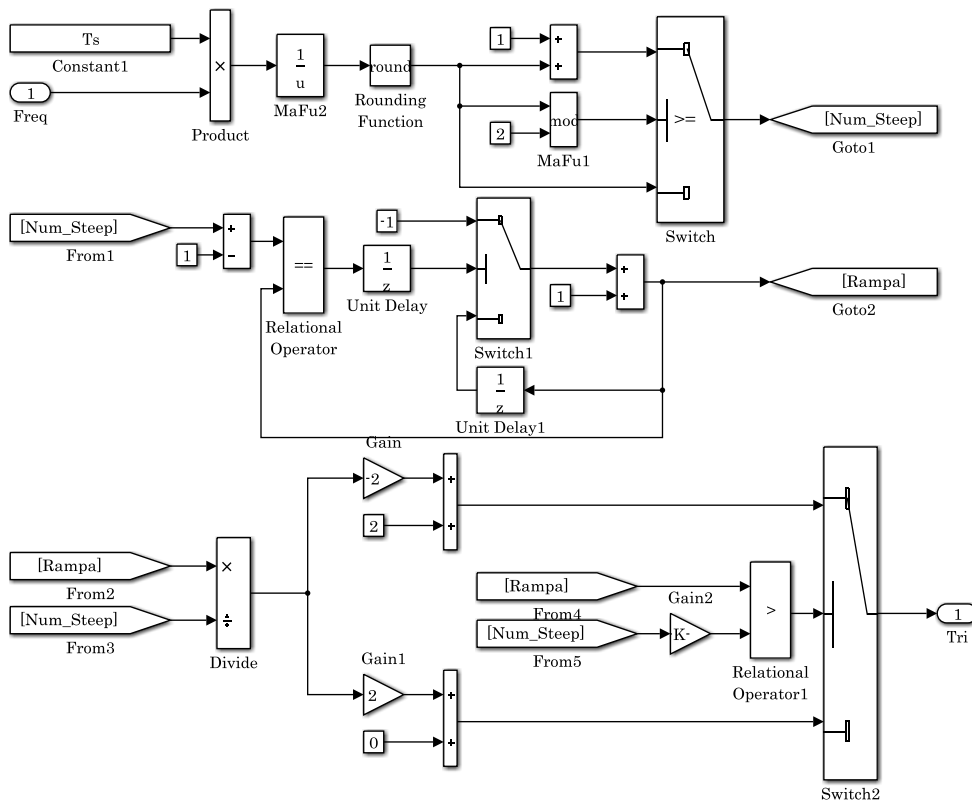


Figura C.7. Generador de la señal portadora discreta.

sistema, como: la potencia activa y reactiva, además de poder seleccionar las señales que son desplegadas por el osciloscopio.

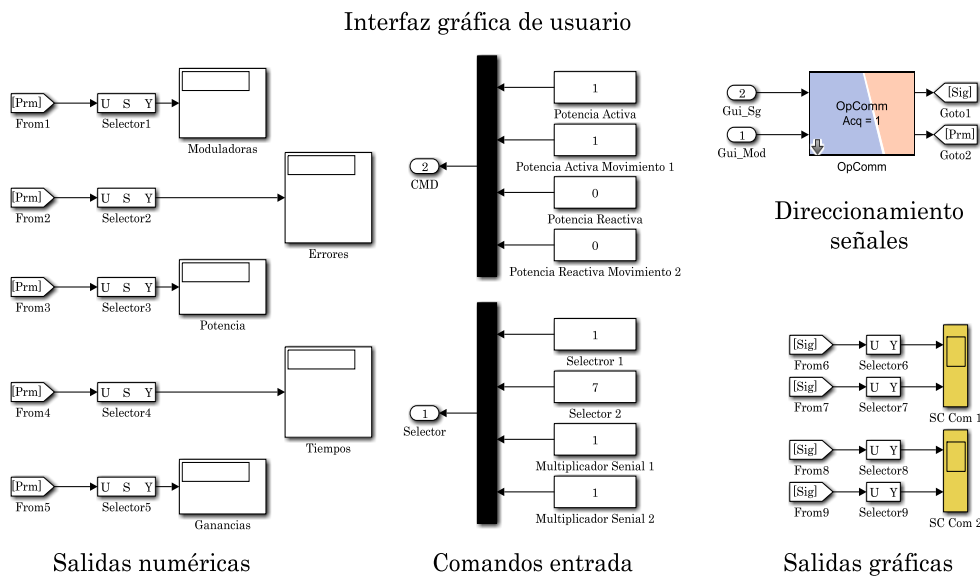


Figura C.8. Estructura de un bloque de 4 submódulos.



SISTEMA SEGUIDOR DE FASE

Como parte de la técnica de modulación se requiere generar una señal moduladora que esté en sincronía con la red eléctrica y añadirle un desfase para provocar un intercambio de potencia en el PCC. Para generar primeramente una señal que esté en sincronía con la red, se emplea la transformada $\alpha\beta$ dada por (D.1), donde: v_x , v_y , v_z son las señales medidas en el PCC, v_α es la componente sinusoidal que está en sincronía con v_a y v_β es una función cosenoidal con el mismo argumento que v_x .

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_x \\ v_y \\ v_z \end{bmatrix} \quad (\text{D.1})$$

A partir de las componentes v_α y v_β se sintetizan las señales normalizadas, a partir de (D.2) y (D.3).

$$\text{sen}(\theta_t) = \frac{v_\alpha}{\sqrt{v_\alpha^2 + v_\beta^2}} \quad (\text{D.2})$$

$$\text{cos}(\theta_t) = \frac{v_\beta}{\sqrt{v_\alpha^2 + v_\beta^2}} \quad (\text{D.3})$$

Una vez obtenidas las señales de referencia se añade el ángulo de desfase deseado mediante, el uso de la siguiente identidad trigonométrica.

$$\text{cos}(\theta_t + \theta_{m_{R_x}}) = \text{cos}(\theta_t) \text{cos}(\theta_{m_{R_x}}) - \text{sen}(\theta_t) \text{sen}(\theta_{m_{R_x}}) \quad (\text{D.4})$$

El diagrama a bloques de la Figura D.1 define el circuito seguidor de fase, el cual está basado en las operaciones previamente definidas, la ventaja de este esquema es su simplicidad y que hace uso de la característica de las redes de alta tensión que presentan desbalances reducidos.

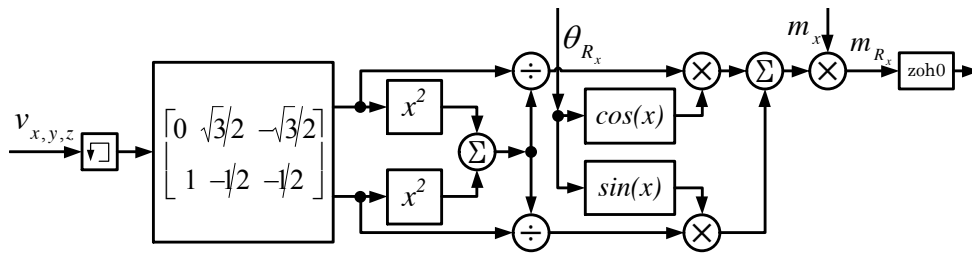


Figura D.1. Diagrama a bloques del generador de la señal moduladora.

Para tener las señales de un sistema trifásico basta con triplicar el circuito anterior, reduciendo la cantidad de operaciones y la necesidad de tener la referencia del tiempo.



COMPARACIÓN DE LA TÉCNICA DE MODULACIÓN DE NIVEL MÁS CERCANO

Este anexo se enfoca en mostrar las diferencias entre la técnica de modulación NLC clásica y modulación NLC-híbrida, donde la diferencia fundamental radica en utilizar una comparación SPWM con el objetivo de calcular cuantos SM deben de estar encendidos en un momento en específico.

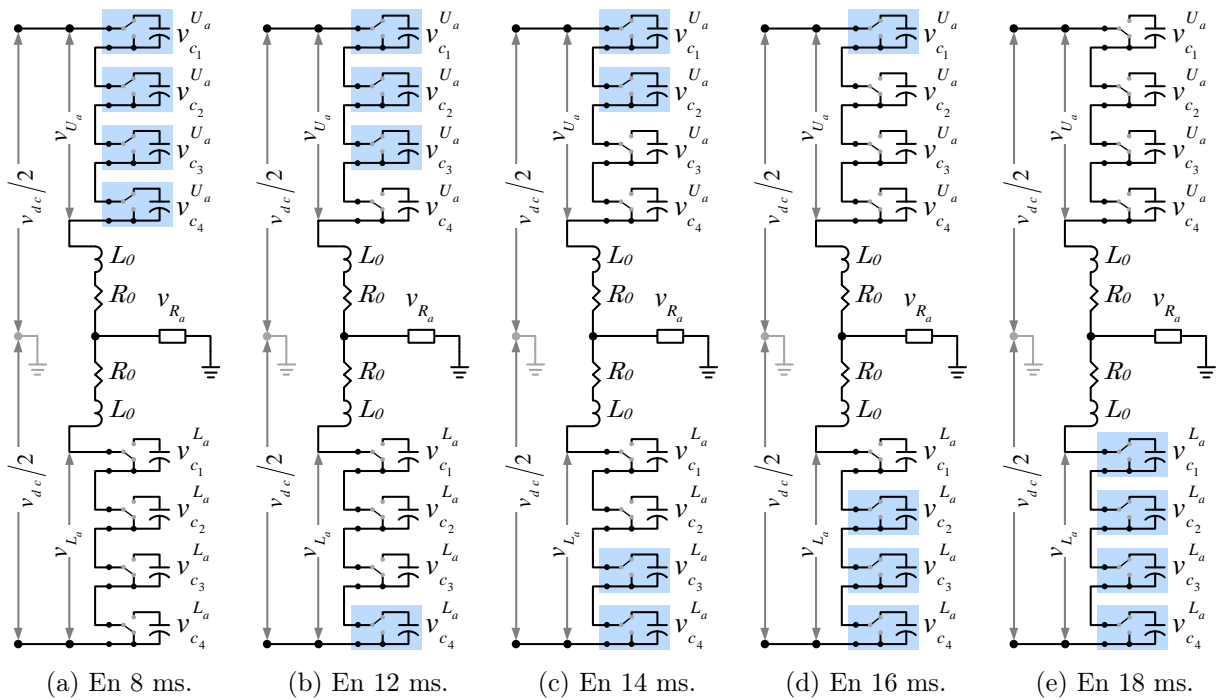


Figura E.1. Esquemas eléctricos del MMC de 5 niveles.

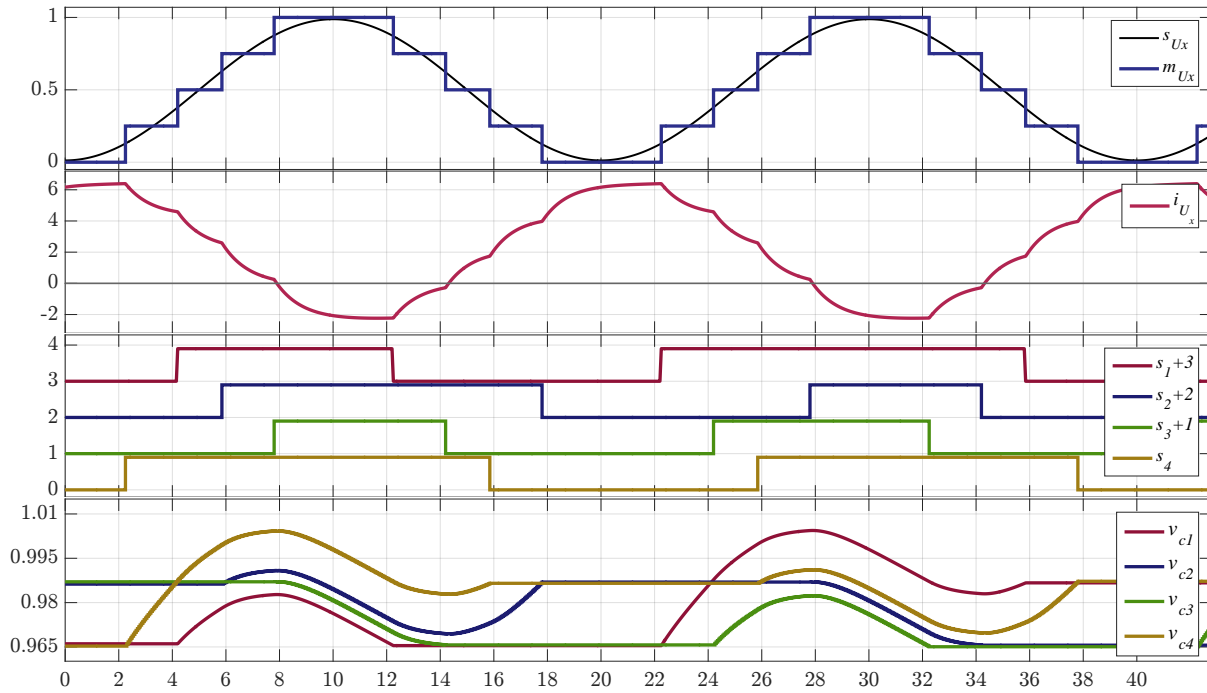


Figura E.2. NLC clásica. (a) Moduladora del bloque. (b) Señales de conmutación de los 4 SM. (c) Corriente del bloque superior. (d) Tensión de los 4 C_0 .

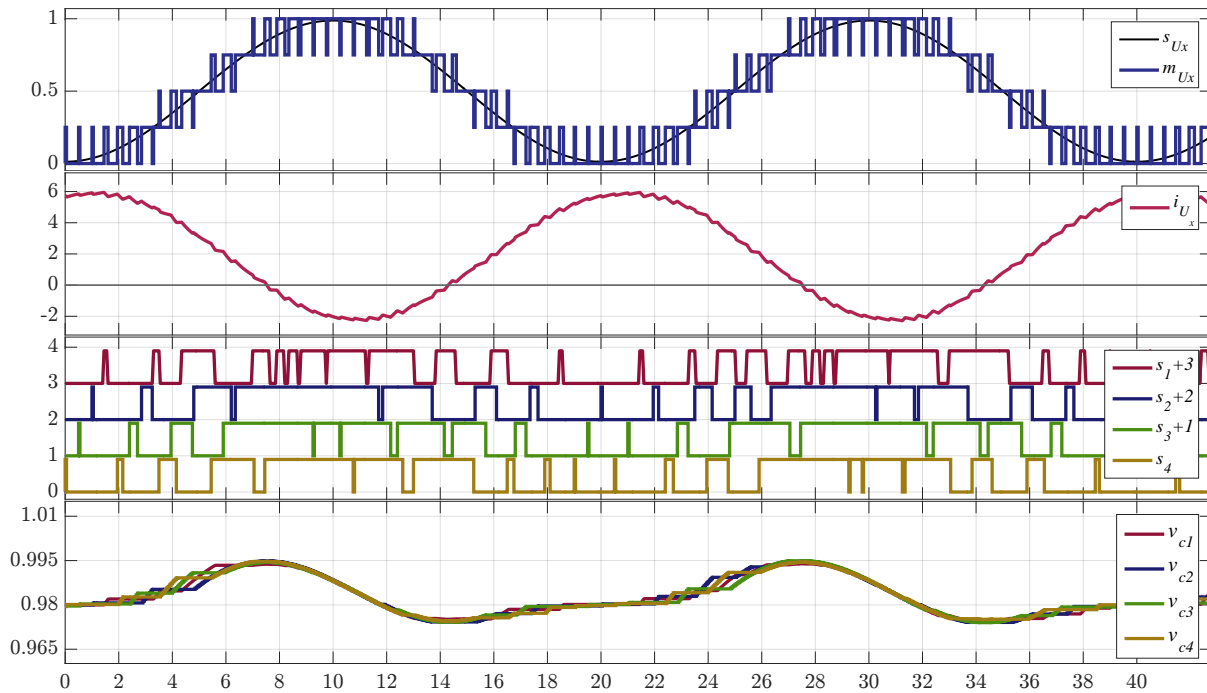


Figura E.3. NLC-híbrida. (a) Moduladora del bloque. (b) Señales de conmutación de los 4 SM. (c) Corriente del bloque superior. (d) Tensión de los 4 C_0 .

E.1. Seguimiento paso a paso

Además de mostrar las diferencias entre ambas técnicas, este capítulo pretende demostrar paso a paso el comportamiento del algoritmo de modulación que aparece en la Sección 2.2.3.1, el cual mantiene balanceada la tensión de los 4 diferentes condensadores del bloque superior del MMC de la Figura E.1, operado por la técnica NLC-clásica de la Figura E.2.

E.1.1. Periodo de encendido

E.1.1.1. En 2 ms

1. Encender un submódulo.
2. Sólo se mide la tensión de los SM apagados, en este caso todos.
3. Corriente positiva.
4. Se selecciona y enciende el SM_4 que presenta la menor tensión.
5. Esto propicia la elevación de la tensión.

E.1.1.2. En 4 ms

1. Encender un submódulo.
2. Se mide la tensión de los SM_1 , SM_2 , SM_3 .
3. Corriente positiva.
4. Se selecciona y enciende el SM_1 que presenta la menor tensión.
5. Con esto se incrementa la tensión del SM.

E.1.1.3. En 6 ms

1. Encender un submódulo.
2. Se mide la tensión de los SM_2 , SM_3 .
3. Corriente positiva.
4. Se selecciona y enciende el SM_2 que presenta la menor tensión.
5. Este SM eleva su nivel de tensión.

E.1.1.4. En 8 ms

1. Encender un submódulo.
2. Se mide la tensión de último SM que resta por encender.
3. Corriente positiva.
4. Enciende el SM_3 que es al única opción.
5. Para con ello encender todos los SM.

Producto de que la corriente cambie de signo alrededor de los 8 ms, todos los condensadores comienzan a disminuir su nivel de tensión.

E.1.2. Periodo de apagado

E.1.2.1. En 12 ms

1. Apagar un submódulo.
2. Sólo se mide la tensión de los SM encendidos, en este caso todos.
3. Corriente negativa.
4. Se selecciona y apaga el SM_1 que presenta la menor tensión.
5. Para evitar que se siga descargando.

E.1.2.2. En 14 ms

1. Apagar un submódulo.
2. Se mide la tensión de los SM_2 , SM_3 , SM_4 .
3. Corriente negativa.
4. Se selecciona y apaga el SM_3 que presenta la menor tensión.
5. Consiguiendo que no continúe descargándose.

E.1.2.3. En 16 ms

1. Apagar un submódulo.
2. Se mide la tensión de los SM_2 , SM_4 .
3. Corriente positiva.
4. Se selecciona y apaga el SM_4 que presenta la mayor tensión.
5. Esto evita que continúe elevándose la tensión de este SM.

E.1.2.4. En 18 ms

1. Apagar un submódulo.
2. Se mide la tensión de último SM que resta por encender.
3. Corriente positiva.
4. Apaga el SM_2 que es la única opción.
5. Para con ello apagar todos los SM. y su tensión no cambiará en este periodo.

Al estar todos los SM apagados, la tensión de los condensadores en cada SM permanece constante.

Este mismo algoritmo de selección se aplica en el ejemplo de la Figura E.3, sin embargo al realizar un mayor número de cambios de nivel por cada ciclo de la señal de salida, se consigue disminuir el rizo de tensión de los SM, así como la diferencia entre la máxima y mínima tensión de los SM. Cabe destacar que al aumentar lo suficiente la frecuencia de conmutación de los SM, el rizo de tensión disminuiría lo suficiente como para considerar que las tensiones en los C_0 son iguales y con ello lograr la condición de operación para eliminar los inductores de desacoplo; aun cuando estas son necesarias para afrontar casos de falla.

REFERENCIAS BIBLIOGRÁFICAS

- [1] S. Denetière, S. Nguefeu, H. Saad, and J. Mahseredjian, “Modeling of modular multilevel converters for the france-spain link,” in *Star*, vol. 2, pp. 4–10, 2013.
- [2] A. Schafer and A. Moser, “Dispatch optimization and economic evaluation of distributed generation in a virtual power plant,” in *Energytech, 2012 IEEE*, pp. 1–6, May 2012.
- [3] O. Ipinnimo, S. Chowdhury, and S. P. Chowdhury, “Mitigation of multiple voltage dips in a weak grid using wind and hydro-based distributed generation,” in *Transmission and Distribution Conference and Exposition (T D), 2012 IEEE PES*, pp. 1–9, May 2012.
- [4] A. Kano, Y. Shinohara, Y. Mitani, and Y. Qudaih, “Mega-solar power modification by using controllable distributed generation,” in *Power and Energy Engineering Conference (APPEEC), 2012 Asia-Pacific*, pp. 1–4, March 2012.
- [5] International Energy Agency, *World Energy Outlook 2017 Factsheet*, International Energy Agency, 2017.
- [6] I. E. Agency, *World Energy Outlook 2013, Chapter 6*, vol. 2017. International Energy Agency, November 2017.
- [7] *Reporte de Avance de Energías Limpias Primer Semestre 2017*. Secretatía de Energía, 2017.
- [8] *Prospectiva del Sector Eléctrico 2017-2031*. Secretatía de Energía, 2017.
- [9] *Prospectiva de Energías Renovables 2017-2031*. Secretatía de Energía, 2017.
- [10] J. A. Greatbanks, D. Popovic, M. Begovic, A. Pregelj, and T. Green, “On optimization for security and reliability of power systems with distributed generation,” in *Power Tech Conference Proceedings, 2003 IEEE Bologna*, vol. 1, pp. 8 pp. Vol.1–, June 2003.

- [11] H. Cui, “Optimal allocation of distributed generation in distributed network,” in *Power and Energy Engineering Conference (APPEEC), 2012 Asia-Pacific*, pp. 1–4, March 2012.
- [12] K. F. Krommydas, G. C. Konstantopoulos, M. K. Bourdoulis, and A. T. Alexandridis, “Distributed generation power system modeling in nonlinear hamiltonian form,” in *2012 IEEE International Conference on Industrial Technology*, pp. 217–223, March 2012.
- [13] I. E. Agency, *World Energy Outlook 2013, Chapter 6*, vol. 2013. International Energy Agency, November 2013.
- [14] D. Xu and A. A. Girgis, “Optimal load shedding strategy in power systems with distributed generation,” in *2001 IEEE Power Engineering Society Winter Meeting. Conference Proceedings (Cat. No.01CH37194)*, vol. 2, pp. 788–793, 2001.
- [15] L. HaoYang, G. ShaoYun, and L. Hong, “Analysis of the effect of distributed generation on power grid,” in *Power and Energy Engineering Conference (APPEEC), 2012 Asia-Pacific*, pp. 1–5, March 2012.
- [16] C. Jeraputra and P. Enjeti, “Development of a robust anti-islanding algorithm for utility interconnection of distributed fuel cell powered generation,” *Power Electronics, IEEE Transactions on*, vol. 19, pp. 1163–1170, Sept 2004.
- [17] D. V. Hertem, O. Gomis-Bellmunt, and J. Liang, *Comparison of HVAC and HVDC technologies*, pp. 528–. Wiley-IEEE Press, 2016.
- [18] S. Rohner, S. Bernet, M. Hiller, and R. Sommer, “Modulation, losses, and semiconductor requirements of modular multilevel converters,” *IEEE Transactions on Industrial Electronics*, vol. 57, pp. 2633–2642, Aug 2010.
- [19] M. Hagiwara and H. Akagi, “Control and experiment of pulsewidth-modulated modular multilevel converters,” *IEEE Transactions on Power Electronics*, vol. 24, pp. 1737–1746, July 2009.
- [20] U. N. Gnanarathna, A. M. Gole, and R. P. Jayasinghe, “Efficient modeling of modular multilevel hvdc converters (mmc) on electromagnetic transient simulation programs,” *IEEE Transactions on Power Delivery*, vol. 26, pp. 316–324, January 2011.

- [21] M. Saeedifard and R. Iravani, "Dynamic performance of a modular multilevel back-to-back hvdc system," *IEEE Power and Energy Society General Meeting*, pp. 1–1, July 2011.
- [22] A. Nami, J. Liang, F. Dijkhuizen, and G. D. Demetriades, "Modular multilevel converters for hvdc applications: Review on converter cells and functionalities," *IEEE Transactions on Power Electronics*, vol. 30, pp. 18–36, January 2015.
- [23] S. Allebrod, R. Hamerski, and R. Marquardt, "New transformerless, scalable modular multilevel converters for hvdc-transmission," in *2008 IEEE Power Electronics Specialists Conference*, pp. 174–179, June 2008.
- [24] C. Oates, "Modular multilevel converter design for vsc hvdc applications," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 3, pp. 505–515, June 2015.
- [25] J. Kolb, F. Kammerer, and M. Braun, "Dimensioning and design of a modular multilevel converter for drive applications," in *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, pp. LS1a-1.1-1–LS1a-1.1-8, Sept 2012.
- [26] Q. Tu, Z. Xu, H. Huang, and J. Zhang, "Parameter design principle of the arm inductor in modular multilevel converter based hvdc," in *Power System Technology (POWERCON), 2010 International Conference on*, pp. 1–6, Oct 2010.
- [27] M. A. Perez, S. Bernet, J. Rodriguez, S. Kouro, and R. Lizana, "Circuit topologies, modeling, control schemes, and applications of modular multilevel converters," *IEEE Transactions on Power Electronics*, vol. 30, pp. 4–17, January 2015.
- [28] V. Najmi, M. Nazir, and R. Burgos, "A new modeling approach for modular multilevel converter (mmc) in d-q frame," in *Applied Power Electronics Conference and Exposition (APEC), 2015 IEEE*, pp. 2710–2717, March 2015.
- [29] J. Wang, E. Farr, R. Burgos, D. Boroyevich, R. Feldman, A. Watson, J. Clare, and P. Wheeler, "State-space switching model of modular multilevel converters," in *Control and Modeling for Power Electronics (COMPEL), 2013 IEEE 14th Workshop on*, pp. 1–10, June 2013.
- [30] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, pp. 28–39, June 2008.

- [31] P. M. Meshram and V. B. Borghate, “A simplified nearest level control (nlc) voltage balancing method for modular multilevel converter (mmc),” *IEEE Transactions on Power Electronics*, vol. 30, pp. 450–462, Jan 2015.
- [32] G. S. Konstantinou and V. G. Agelidis, “Performance evaluation of half-bridge cascaded multilevel converters operated with multicarrier sinusoidal pwm techniques,” in *2009 4th IEEE Conference on Industrial Electronics and Applications*, pp. 3399–3404, May 2009.
- [33] Y. Zhang, X. Gui, M. Yang, and D. Xu, “Comparison of direct current control and direct power control using svpmw modulation,” in *Fourth International Conference on Instrumentation and Measurement, Computer, Communication and Control (IMCCC)*, pp. 936–940, Sept 2014.
- [34] J. Qin and M. Saeedifard, “Predictive control of a modular multilevel converter for a back-to-back hvdc system,” *Power Delivery, IEEE Transactions on*, vol. 27, pp. 1538–1547, July 2012.
- [35] J. W. Moon, J. S. Gwon, J. W. Park, D. W. Kang, and J. M. Kim, “Model predictive control with a reduced number of considered states in a modular multilevel converter for hvdc system,” *IEEE Transactions on Power Delivery*, vol. 30, pp. 608–617, April 2015.
- [36] P. Liu, Y. Wang, W. Cong, and W. Lei, “Grouping-sorting-optimized model predictive control for modular multilevel converter with reduced computational load,” *IEEE Transactions on Power Electronics*, vol. 31, pp. 1896–1907, March 2016.
- [37] Z. Gong, P. Dai, X. Yuan, X. Wu, and G. Guo, “Design and experimental evaluation of fast model predictive control for modular multilevel converters,” *IEEE Transactions on Industrial Electronics*, vol. 63, pp. 3845–3856, June 2016.
- [38] J. Xu, C. Zhao, W. Liu, and C. Guo, “Accelerated model of modular multilevel converters in pscad/emt dc,” *IEEE Transactions on Power Delivery*, vol. 28, pp. 129–136, Jan 2013.
- [39] H. Saad, T. Ould-Bachir, J. Mahseredjian, C. Dufour, S. Dennetière, and S. Nguefeu, “Real-time simulation of mmcs using cpu and fpga,” *IEEE Transactions on Power Electronics*, vol. 30, pp. 259–267, Jan 2015.

- [40] N. Flourentzou, V. G. Agelidis, and G. D. Demetriades, “Vsc-based hvdc power transmission systems: An overview,” *IEEE Transactions on Power Electronics*, vol. 24, pp. 592–602, March 2009.
- [41] A. Persson and L. Carlsson, “New technologies in hvdc converter design,” in *Sixth International Conference on AC and DC Power Transmission*, pp. 387–392, April 1996.
- [42] R. E. Torres-Olguin, A. Garces, M. Molinas, and T. Undeland, “Integration of offshore wind farm using a hybrid hvdc transmission composed by pwm current-source converter and line-commutated converter,” in *2012 Asia-Pacific Power and Energy Engineering Conference*, pp. 1–4, March 2012.
- [43] Q. Zeng and L. Chang, “An advanced svpwm-based predictive current controller for three-phase inverters in distributed generation systems,” *Industrial Electronics, IEEE Transactions on*, vol. 55, pp. 1235–1246, March 2008.
- [44] Y. Cheng, “Smart micro-grids enable seamless interconnection and disconnection for high reliability and flexibility in distributed power generation,” in *International Symposium on Power Electronics Power Electronics, Electrical Drives, Automation and Motion*, pp. 164–169, June 2012.
- [45] M. Guan and Z. Xu, “Modeling and control of a modular multilevel converter-based hvdc system under unbalanced grid conditions,” *Power Electronics, IEEE Transactions on*, vol. 27, pp. 4858–4867, December 2012.
- [46] A. Nabae, I. Takahashi, and H. Akagi, “A new neutral-point-clamped pwm inverter,” *IEEE Transactions on Industry Applications*, vol. IA-17, pp. 518–523, September 1981.
- [47] J. Rodriguez, J.-S. Lai, and F. Z. Peng, “Multilevel inverters: a survey of topologies, controls, and applications,” *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 724–738, August 2002.
- [48] J. Rodriguez, L. Franquelo, S. Kouro, J. Leon, R. Portillo, M. Prats, and M. Perez, “Multilevel converters: An enabling technology for high-power applications,” *Proceedings of the IEEE*, vol. 97, pp. 1786–1817, November 2009.
- [49] H. Akagi, “Classification, terminology, and application of the modular multilevel cascade converter (mmcc),” *IEEE Transactions on Power Electronics*, vol. 26, pp. 3119–3130, November 2011.

- [50] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, B. Wu, J. Rodriguez, M. A. Perez, and J. I. Leon, "Recent advances and industrial applications of multilevel converters," *IEEE Transactions on Industrial Electronics*, vol. 57, pp. 2553–2580, August 2010.
- [51] M. Malinowski, K. Gopakumar, J. Rodriguez, and M. A. Perez, "A survey on cascaded multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, pp. 2197–2206, July 2010.
- [52] Z. Li, P. Wang, H. Zhu, Z. Chu, and Y. Li, "An improved pulse width modulation method for chopper-cell-based modular multilevel converters," *IEEE Transactions on Power Electronics*, vol. 27, pp. 3472–3481, August 2012.
- [53] Q. Tu and Z. Xu, "Impact of sampling frequency on harmonic distortion for modular multilevel converter," *IEEE Transactions on Power Delivery*, vol. 26, pp. 298–306, January 2011.
- [54] M. A. Perez, E. Fuentes, and J. Rodriguez, "Predictive current control of ac-ac modular multilevel converters," *Industrial Technology (ICIT), 2010 IEEE International Conference on*, pp. 1289–1294, March 2010.
- [55] A. Lesnicar and R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power range," in *IEEE Bologna Power Tech Conference Proceedings*, vol. 3, pp. 6 pp. Vol.3–, June 2003.
- [56] B. Jacobson, P. Karlsson, G. Asplund, L. Harnefors, and T. Jonsson, "Vsc-hvdc transmission with cascaded two-level converters," in *Cigré session*, pp. B4–B110, 2010.
- [57] M. Barnes and A. Beddard, "Voltage source converter hvdc links - the state of the art and issues going forward," *Energy Procedia*, vol. 24, no. Supplement C, pp. 108 – 122, 2012. Selected papers from Deep Sea Offshore Wind Ramp; D Conference, Trondheim, Norway, 19-20 January 2012.
- [58] H. P. Mohammadi and M. T. Bina, "A transformerless medium-voltage statcom topology based on extended modular multilevel converters," *Power Electronics, IEEE Transactions on*, vol. 26, pp. 1534–1545, May 2011.
- [59] S. Debnath, J. Qin, B. Bahrani, M. Saeedifard, and P. Barbosa, "Operation, control, and applications of the modular multilevel converter: A review," *IEEE Transactions on Power Electronics*, vol. 30, pp. 37–53, Jan 2015.

- [60] D. H. R. Suriyaarachchi, C. Karawita, and M. Mohaddes, “Applicability of full-bridge and half-bridge mmc for tapping lcc hvdc,” in *13th IET International Conference on AC and DC Power Transmission (ACDC 2017)*, pp. 1–6, Feb 2017.
- [61] J. Mei, B. Xiao, K. Shen, L. M. Tolbert, and J. Y. Zheng, “Modular multilevel inverter with new modulation method and its application to photovoltaic grid-connected generator,” *IEEE Transactions on Power Electronics*, vol. 28, pp. 5063–5073, November 2013.
- [62] J. Peralta, H. Saad, S. Denetiere, J. Mahseredjian, and S. Nguefeu, “Detailed and averaged models for a 401-level mmc-hvdc system,” *Power and Energy Society General Meeting (PES), 2013 IEEE*, pp. 1–1, July 2013.
- [63] W. Li and J. Bélanger, “An equivalent circuit method for modelling and simulation of modular multilevel converters in real-time hil test bench,” *IEEE Transactions on Power Delivery*, vol. 31, pp. pp. 2401–2409, Oct 2016.
- [64] K. Ou, H. Rao, Z. Cai, H. Guo, X. Lin, L. Guan, T. Maguire, B. Warkentin, and Y. Chen, “Mmc-hvdc simulation and testing based on real-time digital simulator and physical control system,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 2, pp. 1109–1116, Dec 2014.
- [65] C. Wang, W. Li, and J. Belanger, “Real-time and faster-than-real-time simulation of modular multilevel converters using standard multi-core cpu and fpga chips,” in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, pp. 5405–5411, Nov 2013.
- [66] A. Asociación de Normalización y Certificación, *Norma Mexicana ANCE Sistemas Eléctricos - Tensiones Eléctricas Normalizada*. ANCE, 2014.
- [67] I. González-Torres, H. Miranda, C. Méndez-Barrios, J. Espinoza, M. I. González, and M. Pérez, “Dynamic matrix predictive control on dc-ac modular multilevel converter: Design, control and real-time simulation,” in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 4552–4559, Oct 2017.
- [68] Q. Tu, Z. Xu, and L. Xu, “Reduced switching-frequency modulation and circulating current suppression for modular multilevel converters,” *Transmission and Distribution Conference and Exposition (T&D), 2012 IEEE PES*, pp. 1–1, May 2012.

- [69] A. Hillers and J. Biela, “Optimal design of the modular multilevel converter for an energy storage system based on split batteries,” in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pp. 1–11, Sept 2013.
- [70] K. Ilves, S. Norrga, L. Harnefors, and H.-P. Nee, “On energy storage requirements in modular multilevel converters,” *Power Electronics, IEEE Transactions on*, vol. 29, pp. 77–88, Jan 2014.
- [71] L. Cunico, G. Lambert, R. Dacol, S. Vidal Garcia Oliveira, and Y. De Novaes, “Parameters design for modular multilevel converter (mmc),” in *Power Electronics Conference (COBEP), 2013 Brazilian*, pp. 264–270, Oct 2013.
- [72] W. Li, “Real-time simulation of cdsm modular multilevel converter for hil test applications,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, pp. 2372–2377, Oct 2016.
- [73] Z. Du, L. M. Tolbert, J. N. Chiasson, and B. Ozpineci, “Reduced switching-frequency active harmonic elimination for multilevel converters,” *IEEE Transactions on Industrial Electronics*, vol. 55, pp. 1761–1770, April 2008.
- [74] D. G. Holmes and T. A. Lipo, *Pulse width modulation for power converters: principles and practice*, vol. 18. John Wiley and Sons, 1 ed., 2003.
- [75] G. Konstantinou, M. Ciobotaru, and V. Agelidis, “Selective harmonic elimination pulse-width modulation of modular multilevel converters,” *IET Power Electronics*, vol. 6, pp. 96–107, Jan 2013.
- [76] J. Rodriguez, J. Pontt, P. Correa, P. Cortes, and C. Silva, “A new modulation method to reduce common-mode voltages in multilevel inverters,” *IEEE Transactions on Industrial Electronics*, vol. 51, pp. 834–839, Aug 2004.
- [77] J. Rodriguez, L. Moran, P. Correa, and C. Silva, “A vector control technique for medium-voltage multilevel inverters,” *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 882–888, Aug 2002.
- [78] T. M. Blooming and D. J. Carnovale, “Application of ieeec 519-1992 harmonic limits,” in *Conference Record of 2006 Annual Pulp and Paper Industry Technical Conference*, pp. 1–9, June 2006.
- [79] G. T. Son, H.-J. Lee, T. S. Nam, Y.-H. Chung, U.-H. Lee, S.-T. Baek, K. Hur, and J.-W. Park, “Design and control of a modular multilevel hvdc converter with

- redundant power modules for noninterruptible energy transfer,” *IEEE Transactions on Power Delivery*, vol. 27, pp. 1611–1619, July 2012.
- [80] F. Zhang, W. Li, and G. Joós, “A voltage-level-based model predictive control of modular multilevel converter,” *IEEE Transactions on Industrial Electronics*, vol. 63, pp. 5301–5312, Aug 2016.
- [81] Y. Li, E. A. Jones, and F. Wang, “Analysis of the relationship between switching frequency and sub-module capacitor unbalanced voltage for a modular multilevel converter,” in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, pp. 220–224, March 2014.
- [82] G. Carrara, S. Gardella, M. Marchesoni, R. Salutari, and G. Sciutto, “A new multilevel pwm method: a theoretical analysis,” *IEEE Transactions on Power Electronics*, vol. 7, pp. 497–505, July 1992.
- [83] L. Ängquist, A. Antonopoulos, D. Siemaszko, K. Ilves, M. Vasiladiotis, and H. P. Nee, “Inner control of modular multilevel converters - an approach using open-loop estimation of stored energy,” in *The 2010 International Power Electronics Conference - ECCE ASIA -*, pp. 1579–1585, June 2010.
- [84] X. Shi, Z. Wang, L. M. Tolbert, and F. Wang, “Modular multilevel converters with integrated arm inductors for high quality current waveforms,” in *2013 IEEE ECCE Asia Downunder*, pp. 636–642, June 2013.
- [85] Z. Yan, H. Xue-hao, T. Guang-fu, and H. Zhi-yuan, “A study on mmc model and its current control strategies,” in *The 2nd International Symposium on Power Electronics for Distributed Generation Systems*, pp. 259–264, June 2010.
- [86] D. Jovicic and A. A. Jamshidifar, “Mmc converter detailed phasor model including second harmonic,” in *IEEE PES Innovative Smart Grid Technologies, Europe*, pp. 1–5, Oct 2014.
- [87] J.-H. Kim, Y.-S. Lee, and B. moon Han, “New pre-charging scheme for mmc-based back-to-back hvdc system operated in nearest level control,” in *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEEC 2017 - ECCE Asia)*, pp. 1445–1450, June 2017.
- [88] K. Li and C. Zhao, “New technologies of modular multilevel converter for vsc-hvdc application,” in *2010 Asia-Pacific Power and Energy Engineering Conference*, pp. 1–4, March 2010.

- [89] J. Rohten, P. Melín, J. Espinoza, F. Villarroel, J. Silva, M. Rivera, and J. Muñoz, “Discrete resonant control for wide frequency range operation of power converters,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, pp. 7022–7027, Oct 2016.
- [90] H. Akagi, A. Nabae, and S. Atoh, “Control strategy of active power filters using multiple voltage-source pwm converters,” *IEEE Transactions on Industry Applications*, vol. IA-22, pp. 460–465, May 1986.
- [91] I. G. Torres, H. Miranda, V. Cardenas, and R. A. Salas, “Gain scheduling scheme assisting the control strategy for three-level npc vsc-hvdc transmission system,” in *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, pp. 4635–4641, Oct 2014.
- [92] B. S. Chen and G. Joós, “Direct power control of active filters with averaged switching frequency regulation,” *IEEE Transactions on Power Electronics*, vol. 23, pp. 2729–2737, November 2008.
- [93] K. Ogata, *Ingeniería de control moderna*. Pearson Educación, 3 ed., 2003.
- [94] H. Khalil, *Nonlinear Systems*. Prentice Hall PTR, 2002.
- [95] M. Vatani, B. Bahrani, M. Saeedifard, and M. Hovd, “Indirect finite control set model predictive control of modular multilevel converters,” *IEEE Transactions on Smart Grid*, vol. 6, pp. 1520–1529, May 2015.
- [96] A. Dekka, B. Wu, and N. R. Zargari, “An improved indirect model predictive control approach for modular multilevel converter,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, pp. 5959–5964, Oct 2016.
- [97] J. Richalet, A. Rault, J. L. Testud, and J. Papon, “Paper: Model predictive heuristic control,” *Automatica*, vol. 14, pp. 413–428, Sept. 1978.
- [98] E. Camacho and C. Alba, *Model Predictive Control*. Advanced Textbooks in Control and Signal Processing, Springer, 2013.
- [99] P. CM2500DY-24S, *Dual Half-Bridge IGBT HVIGBT Series Module 2500 Amperes/1200 Volts Dual Half-Bridge IGBT, HVIGBT Series Module, 2500 Amperes 1200 Volts*.
- [100] D. Clarke, C. Mohtadi, and P. Tuffs, “Generalized predictive control—part i. the basic algorithm,” *Automatica*, vol. 23, no. 2, pp. 137 – 148, 1987.

- [101] D. Clarke, C. Mohtadi, and P. Tuffs, “Generalized predictive control—part ii extensions and interpretations,” *Automatica*, vol. 23, no. 2, pp. 149 – 160, 1987.
- [102] C. Gombert, S. Bacha, D. Roye, Y. Besanger, R. Chareille, and F. Blache, “Test of pwm power electronics devices for electricity network using digital real-time simulator,” in *CIREN 2005 - 18th International Conference and Exhibition on Electricity Distribution*, pp. 1–5, June 2005.
- [103] A. Bhat, N. Langer, T. Hussain, and P. Agarwal, “Synthesis and performance investigation of a digitally controlled three-phase neutral-point clamped bidirectional rectifier,” *Power Electronics, IET*, vol. 5, pp. 1397–1407, September 2012.
- [104] S. Denetière, H. Saad, B. Clerc, and J. Mahseredjian, “Setup and performances of the real-time simulation platform connected to the inelco control system,” *Electric Power Systems Research*, vol. 138, no. Supplement C, pp. 180 – 187, 2016. Special Issue: Papers from the 11th International Conference on Power Systems Transients (IPST).
- [105] OPAL-RT, “Features of op5600 real-time simulator,” Marzo 2018.
- [106] C.-K. Kim, V. K. Sood, G.-S. Jang, S.-J. Lim, and S.-J. Lee, *HVDC transmission: power conversion applications in power systems*. John Wiley & Sons, 2009.
- [107] R. Razani, M. H. Ravanji, and M. Parniani, “A modified indirect model predictive control for modular multilevel converters,” in *2017 Iranian Conference on Electrical Engineering (ICEE)*, pp. 1366–1371, May 2017.
- [108] S. Li, T. A. Haskew, and L. Xu, “Control of hvdc light system using conventional and direct current vector control approaches,” *IEEE Transactions on Power Electronics*, vol. 25, pp. 3106–3118, Dec 2010.

