



Universidad Autónoma de San Luis Potosí
Facultad de Ingeniería
Centro de Investigación y Estudios de Posgrado

Implementación de una Microrred en un Simulador en Tiempo Real

TESIS

Que para obtener el grado de:

Maestro en Ingeniería Eléctrica

Presenta:

Diego Mauricio Gómez Cabriaes

Asesor:

Dr. Juan Segundo Ramírez

Coasesora:

Dra. Nancy Visairo Cruz

17 de julio de 2025

**ING. DIEGO MAURICIO GÓMEZ CABRIALES
P R E S E N T E.**

En atención a su solicitud de Temario, presentada por el **Dr. Juan Segundo Ramírez**, Asesor de la Tesis que desarrollará Usted, con el objeto de obtener el Grado de **Maestro en Ingeniería Eléctrica**. Me es grato comunicarle que en la sesión del H. Consejo Técnico Consultivo celebrada el día 17 de julio del presente, fue aprobado el Temario propuesto:

TEMARIO:

"Implementación de una Microrred en un Simulador en Tiempo Real"

Introducción

1. Microrredes Eléctricas y Simulación en Tiempo Real
2. Modelado y Control de la Microrred de Estudio
3. Implementación de la Microrred en el Simulador en Tiempo Real
4. Resultados

Conclusiones

Referencias

"MODOS ET CUNCTARUM RERUM MENSURAS AUDEBO"

A T E N T A M E N T E


DR. EMILIO JORGE GONZÁLEZ GALVÁN
DIRECTOR



www.uaslp.mx

Ccp. Archivo
-bvlg

Av. Manuel Nava 8
Zona Universitaria • CP 78290
San Luis Potosí, S.L.P.
tel. (444) 826 2330 al39
fax (444) 826 2336

"1945-2025: 80 años formando profesionales de la Ingeniería en beneficio de la sociedad"



UASLP
Universidad Autónoma
de San Luis Potosí



FACULTAD DE
INGENIERÍA



CENTRO DE
**INVESTIGACIÓN
Y ESTUDIOS
DE POSGRADO**

UNIVERSIDAD AUTÓNOMA DE SAN LUIS POTOSÍ
FACULTAD DE INGENIERÍA
Área de Investigación y Estudios de Posgrado

DECLARACIÓN

El presente trabajo que lleva por título:

Implementación de una Microrred en un Simulador en Tiempo Real

se realizó en el periodo septiembre de 2023 a enero de 2026 bajo la dirección del Dr. Juan Segundo Ramírez y de la Dra. Nancy Visairo Cruz como coasesora.

Originalidad

Por este medio aseguro que he realizado el trabajo reportado, y la escritura de este documento de tesis para fines académicos sin ayuda indebida de terceros y sin utilizar otros medios más que los indicados.

Las referencias e información tomadas directa o indirectamente de otras fuentes se han definido en el texto como tales y se ha dado el debido crédito a las mismas.

El autor exime a la UASLP de las opiniones vertidas en este trabajo escrito y asume la responsabilidad total del mismo.

Este trabajo no ha sido sometido como tesis o trabajo terminal a ninguna otra institución nacional o internacional en forma parcial o total, exceptuando el caso cuando existe un convenio específico de doble titulación celebrado entre ambas instituciones.

Se autoriza a la UASLP para que divulgue este documento para fines académicos.

El autor del trabajo escrito, Diego Mauricio Gómez Cabriaes.

Este trabajo fue apoyado por la Secretaría de Ciencia, Humanidades, Tecnología e Innovación (SECIHTI), a través de la beca de maestría No. 4002469 y del proyecto CF-2019/1311344.

Agradecimientos

En primer término, quiero agradecer al Dr. Juan Segundo Ramírez, quien ha sido un guía en el desarrollo de esta tesis. Más aún de su mentoría, me ha brindado inspiración y apoyo emocional con cada consejo y cada historia emocionante.

Agradeciendo también a la Dra. Nancy Visairo Cruz por su valiosa colaboración, y cuyos acertados comentarios y aportes han servido de manera fundamental en esta tesis.

Agradeciendo con gran gratitud al Dr. Yuniel León Ruíz por todo el conocimiento compartido y la experiencia que me ha suministrado el trabajar junto a él.

Sumando agradecimientos al Dr. Ciro Núñez Gutiérrez por el apoyo y confianza hacia mi trabajo, para así explorar nuevos horizontes y alcanzar nuevas metas.

También agradezco a todo el personal docente del programa por enriquecer mi conocimiento y ampliar mi perspectiva en esta área del conocimiento.

A la Secretaría de Ciencia, Humanidades, Tecnología e Innovación (SECIHTI) por la beca 4002469 y al proyecto CF-2019/1311344 por los apoyos financieros brindados.

Con todo mi agradecimiento a mi madre, Luz Elena, por ser mi fuente de motivación y todo el amor incondicional que me ha mostrado en esos pequeños actos cotidianos que merecen ser vividos.

A mis tías Adriana y María G., que merecen un agradecimiento infinito por todo el apoyo y fe que me han brindado durante toda mi vida, su compañía es el motor para alcanzar mis sueños.

Agradeciendo mucho a mi mascota Calvin quien me anima en días difíciles y me entrega calma con sus cálidas bienvenidas.

Gracias a mis sobrinos Bárbara y Elías por ser la principal razón de querer causar motivación en los demás.

A mis abuelos por su apoyo en mi crianza y por brindarme enseñanzas y lecciones que me han servido para construir mi camino.

A mi hermana Daniela, tíos y toda mi familia por creer en mí, celebrar mis logros y darme fuerzas a través de palabras aliento.

Muchas de las experiencias que he recorrido para llegar a este punto de mi vida vienen en compañía de grandes amistades, por lo que quiero agradecer a Arturo J. por ser mi mejor amistad a lo largo de estos años.

También dando un especial agradecimiento a L. Casey por su apoyo y por compartir su conocimiento conmigo, pero sobre todo, por su gran amistad.

Un enorme agradecimiento a Selma, por todos esos momentos especiales que he pasado a su lado, convirtiéndola en una persona muy especial en mi vida.

Agradeciendo la oportunidad de conocer a valiosas personas como L. Mariana, F. Quiroz, M. Toro, Saúl y Julio.

Agradecido con Fernanda J. por brindarme siempre una perspectiva positiva. Su presencia se convirtió en una fuente de equilibrio y motivación para la culminación de esta tesis.

En especial quiero agradecer a Dios y a la vida por permitirme presenciar esta etapa de nuevas experiencias y nuevas metas, acompañado de personas excepcionales.

Resumen

En el campo de la Ingeniería Eléctrica, las microrredes han surgido como una alternativa factible hacia la transición energética, donde la integración de fuentes renovables es cada vez mayor. Esta evolución ofrece beneficios ambientales y económicos, pero también plantea retos en operación y control. Para afrontarlos, la simulación en tiempo real se presenta como una herramienta clave que permite evaluar estrategias y dispositivos en condiciones seguras y cercanas a la práctica.

Adicionalmente a las simulaciones fuera de línea, las cuales permiten estudiar y analizar el comportamiento de una Microrred (MR) únicamente a nivel de modelos matemáticos, generalmente limitados solo a la teoría de circuitos, y de las pruebas en prototipos físicos, que suelen ser costosas, lentas y con riesgos operativos, y que además no representan al equipo físico real (con todos sus detalles de producción e imperfecciones) la simulación en tiempo real ofrece un punto intermedio ideal al permitir la validación de estrategias de control y dispositivos bajo condiciones representativas de la operación real. En particular, las técnicas de Hardware-in-the-Loop (HIL), como Controller-HIL (CHIL) y Power-HIL (PHIL), permiten integrar el modelo digital ejecutado en tiempo real con controladores digitales/analógicos o convertidores físicos, reproduciendo efectos reales como retardos, no linealidades, fenómenos electromagnéticos propios del hardware, e imperfecciones o errores de los dispositivos bajo estudio, entre otros detalles y fenómenos. Gracias a esto, es posible analizar con mayor confianza el comportamiento dinámico del sistema antes de implementarlo, reducir riesgos durante la puesta en marcha y facilitar una integración más segura y eficiente de microrredes basadas en electrónica de potencia.

Es por lo que esta tesis comprende la implementación de una MR en un entorno de simulación en tiempo real utilizando un simulador OP4510 de la compañía OPAL-RT. Esto tiene como objetivo evaluar estrategias de control digital en microrredes fotovoltaicas y analizar el desempeño de los convertidores de electrónica de potencia bajo condiciones cercanas a la operación práctica. El trabajo plantea un esquema *Controller Hardware In the Loop* (CHIL), en el cual se utilizó una tarjeta controladora CP1104 de la compañía dSPACE; también, un esquema *Power Hardware In the Loop* (PHIL), donde se usaron módulos Imperix PEB8024 para formar inversores trifásicos.

Los experimentos realizados en esta tesis han permitido validar el comportamiento dinámico de la MR y la eficacia de las estrategias de control, y se ha mostrado la capacidad que tiene este tipo de tecnología para el análisis y optimización de sistemas eléctricos en condiciones cercanas a la operación real.

Asimismo, la tesis incluye un capítulo donde se documenta de manera detallada el proceso de implementación de los escenarios CHIL y PHIL, con el propósito de facilitar su reproducción por otros usuarios. Aunque las plataformas empleadas son equipos comerciales, la información disponible sobre su configuración, sincronización y puesta en marcha es vasta, pero no cubre las particularidades necesarias para aplicaciones específi-

cas. Esto genera una curva de aprendizaje considerablemente larga, ya que la operación de entornos HIL constituye una actividad de alta especialización técnica y científica. Por estas razones, el Capítulo 3 presenta una guía técnica estructurada que describe cada una de las etapas del proceso, lo cual no solo apoya futuros trabajos en simulación en tiempo real para microrredes, sino que atiende a la necesidad de reproducibilidad que exige el método científico, permitiendo que otros investigadores puedan replicar, validar y extender los resultados obtenidos en esta tesis.

Abstract

In the field of electrical engineering, microgrids have emerged as a viable alternative for the energy transition, where the integration of renewable sources is increasing. This evolution offers environmental and economic benefits, but also poses challenges in operation and control. To address these challenges, real-time simulation is a key tool that allows strategies and devices to be evaluated in safe conditions that are close to real-world scenarios.

In addition to offline simulations, which allow studying and analyzing the behavior of a microgrid solely at the level of mathematical models, generally limited to circuit-theory representations, and physical prototype testing, which tends to be costly, slow, and operationally risky, and furthermore does not fully represent actual physical equipment (with all its manufacturing details and imperfections), real-time simulation offers an ideal intermediate approach by enabling the validation of control strategies and devices under conditions that closely resemble real-world operation. In particular, Hardware-in-the-Loop (HIL) techniques, such as Controller-HIL (CHIL) and Power-HIL (PHIL), allow for the integration of the digital model executed in real time with digital/analog controllers or physical power converters, reproducing real effects such as delays, nonlinearities, electromagnetic phenomena inherent to hardware, and imperfections or errors in the devices under study, among other phenomena and practical details. Thanks to this, it becomes possible to analyze the dynamic behavior of the system with greater confidence before implementation, reduce risks during commissioning, and facilitate a safer and more efficient integration of microgrids based on power electronics.

Therefore, this thesis covers the implementation of a microgrid within a real-time simulation environment using an OP4510 simulator from OPAL-RT. The aim of this study is to evaluate digital control strategies in photovoltaic microgrids and analyze the performance of power electronics converters under conditions close to practical operation. The work proposes a Controller Hardware In the Loop scheme, in which a CP1104 controller card from dSPACE was employed, as well as a Power Hardware In the Loop scheme, where Imperix PEB8024 modules were used to form three-phase inverters.

These experiments have validated the dynamic behavior of the microgrid and the effectiveness of the control strategies, as well as demonstrated the capacity of this type of

technology for the analysis and optimization of electrical systems under conditions close to real operation.

Likewise, the thesis includes a chapter that documents in detail the implementation process of the CHIL and PHIL scenarios, with the aim of facilitating their reproduction by other users. Although the platforms employed are commercial equipment, the information available regarding their configuration, synchronization, and commissioning is extensive, yet it does not cover the specific details required for specialized applications. This results in a considerably steep learning curve, as operating HIL environments is an activity that demands a high level of technical and scientific expertise. For these reasons, Chapter 3 provides a structured technical guide that describes each stage of the process, which not only supports future work in real-time simulation for microgrids but also fulfills the need for reproducibility required by the scientific method, enabling other researchers to replicate, validate, and extend the results obtained in this thesis.

Índice general

RESUMEN	I
INTRODUCCIÓN	1
1. MICRORREDES ELÉCTRICAS Y SIMULACIÓN EN TIEMPO REAL	9
1.1. Clasificación y topologías de microrredes	10
1.2. Tipos de simulación en tiempo real	12
2. MODELADO Y CONTROL DE LA MICRORRED DE ESTUDIO	16
2.1. Modelo en el tiempo	20
2.1.1. Convertidor elevador	20
2.1.2. Inversor trifásico y filtro LCL	21
2.1.3. Transformador Delta-Estrella	21
2.2. Modelo en el dominio armónico extendido	22
2.3. Estrategia de control <i>Grid-Following</i>	25
2.3.1. Sintonización de controladores Proporcional-Integral	28
2.4. Implementación de control discreto <i>Grid-Following</i> en dSPACE	30
3. IMPLEMENTACIÓN DE LA MICRORRED EN EL SIMULADOR EN TIEMPO REAL	39
3.1. <i>Controller Hardware In the Loop</i>	39
3.1.1. Implementación del modelo en Simulink	43
3.1.2. Configuraciones en RT-LAB	51
3.2. <i>Power Hardware In the Loop</i>	59
3.2.1. Implementación del modelo en Simulink	62
3.2.2. Configuraciones en RT-LAB	71
3.3. Extracción en línea de las componentes de secuencia fundamental	74
4. RESULTADOS	77
4.1. Escenarios y condiciones en esquema CHIL	77
4.2. Escenarios y condiciones en esquema PHIL	81
CONCLUSIONES	87
REFERENCIAS	94

Índice de figuras

1.1. Clasificación de las microrredes por naturaleza del voltaje de operación, donde: a) microrred de CA, b) microrred de CD, c) microrred de CD y CA.	10
1.2. Estructura típica de una microrred de CA interconectada a la red.	11
1.3. Esquema de simulación <i>Model In the Loop</i> .	13
1.4. Esquema de simulación <i>Rapid Control Prototyping</i> .	13
1.5. Esquema de simulación <i>Hardware in The Loop</i> .	14
1.6. Esquema de simulación <i>Power Hardware in The Loop</i> .	14
2.1. Esquema de microrred fotovoltaica bajo estudio.	16
2.2. Modelo del diodo único para una celda fotovoltaica.	17
2.3. Curva potencia-voltaje del panel fotovoltaico.	17
2.4. Control jerárquico en microrredes.	18
2.5. Algoritmo perturba y observa para el seguimiento de la máxima potencia en un panel fotovoltaico.	19
2.6. Circuito equivalente en lazo abierto de la rama 1 de la microrred de estudio.	20
2.7. Comparación de la respuesta del sistema en lazo abierto entre los distintos enfoques de modelado.	24
2.8. Estructura de control <i>Grid-Following</i> en tiempo continuo.	25
2.9. Estructura de control <i>Grid-Following</i> para el inversor 2	27
2.10. Controlador PI discreto con etapa <i>Anti-WindUp</i> .	30
2.11. Plantilla predefinida <i>RTI1104</i> .	30
2.12. Librería RTI1104 de dSPACE.	31
2.13. Sección DS1104 MASTER PPC de la librería RTI1104.	31
2.14. Bloque MUX ADC de dSPACE para los canales 1 a 4.	32
2.15. Bloque ADC de dSPACE para los canales 5 a 8.	32
2.16. Sección DS1104 SLAVE DSP de la librería RTI1104.	33
2.17. Bloque PWM3 de dSPACE para generar pulsos PWM.	33
2.18. Modelo en Simulink para recibir señales por el convertidor analógico a digital de la tarjeta CP1104.	34
2.19. Modelo en Simulink para implementar la estrategia de control en la tarjeta CP1104.	34

2.20. Modelo del bloque del controlador Proporcional-Integral (PI) en tiempo discreto para la implementación en la tarjeta CP1104.	35
2.21. Modelo en Simulink para generar los pulsos PWM.	35
2.22. Parámetros de configuración del modelo en Simulink para dSPACE.	36
2.23. Directorio de MATLAB en la pantalla principal.	36
2.24. Pantalla para crear un proyecto en ControlDesk.	37
2.25. Pantalla para crear un experimento en ControlDesk.	37
2.26. Pantalla para crear un proyecto en ControlDesk.	38
2.27. Variables declaradas en el modelo de Simulink.	38
3.1. Estructura de simulación CHIL implementada.	40
3.2. Vista trasera del simulador OP4510.	40
3.3. Numeración de pines del puerto DB37 en el simulador OP4510.	41
3.4. Panel frontal de la tarjeta CP1104.	41
3.5. Numeración de pines del puerto DB37 de la tarjeta dSPACE CP1104.	42
3.6. Módulo para conexiones con puerto DB37.	42
3.7. Extensor con terminación BNC tipo macho.	43
3.8. Modelo en lazo abierto para una simulación fuera de línea.	43
3.9. Librería RT-LAB en Simulink para el enlace con el simulador OP4510.	44
3.10. Subsistema para el núcleo principal del simulador en tiempo real.	44
3.11. Subsistemas para el simulador en tiempo real.	45
3.12. Ventana de parámetros del bloque <i>OpComm</i>	45
3.13. Conexión de bloque <i>OpComm</i> para el subsistema <i>SM_Computation</i>	46
3.14. Conexión de bloque <i>OpComm</i> para el subsistema <i>SC_GUI</i>	46
3.15. Integración de MPPT en el modelo de Simulink.	46
3.16. Implementación de los bloques <i>OpOutput</i> para las salidas analógicas.	47
3.17. Implementación del bloque <i>OpInput</i> para las entradas digitales.	48
3.18. Ventana de parámetros del bloque <i>OpInput</i>	48
3.19. Ventana de configuración de parámetros del solucionador en Simulink.	49
3.20. Ventana de configuración de parámetros en Simulink.	49
3.21. Ventana de configuración de parámetros en Simulink.	50
3.22. Ventana de parámetros del bloque <i>powergui</i>	50
3.23. Importar modelo existente en RT-LAB.	51
3.24. Sección de preferencias del proyecto.	51
3.25. Selección de compilador para RT-LAB.	52
3.26. Pantalla general del modelo en RT-LAB.	52
3.27. Entradas y salidas definidas en los bloques <i>OpInput</i> y <i>OpOutput</i>	53

3.28. Pasos para crear una interfaz de entradas y salidas.	53
3.29. Ventana de interfaces de entradas y salidas en RT-LAB.	54
3.30. Pantalla de configuración de la tarjeta OPAL-RT.	54
3.31. Parámetros de configuración seleccionados para la tarjeta OPAL-RT.	54
3.32. Parámetros de los canales 0 a 7 del puerto <i>Slot 1B</i>	55
3.33. Selección del rango de voltaje para el puerto <i>Slot 2B</i>	55
3.34. Activación de los canales 0 a 7 para el puerto <i>Slot 2B</i>	56
3.35. Pantalla del archivo de configuración de las entradas y salidas.	56
3.36. Canales de las entradas digitales en el archivo de configuración.	57
3.37. Conexión de los bloques <i>OpInput</i> con los canales del <i>Slot 1B</i>	57
3.38. Conexión de los bloques <i>OpOutput</i> con los canales del <i>Slot 2B</i>	57
3.39. Selección de modo de simulación en tiempo real.	58
3.40. Selección del modo XHP para la simulación en tiempo real.	58
3.41. Vista frontal y trasera del gabinete OP1400.	59
3.42. Estructura de simulación PHIL para una microrred.	60
3.43. Retardos en la simulación PHIL.	62
3.44. Subsistemas en el modelo de Simulink para la simulación PHIL.	63
3.45. Entradas analógicas en el sistema PHIL.	63
3.46. Implementación de la estrategia de control en el simulador OP4510 para la simulación PHIL.	64
3.47. Generación de pulsos PWM en el simulador OP4510.	65
3.48. Señales de interés visual en el subsistema <i>SS_Control</i>	65
3.49. Generación de señales sinusoidales de referencia.	66
3.50. Modelo basado en el método del transformador de voltaje ideal.	66
3.51. Voltajes PHIL.	67
3.52. Bloque OP8110 en el explorador de librerías de Simulink.	67
3.53. Bloques OP8110-3 para establecer la comunicación con el amplificador OP8110 de 3 puertos.	68
3.54. Implementación del bloque <i>OP8110-3 SFP_Link_Ext</i> en el subsistema <i>SM_PHIL</i>	68
3.55. Subsistema <i>SM_PHIL</i>	69
3.56. Entradas al bloque <i>SC_GUI</i>	69
3.57. Interfaz para la manipulación de los elementos de la simulación PHIL.	70
3.58. Salidas del bloque <i>SC_GUI</i>	70
3.59. Modelo final en Simulink de la simulación PHIL.	71
3.60. Bloques <i>OpInput</i> y <i>OpOutput</i> para el modelo de la simulación PHIL.	71
3.61. Configuración del puerto <i>Slot 1B</i> para los canales 16 a 23.	72

3.62. Activación de los puertos SFP como salidas del simulador.	72
3.63. Conexiones en el archivo de configuración para el <i>Slot 1B</i>	73
3.64. Conexiones en el archivo de configuración para el <i>Slot 2A</i>	73
3.65. Conexiones en el archivo de configuración para los puertos SFP.	73
4.1. Respuesta de la microrred ante una variación de la relación de cortocircuito de 10 a un SCR de 3 en el tiempo $t = 0.02$ s.	78
4.2. Respuesta transitoria ante cambios de referencia: Inv. 1, irradiancia $650 \rightarrow 1000 \text{ W/m}^2$ en 1 s con $Q_1^* = 0$; Inv. 2, $P_2^* : 0 \rightarrow 2 \text{ MW}$, $Q_2^* : 0 \rightarrow 1.5 \text{ MVar}$	79
4.3. Respuesta ante un escalón en la referencia de voltaje v_{cd}^* : irradiancia 1000 W/m^2 , Inv. 1 $Q_1^* = 0$, Inv. 2 $P_2^* = 2 \text{ MW}$, $Q_2^* = 1.5 \text{ MVar}$, $v_{cd}^* : 1200 \text{ V} \rightarrow 1400 \text{ V}$	80
4.4. Potencia activa y reactiva del Inversor 1, medidas por el simulador en el PCC.	81
4.5. Potencia activa y reactiva del Inversor 2, medidas por el simulador en el PCC.	81
4.6. Potencia activa y reactiva del Inversor 1, medidas en el PCC a través del analizador PowerGuia 440s.	82
4.7. Potencia activa y reactiva del Inversor 2, medidas en el PCC a través del analizador PowerGuide 4400.	82
4.8. Captura del evento subida de corrientes i_{s1} en el PCC (PowerGuia 440s).	83
4.9. Captura de ondas de voltajes y corrientes i_{s1} en el PCC (PowerGuia 440s).	83
4.10. Captura del estado estacionario de las ondas de voltajes y corrientes i_{s1} en el PCC (PowerGuia 440s).	83
4.11. Captura del evento subida de corriente i_{s2} en el PCC (PowerGuide 4400).	84
4.12. Captura del evento caída de corriente i_{s2} en el PCC (PowerGuide 4400).	84
4.13. Captura del estado estacionario de las ondas de voltajes y corrientes i_{s2} en el PCC (PowerGuide 4400).	85

Índice de tablas

2.1. Parámetros del panel fotovoltaico.	17
2.2. Parámetros de la microrred para la simulación.	24
2.3. Ganancias calculadas para los controladores continuos.	29
3.1. Señales medidas y escalamiento para las salidas analógicas.	47
3.2. Parámetros de la microrred para la simulación PHIL.	60

Lista de acrónimos

CD	Corriente Directa
CA	Corriente Alterna
GD	Generación Distribuida
MR	Microrred
CCMR	Control Central de la Microrred
MIL	<i>Model In the Loop</i> (modelo en el lazo de simulación)
RCP	<i>Rapid Control Prototyping</i> (prototipado rápido de control)
HIL	<i>Hardware In the Loop</i> (hardware en el lazo de simulación)
CHIL	<i>Controller Hardware In the Loop</i> (hardware de controlador en el lazo de simulación)
PHIL	<i>Power Hardware In the Loop</i> (hardware de potencia en el lazo de simulación)
RMS	<i>Root Mean Square</i> (valor eficaz)
L-L	Línea a Línea
MPP	<i>Maximum Power Point</i> (punto de máxima potencia)
MPPT	<i>Maximum Power Point Tracking</i> (seguidor del punto de máxima potencia)
PCC	Punto de Conexión Común
PI	Proporcional-Integral
PLL	<i>Phase-Locked Loop</i> (lazo de amarre de fase)
PWM	<i>Pulse Width Modulation</i> (modulación por ancho de pulso)
SPWM	<i>Sinusoidal Pulse Width Modulation</i> (modulación por ancho de pulso sinusoidal)
GFL	<i>Grid-Following</i> (seguidor de red)
ADC	<i>Analog to Digital Converter</i> (convertidor analógico a digital)
SCR	<i>Short Circuit Ratio</i> (relación de cortocircuito)
GUI	<i>Graphical User Interface</i> (interfaz gráfica de usuario)
V-ITM	<i>Voltage-type Ideal Transformer Method</i> (método del transformador de voltaje ideal)

*Nota: Algunos de los acrónimos incluidos corresponden a siglas en inglés y se conservan como tecnicismos por su uso estandarizado en la literatura especializada.

Introducción

Según reportes de la Agencia Internacional de la Energía [1], se proyecta que el consumo de electricidad a nivel global siga incrementando a un ritmo acelerado en los próximos 3 años, entrando así en una nueva era de electricidad que alimenta un gran crecimiento en la producción industrial, aumento en el uso de aire acondicionado, electrificación acelerada y la expansión de centros de datos alrededor del mundo. Con esto, la generación eléctrica se ha diversificado y evolucionado a lo largo de las últimas décadas, con lo que surgen nuevos conceptos de generación de energía eléctrica, como lo son la generación centralizada y descentralizada. Siendo que el primer término hace referencia al sistema de generación convencional, en donde se tienen fuentes de generación a grandes distancias con respecto al sistema de distribución y cargas. Hablando de la generación descentralizada, también llamada Generación Distribuida (GD), las fuentes de generación se encuentran ubicadas a distancias cortas con respecto al punto de consumo, con lo que el sistema de transmisión se omite en este tipo de esquema y la electricidad pasa directamente desde la fuente al sistema de distribución, con esto es posible reducir pérdidas en el proceso de transmisión a largas distancias [2].

La GD puede llegar a ofrecer múltiples beneficios, tanto técnicos como económicos y ambientales; sin embargo, también puede llegar a presentar desventajas, debido a que, entre las más comunes, puede afectar a la calidad de la energía al integrar fuentes de energía variable [3]-[6]. Ya que, al realizar esta integración, se suma una etapa que es el uso de convertidores de electrónica de potencia. Este tipo de dispositivos son empleados para la conversión de energía eléctrica, como lo es la conversión de Corriente Directa (CD) a Corriente Alterna (CA), la conversión de corriente directa a corriente directa (CD-CD) y la conversión de corriente alterna a corriente directa (CA-CD). Estos dispositivos permiten una interacción entre la fuente de energía renovable y el punto de consumo, ya que estos son los encargados de suministrar la energía eléctrica en la forma requerida, por lo que, la manipulación y el control de estos mismos en condiciones operativas son una parte esencial para asegurar una buena calidad de la energía suministrada. Es por esto que, al tener este enlace, el control de estos convertidores resulta ser un elemento clave en

asegurar la fiabilidad y el aprovechamiento del sistema de generación distribuida, por lo que resulta crucial probar en condiciones realistas el rendimiento de las estrategias de control diseñadas. Debido a que estos controladores suelen ser desarrollados y probados previamente en simulaciones, donde la simulación describe la dinámica del sistema y cómo se comporta con la integración de la técnica de control empleada, que normalmente son modelos matemáticos empleados en simulaciones digitales, este tipo de simulaciones no suele contemplar los alcances físicos del hardware que tendrá el controlador real, o bien, el hardware encargado de procesar este tipo de señales [7].

Aunque lo anterior es un gran acercamiento al panorama de operación de estos sistemas, la simulación en tiempo real rompe la barrera entre el mundo digital y el mundo físico, gracias a que este tipo de simulaciones interactúa con el mundo físico en tiempo real. Existen distintos esquemas de simulación en tiempo real, cada uno orientado a propósitos específicos: *Model In the Loop* (modelo en el lazo de simulación) (MIL), *Rapid Control Prototyping* (prototipado rápido de control) (RCP), *Hardware In the Loop* (hardware en el lazo de simulación) (HIL) y *Power Hardware In the Loop* (hardware de potencia en el lazo de simulación) (PHIL); la configuración y las características de cada esquema son presentadas en el Capítulo 1. Gracias a estos esquemas de simulación, es posible evaluar y probar componentes específicos de un sistema bajo prueba, lo que convierte a esta herramienta en una práctica trascendental para el desarrollo, validación y optimización de nuevas tecnologías en sistemas eléctricos, ya que permite experimentar en entornos seguros, reduciendo costos de implementación y acelerando el proceso de innovación en el área de la ingeniería eléctrica.

Definiendo otro concepto que ha emergido dentro de las últimas décadas en el sector eléctrico, el término MR hace referencia a un sistema integrado que agrupa varias fuentes de GD y cargas locales, capaz de manejar y despachar su propia generación y demanda. La definición de este término ha variado a lo largo de la literatura [8]-[14], por lo que, en términos coloquiales, una MR se conoce por ser un sistema eléctrico que, comparado con el sistema eléctrico principal, es a pequeña escala. Esta alternativa de generación ha surgido tras la necesidad de despachar la creciente demanda de energía eléctrica que va a un paso más acelerado que la construcción o infraestructura disponible en un sistema eléctrico, así como el aprovechamiento de fuentes de energía renovables, por lo que estudios más completos y realistas son requeridos antes de la puesta en marcha de este tipo de sistemas, para así evaluar el desempeño de la tecnología implementada en las MR.

En la literatura se pueden encontrar casos de implementación de sistemas de GD y modelos de MR en diferentes esquemas y configuraciones de simulación en tiempo real, con el fin de probar interfaces y estrategias de control, así como componentes bajo prueba, esto bajo el uso de diferentes tecnologías para este tipo de simulaciones. En los próximos párrafos se hace referencia a estos trabajos y estudios encontrados.

En [15]-[18] se realizaron esquemas HIL en un simulador en tiempo real de las mar-

cas OPAL-RT y RTDS para probar sistemas de administración distribuida, algoritmos de control y algoritmos de optimización, tanto en controladores comerciales como en controladores prototipo basados en microcontroladores y emulando conectores de comunicación, esto bajo diversos escenarios de operación, en los cuales se evalúan condiciones críticas. En [19] se realiza un esquema HIL para probar un control supervisor, añadiendo a este esquema relevadores de protección para evaluar la respuesta ante condiciones de desconexión no planeada. En [20] se emplea un esquema de control HIL para probar el nivel primario y secundario de una MR, este estudio enfatiza los efectos que conlleva el ruido en la medición y el tiempo de retardo en la operación de MR. En [21] se muestra la implementación de un control basado en los flujos de potencia de una MR, esto en un entorno HIL.

Para el tipo de simulación PHIL, en [22] se presenta la implementación de una MR, en la cual su control está basado en un control *droop* para mejorar el desempeño de la frecuencia en valores nominales, en este esquema se validan las funciones de los controladores para las fuentes de energía distribuida, enfocándose en la interacción de comunicación y de potencia de los componentes bajo prueba. Bajo este mismo esquema, en [23] se evalúa una MR en la cual se tiene un sistema fotovoltaico como fuente de energía distribuida para evaluar el desempeño del sistema ante dos funciones de control: control de demanda de la carga y, en la otra función, el control de frecuencia. En [24] se evalúan inversores comerciales del modo interconectado e inversores para el modo aislado de la red, permitiendo así mostrar el desempeño, ante diversas condiciones operativas, de inversores físicos disponibles en el mercado antes de ser instalados en campo.

En [25] y [26] se implementan dos esquemas de simulación, HIL y PHIL (ambos), para evaluar sistemas físicos reales, y el desempeño de la tecnología con la que cuenta el controlador de una MR real en diversos escenarios, tanto de desconexión como de conexión y sincronización con la red principal.

Motivación

Este proyecto se plantea a partir de aprovechar el potencial que ofrece la tecnología de simulación en tiempo real como herramienta reconocida para la validación de nuevos desarrollos en el ámbito de los sistemas eléctricos de potencia, en particular en el área de las MR y la generación distribuida. El uso de esta tecnología brinda un entorno más realista para la evaluación de diferentes estrategias, en este sentido, la implementación desarrollada en esta tesis se concibe como un banco de pruebas y una guía práctica para aquel usuario que busque validar estrategias de control o componentes bajo prueba en condiciones cercanas a la operación real, contribuyendo así a disminuir los costos y riesgos asociados a la implementación directa en campo.

Esta tesis contribuye presentando un proceso detallado de la implementación de una simulación en tiempo real, junto a los principales aspectos prácticos que se deben tomar en cuenta en esta clase de simulaciones; por mencionar algunos, se encuentran el paso de integración, las configuraciones de entradas y salidas de los puertos analógicos y digitales, el enlace de comunicación del simulador y la computadora receptora, entre otros.

Hipótesis

La implementación en tiempo real de una MR con electrónica de potencia y control mediante esquemas *Controller Hardware In the Loop* (hardware de controlador en el lazo de simulación) (CHIL) y PHIL reproduce de manera global el comportamiento teórico esperado; no obstante, se presentarán desviaciones asociadas a fenómenos propios del hardware y del entorno de simulación, tales como discretización, retardos y efectos electromagnéticos, entre otros, que no están considerados de manera explícita en los modelos matemáticos empleados para el diseño del control y las simulaciones fuera de línea. Estas discrepancias sugieren la necesidad de incluir la mayor cantidad de hardware necesario para la validación de este tipo de sistemas más allá de su representación matemática.

Objetivo General

Implementar en simulación en tiempo real una MR con electrónica de potencia y control, interconectada a la red mediante esquemas CHIL y PHIL, integrando sus principales componentes y estrategias de control, con el fin de evaluar y validar la consistencia entre el comportamiento dinámico y de estado estacionario observado y las predicciones teóricas basadas en modelos, así como analizar las discrepancias originadas por fenómenos propios del hardware y del entorno de simulación que no están contemplados en los modelos matemáticos utilizados en las simulaciones fuera de línea.

Objetivos Específicos

- Estudiar, modelar e implementar los modelos de cada componente que integra la MR.
- Realizar los diseños correspondientes a cada etapa de la MR de CA bajo el modo de operación interconectada a la red.
- Validar el desempeño de la estrategia de control de la MR, a través de un esquema CHIL, implementando un control discreto en un dispositivo digital.

- Evaluar el desempeño del hardware de la MR a través de un esquema PHIL.
- Identificar y evaluar la estabilidad de la simulación PHIL para este tipo de sistemas eléctricos.
- Reconocer las capacidades y limitaciones de la simulación en tiempo real aplicada a sistemas eléctricos con electrónica de potencia.

Metodología

Para lograr los objetivos descritos anteriormente, se utilizó una metodología que comprende las siguientes etapas:

- **Estudios preliminares del modelo de la microrred:** Para esta etapa, primero se definieron los valores nominales del sistema, esto es la potencia, voltaje y frecuencia en la que el sistema opera. Definiendo estos valores se realizaron pruebas de simulación fuera de línea para comprender la dinámica esperada del sistema en el dominio del tiempo. Así, una vez obtenido el modelo de la planta y la respuesta en el tiempo del sistema fuera de línea, los resultados adquiridos fueron comparados con los de otros dos modelos en diferente dominio, estos dominios corresponden al dominio armónico extendido y al dominio $dq0$. Con esto se ha verificado el comportamiento de la planta en lazo abierto.
- **Diseño de controladores de corriente:** Para ajustarse a los valores de potencia de referencia que requiere el sistema, se propuso una estrategia de control llamada *Grid-Following* (seguidor de red) (GFL) para el inversor trifásico del sistema, en este esquema interconectado a la red, el voltaje de salida del inversor adopta las características de la red principal, por lo que la conmutación de este convertidor realizará la modulación necesaria para conseguir que la corriente siga el valor de referencia. En este caso, se implementaron controladores en la forma PI para seguir una referencia de corriente en el marco $dq0$, lo cual permite desacoplar las componentes activa y reactiva de la corriente y, con ello, regular de manera más eficiente la inyección de potencia hacia la red.
- **Simulación en esquema *Controller Hardware In The Loop*:** La implementación de esta simulación se llevó a cabo alojando el modelo de la MR bajo estudio en el simulador en tiempo real OPAL-RT OP4510, con un paso de integración de $10\ \mu\text{s}$, configurando los puertos de entrada digitales para recibir los pulsos de modulación y los puertos de salida analógicos para obtener las señales necesarias del sistema en el PCC. La parte de control fue implementada en una tarjeta controladora dSPACE

CP1104, con una frecuencia de muestreo de 10 kHz para los canales analógicos y los canales digitales configurados a una frecuencia de conmutación de 2940 Hz.

- **Simulación en esquema *Power Hardware In The Loop*:** En esta simulación se llevó a cabo la implementación de dispositivos reales para formar la planta, con lo que el simulador OPAL-RT OP4510 conectado con el amplificador OP8110 funcionaron para emular la red eléctrica, teniendo la capacidad de transferir hasta 5 kVA de potencia. El control fue operado en el simulador OP4510 a un periodo de muestreo de $20\ \mu s$, de modo que se configuraron los puertos de entrada analógicos para recibir las señales necesarias de la planta y los puertos digitales de salida para enviar los pulsos PWM al inversor trifásico.

Estructura de la tesis

- **Capítulo 1. Microrredes Eléctricas y Simulación en Tiempo Real:**

Este capítulo ofrece al lector una visión general de las topologías de MR más comunes reportadas en la literatura, destacando sus principales funcionalidades y los retos asociados a este tipo de arquitecturas, incluyendo la integración de fuentes de generación distribuida, almacenamiento de energía y la coordinación con la red eléctrica principal. De igual manera, se expone la importancia de la simulación en tiempo real en el análisis y validación de sistemas eléctricos, junto con la clasificación de los distintos esquemas de simulación en función de los propósitos que se buscan cumplir en cada esquema.

- **Capítulo 2. Modelado y Control de la Microrred de Estudio:**

Este capítulo se centra en el modelado matemático de la MR de estudio, de donde se obtienen las ecuaciones diferenciales del sistema en lazo abierto. Además, en este capítulo se muestra el esquema de control de la MR, y la implementación paso a paso de un controlador digital en una tarjeta dSPACE CP1104 para la planta en lazo cerrado.

- **Capítulo 3. Implementación de la Microrred en el Simulador en Tiempo Real:**

En este capítulo se describe de manera detallada el proceso de implementación de la MR en un entorno de simulación en tiempo real, abarcando tanto el esquema CHIL como el esquema PHIL. Para el caso CHIL, se explica la integración entre el simulador OP4510, operando exclusivamente con el software RT-LAB, disponible en el laboratorio, y la tarjeta dSPACE CP1104 utilizada para ejecutar los controles discretos de un inversor trifásico. Se presentan los procedimientos necesarios para

configurar la comunicación entre ambos equipos, sincronizar señales, discretizar los controladores y establecer el lazo cerrado de operación.

En cuanto al esquema PHIL, el capítulo detalla la implementación experimental con inversores trifásicos físicos conectados al simulador mediante un amplificador de potencia. Se presenta el método de interfaz empleado, el *Ideal Transformer Method* (ITM), describiendo sus fundamentos teóricos, sus implicaciones prácticas y los elementos adicionales necesarios para su correcta operación. En particular, se explica la relevancia y limitaciones de los filtros de retroalimentación aplicados a las señales medidas, así como su influencia en la estabilidad del lazo PHIL.

Dado que los equipos utilizados son de un gran nivel de especialización, este capítulo ofrece una guía práctica y replicable que detalla cada etapa del proceso, desde la construcción del modelo digital en RT-LAB hasta la interacción con controladores e inversores reales, con el propósito de facilitar la reproducción de los experimentos y reducir la curva de aprendizaje asociada a la operación de plataformas HIL.

■ Capítulo 4. Resultados:

Este capítulo presenta los resultados obtenidos en los esquemas de simulación en tiempo real CHIL y PHIL, analizando el desempeño dinámico y de estado estacionario de la MR con electrónica de potencia y comparándolo con el comportamiento teórico esperado por diseño. Para el caso CHIL, se muestran las respuestas del sistema fotovoltaico y de sus estrategias de control, incluyendo MPPT, regulación del bus de CD y control de potencia reactiva y activa, bajo distintas condiciones de operación, verificando su congruencia global con las predicciones de los modelos matemáticos utilizados y las simulaciones fuera de línea.

Para el esquema PHIL se presentan los resultados experimentales obtenidos con dos inversores trifásicos físicos operando frente a equivalentes de red con distintos perfiles de robustez. Se examina el funcionamiento del sistema utilizando el método de interfaz *Ideal Transformer Method* (ITM), detallando su impacto en la estabilidad de la simulación en tiempo real. Asimismo, se analizan los factores que influyen en la estabilidad del lazo PHIL, incluyendo la relación de cortocircuito (SCR), la relación X/R del equivalente de red y el ancho de banda del filtro utilizado en la realimentación de corriente. Estos experimentos permiten observar la interacción real entre los convertidores y el entorno digital, y muestran cómo fenómenos propios del hardware, tales como discretización, retardos, errores de medición, rizado de conmutación, desbalances de impedancias, acomplamientos entre fases, parámetros eléctricos distribuidos y parásitos, y efectos electromagnéticos, introducen desviaciones respecto a las respuestas ideales.

En conjunto, los resultados de este capítulo permiten evaluar la validez de la hi-

pótesis planteada: se confirma que el comportamiento general de la MR coincide con el previsto teóricamente, pero también se identifican discrepancias inherentes al entorno HIL. Dichas diferencias resaltan la importancia de incluir hardware real en la validación de sistemas basados en electrónica de potencia, más allá de lo que es posible capturar mediante modelos matemáticos y simulaciones fuera de línea.

Publicaciones

- **"Simulación CHIL en Tiempo Real de una Microrred Fotovoltaica".** *Diego Gómez, Juan Segundo, Nancy Visairo, Yuniel Ruiz, Ciro Nuñez y Leonardo Hidalgo.* 2025 IEEE Sección México - Reunión Internacional de Verano de Potencia y Aplicaciones Industriales (RVP-AI).
- **"Stability Boundary Analysis and Design Considerations for Power Hardware-in-the-Loop Simulations of Grid-Following Inverters Under Weak and Stiff Grids".** *Nancy Visairo, Juan Segundo, Ciro Nuñez, Yuniel Ruiz and Diego Gómez.* MDPI Processes 2025.

Capítulo 1

Microrredes Eléctricas y Simulación en Tiempo Real

A lo largo de las últimas décadas, tanto en la literatura como en documentos emitidos por dependencias públicas y organismos reguladores, el término microrred (MR) ha adoptado diversas definiciones. Estas reflejan la evolución del concepto y su adaptación a distintos contextos tecnológicos, regulatorios y de operación del sistema eléctrico. A continuación, se destacan algunas de estas definiciones:

- Según R.H. Lasseter en [8]: «Una microrred es un conjunto de microfuentes, sistemas de almacenamiento y cargas que se presenta ante la red eléctrica como una sola entidad, capaz de responder a señales de control centralizado».
- Según N. Hatziargyriou en [9]: «Una microrred comprende un conjunto de recursos energéticos distribuidos (DERs), controlados localmente y conectados a nivel de baja tensión (LV), que se comporta, desde la perspectiva de la red, como un único productor, tanto desde el punto de vista eléctrico como en los mercados de energía».
- Según el Departamento de Energía de E.U.A. en [10]: «Un conjunto de cargas interconectadas y recursos energéticos distribuidos, contenidos dentro de límites eléctricos claramente definidos, que actúa como una única entidad controlable con respecto a la red eléctrica».
- Según la Secretaría de Energía de México en [11]: «Grupo de cargas y recursos de generación distribuidos con demanda máxima menor que 5 MW, con fronteras eléctricas claramente definidas que se comporta como una sola entidad y que no puede conectarse a la Red Nacional de Transmisión o a las Redes Generales de Distribución para permitir la operación interconectado a éstas».

Como se observó, no existe una definición estándar para describir a una microrred, sin embargo, podemos resaltar ciertos puntos en común y entender a una microrred como una combinación de cargas y generación, capaz de operar de manera coordinada dentro de un sistema eléctrico.

Las MR han emergido como una alternativa favorable en el crecimiento de la demanda eléctrica, pero esto a su vez, trae consigo nuevos retos en el análisis y control de estos sistemas, donde la simulación en tiempo real se convierte en una herramienta fundamental. Dicha simulación resulta clave en la transformación del sector eléctrico, que cada vez busca mayor descarbonización, descentralización y digitalización; en este contexto, la electrónica de potencia adquiere un papel protagónico y el análisis de fenómenos electromagnéticos se vuelve esencial para garantizar la operación segura y eficiente de los sistemas eléctricos. Además, la simulación en tiempo real facilita la validación de estrategias de control avanzadas y permite experimentar con distintos escenarios sin comprometer la operación real de los sistemas, reduciendo riesgos y costos asociados a pruebas físicas. De esta manera, representa un recurso esencial tanto para la investigación académica como para el desarrollo industrial de microrredes.

1.1 Clasificación y topologías de microrredes

Según lo expuesto anteriormente, una MR no es solamente de un cierto tipo, ya que múltiples configuraciones son posibles, dependiendo de su tamaño, naturaleza y objetivos; por lo tanto, hoy en día existen diversas topologías para referirse a una MR, una clasificación usada con frecuencia en la literatura [27]-[29], es con respecto a la naturaleza del voltaje de operación, es decir, CA, CD o una combinación de ambas, llamada MR híbrida. En la Figura 1.1 se muestran las estructuras generales de este tipo de MR.

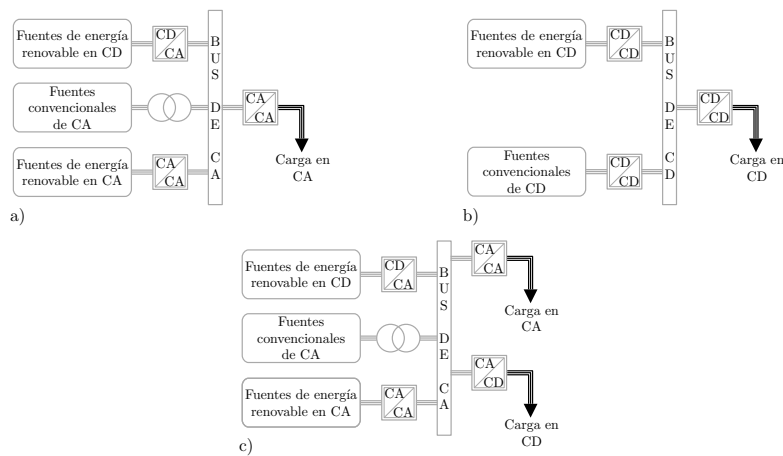


Figura 1.1: Clasificación de las microrredes por naturaleza del voltaje de operación, donde: a) microrred de CA, b) microrred de CD, c) microrred de CD y CA.

Dentro de las MR de corriente alterna conviene revisar otra clasificación importante, esta es debida al modo de operación de la MR [30], pudiendo ser una MR interconectada a la red principal, una MR aislada de la red, o una combinación de las dos, también llamada MR de CA híbrida. Definiendo el funcionamiento de estas topologías de MR de CA, para el caso del modo interconectado a la red, este sistema se acopla a la red en el punto de acoplamiento, conocido como Punto de Conexión Común (PCC), en donde las fuentes de generación distribuida estarán intercambiando potencia con la red para suministrar las necesidades de las cargas. Cabe resaltar que este sistema depende de las características de la red principal para su operación, es decir, frecuencia y magnitud de voltaje de la red. Debido a esto, otro punto característico de esta configuración es que no necesariamente requiere de un sistema de almacenamiento de energía, que bien, aunque la topología no exige el implementar un sistema de almacenamiento en este tipo de MR, es beneficioso al brindar un soporte ante fuentes de generación variable. En la Figura 1.2 se muestra un esquema general de este tipo de MR, correspondiendo a una MR interconectada cuando el interruptor del modo de operación se encuentra cerrado. De aquí, el Control Central de la Microrred (CCMR) es el encargado de gestionar el intercambio de potencia con la red principal [31].

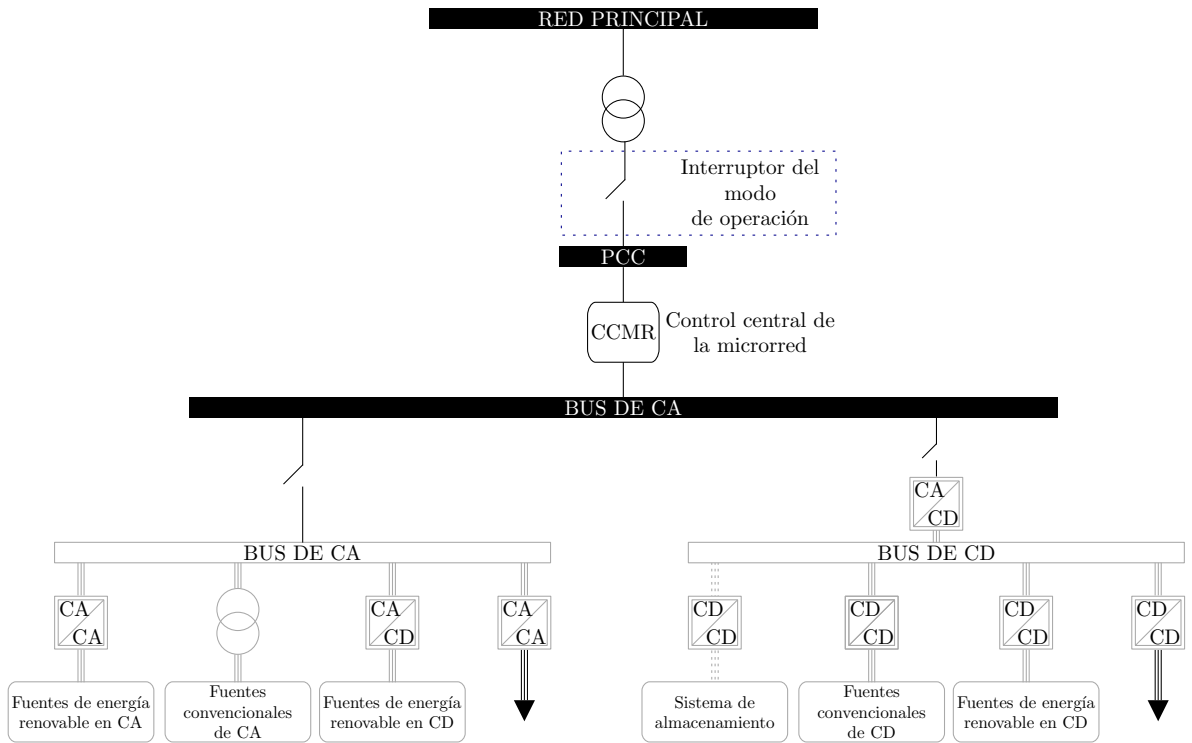


Figura 1.2: Estructura típica de una microrred de CA interconectada a la red.

En cuanto a la topología aislada, o modo isla, no está conectada con la red principal, por lo que el sistema opera de manera independiente e implica que los convertidores de electrónica de potencia se encarguen de mantener los valores nominales de frecuencia y amplitud del voltaje. Para este caso, el sistema de almacenamiento se convierte en

algo imprescindible si la MR se encuentra alimentada por fuentes de energía renovable o fuentes variantes. En la Figura 1.2 se observa que al tener abierto el interruptor del modo de operación, la topología se vuelve independiente de la red. Por lo que el CCMR se convierte en algo crítico para la operación de la MR, ya que ahora depende de este generar las referencias para mantener los valores nominales de tensión y frecuencia, asegurar el balance de generación y demanda, y, además, gestionar el uso del almacenamiento de energía [32], [33].

Para el caso en el que la MR tenga la capacidad de operar en ambos modos, el interruptor del modo de operación en la Figura 1.2 se abre o se cierra, en casos donde la estabilidad de la red se vea comprometida o no esté operando; por lo tanto, el CCMR será el encargado de coordinar la transición entre estos modos [34].

Dependiendo de la topología y modo de operación de la MR, la estabilidad de esta misma se enfoca en distintos propósitos, por lo que la estabilidad que se busca en las MR difiere de la estabilidad de la red tradicional. En la literatura se ha propuesto una clasificación de la estabilidad de las MR, en [35] se ha propuesto este tipo de clasificación, en donde la estabilidad de las MR se categoriza de acuerdo con su modo de operación, tales como modo isla y modo interconectado. En [36] también se expone una clasificación de la estabilidad en MR, donde esta clasificación se encabeza por dos principales categorías: una de ellas tiene que ver con los fenómenos asociados al sistema de control y la otra ligada a los fenómenos ocasionados por el intercambio de potencia activa y/o reactiva. Con esto, es notorio que la estabilidad de la MR se define por el correcto funcionamiento del sistema de control y el hardware.

1.2 Tipos de simulación en tiempo real

La simulación en tiempo real trae consigo diferentes configuraciones, cada una con propósitos específicos [37], [38]. Empezando con el tipo de simulación MIL, el cual consiste en simular conjuntamente todos los modelos correspondientes al sistema de estudio; por ejemplo, una planta y su etapa de control. Todo esto es simulado dentro de un simulador en tiempo real, como se puede observar en la Figura 1.3.

Esta simulación es útil para pruebas de concepto y estudios preliminares, dado que no se tiene una conexión con equipos externos; por lo tanto, este esquema ayudará a comprender mejor la dinámica de los estudios, así como la validación del correcto paso de integración usado en la simulación en tiempo real. Debido a que en este tipo de simulación no se tiene una interacción con el mundo físico, esto permitirá realizar simulaciones aceleradas con lo que se puede definir un factor en el tiempo de ejecución, obteniendo así una ganancia en el tiempo de simulación y un mejor rendimiento en el análisis del comportamiento del modelo del sistema.

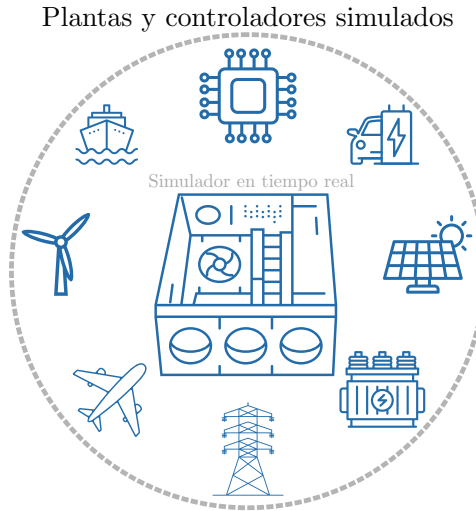


Figura 1.3: Esquema de simulación *Model In the Loop*.

Siguiendo con la simulación RCP, la cual se basa en simular y/o emular un controlador dentro de un simulador en tiempo real, con lo cual el simulador estará ejecutando un prototipo de un controlador, mientras que, a través de las entradas y salidas del simulador, se están compartiendo las señales de una planta real. Este enfoque resulta útil para probar conceptos de la estrategia de control en un sistema físico, en la Figura 1.4 se muestra de manera ilustrativa el concepto de esta simulación.

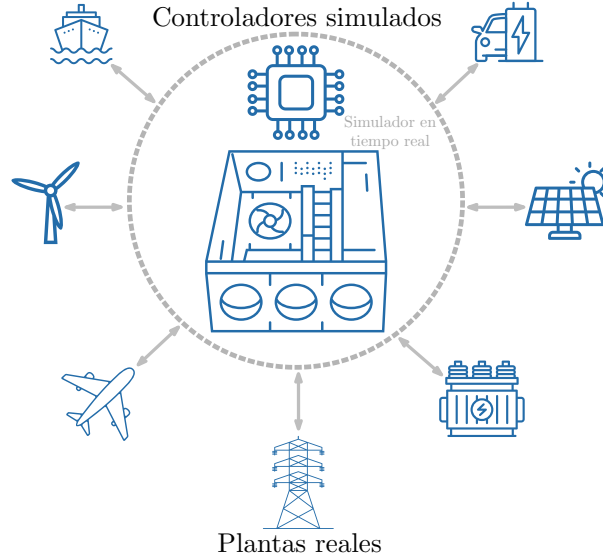


Figura 1.4: Esquema de simulación *Rapid Control Prototyping*.

Prosiguiendo con la simulación HIL, en este enfoque se contempla la conexión de hardware al simulador en tiempo real con el propósito de que el simulador actúe como una planta, al estar simulando su dinámica; por lo que el hardware en este caso corresponderá a una parte complementaria del sistema completo. Esto puede ser algún sistema de protección eléctrica, un controlador físico, entre otros. Resaltando que, cuando en este tipo de esquema se hace la conexión con un controlador real, el esquema se denomina CHIL.

Con esta configuración es posible probar el comportamiento que tendrá el controlador bajo diferentes condiciones y escenarios. En la Figura 1.5 se muestra la estructura de este tipo de simulación.

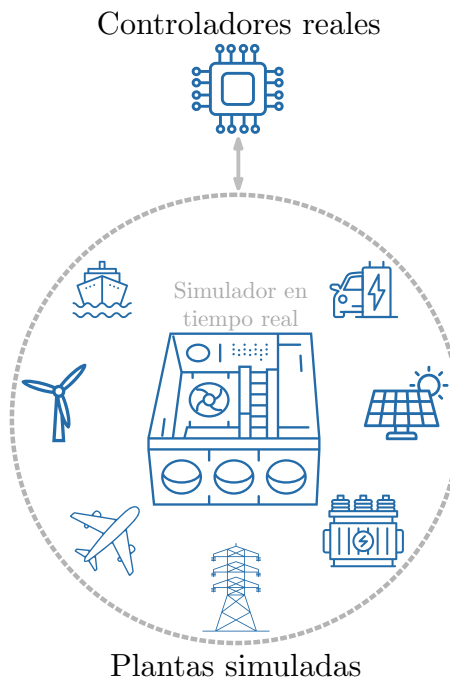


Figura 1.5: Esquema de simulación *Hardware in The Loop*.

Respecto a la simulación PHIL, se tiene que en este tipo de simulación existe conexión entre el simulador en tiempo real y la planta física, esto con el propósito de intercambiar señales de potencia con el mundo físico. Esto es posible gracias a un amplificador de potencia, ya que este dispositivo es el intermediario para el intercambio de las señales de potencia, como se muestra en la Figura 1.6. El amplificador hace posible la interacción del simulador con el mundo real, entonces el simulador, en conjunto con el amplificador de potencia, emularán a los dispositivos de potencia presentes en el sistema eléctrico de prueba.

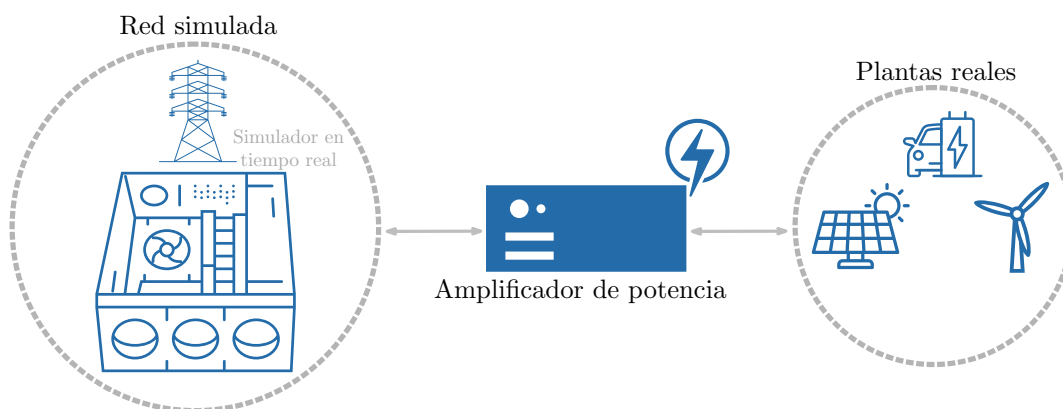


Figura 1.6: Esquema de simulación *Power Hardware in The Loop*.

Aunque el uso de la simulación en tiempo real ha crecido en los últimos años, aún se tienen retos que afrontar al momento de implementar un esquema de simulación. En los esquemas dictados se recalcó la versatilidad de las configuraciones de simulación en tiempo real; sin embargo, el implementar uno de estos esquemas requiere un entrenamiento previo para una correcta ejecución del experimento [39]. Otro de los retos que se tiene, es con respecto al paso de integración mínimo que los simuladores soportan para ejecutar un modelo en tiempo real; al tener ciertos sistemas que requieren de frecuencias muy altas, con un paso de integración grande no es posible capturar todos los fenómenos electromagnéticos presentes en el sistema. Por esta razón, en diferentes estudios se elige utilizar modelos promedios para la ejecución en tiempo real, lo cual restringe nuestro conocimiento sobre la dinámica del sistema, en comparación con un modelo conmutado. Por ello, esta tesis se enfoca en abordar los desafíos actuales en la simulación en tiempo real para analizar sus capacidades dentro de un entorno de MR, incluidos los efectos explícitos de la conmutación de los inversores de electrónica de potencia, así como la discretización del control y los retardos asociados a las conmutaciones y a la modulación.

Capítulo 2

Modelado y Control de la Microrred de Estudio

En esta tesis se ha optado por un esquema de MR interconectada a la red, con lo que el sistema solo se abordará para operar en este modo. Dado esto, se ha omitido el almacenamiento de energía en este sistema de estudio. En la Figura 2.1 se presenta el esquema general de la MR estudiada, de donde se pueden observar las partes que componen a la misma y los subsistemas necesarios para la operación del sistema en lazo cerrado.

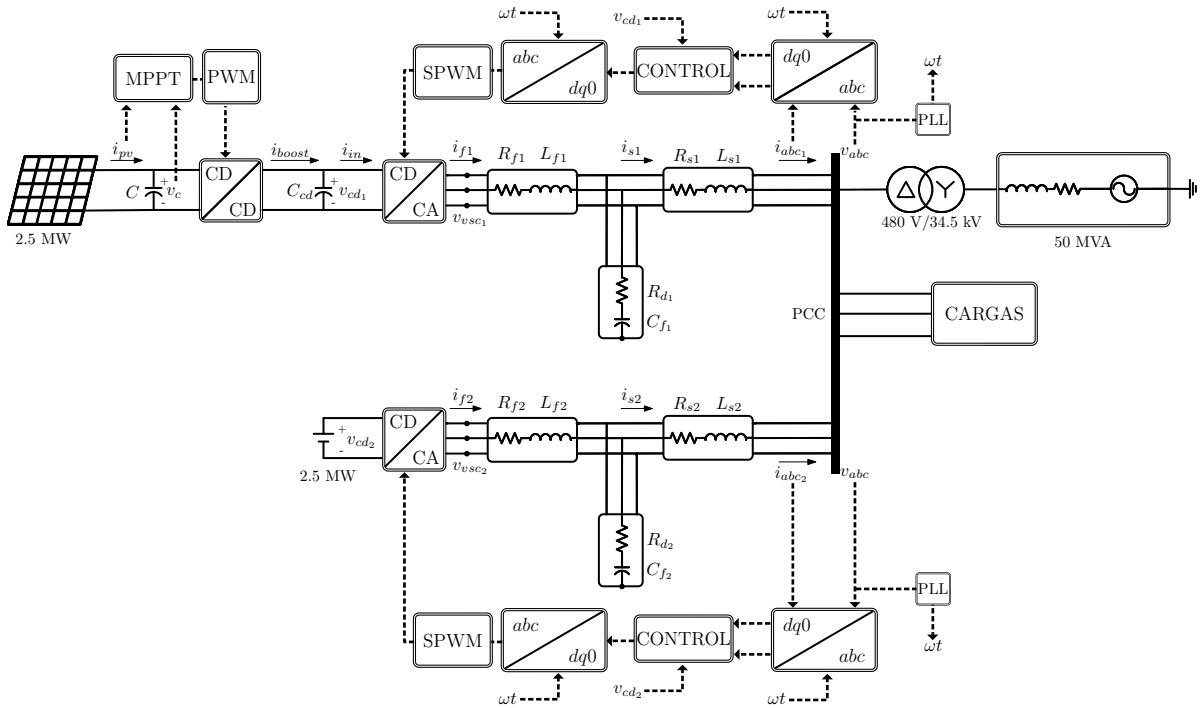


Figura 2.1: Esquema de microrred fotovoltaica bajo estudio.

Se aprecia que la MR se compone de dos ramas de generación en paralelo, siendo la rama 1 la que cuenta con generación fotovoltaica, mientras que la rama 2 es alimentada por un bus de CD. De izquierda a derecha, la rama 1 de la MR se compone inicialmente de la fuente de generación fotovoltaica, la cual es un arreglo de paneles fotovoltaicos con una capacidad de generación de hasta 2.5 MW. Como se muestra en la Figura 2.2, para este arreglo se empleó el modelo de diodo único para representar el comportamiento de la celda fotovoltaica [40], [41], donde R_{serie} corresponde a la resistencia conectada en serie en cada celda y R_{shunt} a la resistencia en paralelo. Los valores de estos parámetros se presentan en la Tabla 2.1, en la cual se listan los parámetros utilizados para la caracterización del panel fotovoltaico y del modelo. Asimismo, en la Figura 2.3 se muestra la curva característica potencia-voltaje para esta configuración. Con el fin de cumplir con las especificaciones de generación requeridas, el arreglo se conformó por 570 módulos en paralelo y 21 módulos en serie.

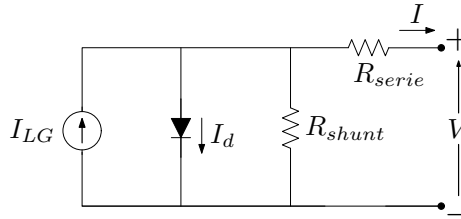


Figura 2.2: Modelo del diodo único para una celda fotovoltaica.

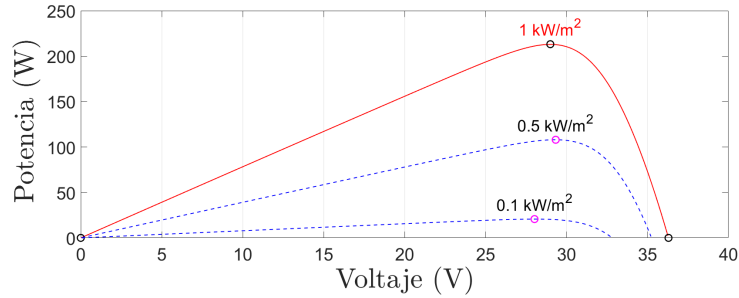


Figura 2.3: Curva potencia-voltaje del panel fotovoltaico.

Tabla 2.1. Parámetros del panel fotovoltaico.

Parámetro	Valor
Potencia máxima	213.15 W
Voltaje en el MPP	29 V
Corriente en el MPP	7.35 A
Resistencia serie	0.3938 Ω
Resistencia paralelo	313.0553 Ω
Celdas por módulo	60

Acoplado a este arreglo se encuentra un convertidor CD-CD elevador, el cual cuenta con un voltaje de salida de 1200 V en el capacitor de acople a un inversor trifásico de dos niveles, el cual a la salida cuenta con un filtro LCL conectado a un transformador en configuración delta-estrella conectado a una red de distribución de 34.5 kV.

En las MR existen tres niveles de control llamados nivel primario, nivel secundario y nivel terciario; estos niveles jerárquicos de control trabajan de forma coordinada para mantener la estabilidad y eficiencia de la MR, véase la Figura 2.4.

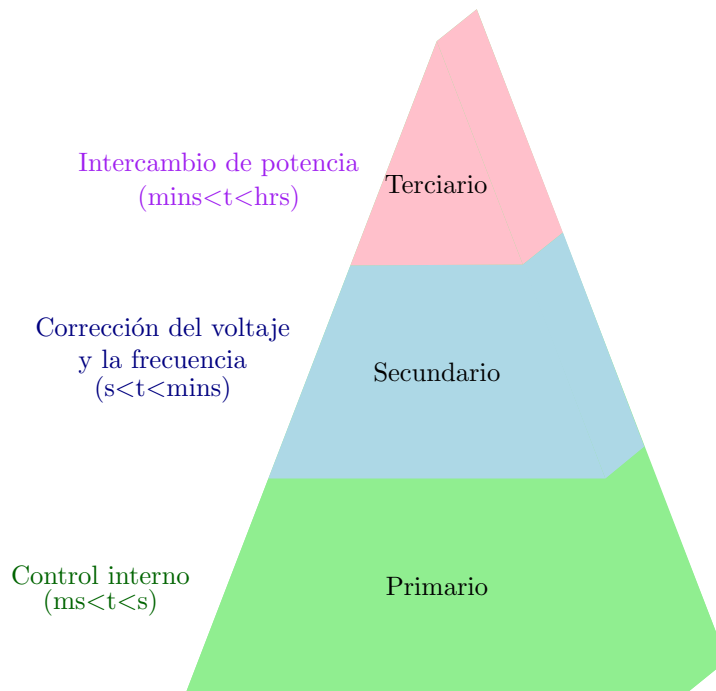


Figura 2.4: Control jerárquico en microrredes.

El nivel primario es el encargado de seguir las referencias de potencia, voltaje y/o corriente para cada fuente de generación, de acuerdo con los puntos de operación de niveles jerárquicos más altos. Estas referencias entran a un control dentro de este mismo nivel, usualmente llamado lazo interno, en donde se tendrá una estrategia de control para seguir dichas referencias. En el caso de fuentes de energía renovable, este lazo interno genera los pulsos por *Pulse Width Modulation* (modulación por ancho de pulso) (PWM) para operar los convertidores de electrónica de potencia. El nivel secundario es el encargado de monitorear y controlar la calidad de la energía desde un punto de vista en la variación de la frecuencia y voltaje, así como el desbalance de fases y la compensación armónica, para así cumplir con los estándares de la calidad de la potencia. El último nivel en la pirámide (nivel terciario) es el encargado de introducir inteligencia a la MR, este nivel implementa algoritmos de optimización para la toma de decisiones en la operación del sistema completo respecto al flujo de la potencia, haciendo al sistema más eficiente y económico [42]-[45].

Esta tesis se centra en la implementación del primer nivel jerárquico de control, como se aprecia en el esquema de la MR de estudio (Figura 2.1), se definieron tres puntos de control en el sistema dentro del primer nivel jerárquico de control en el lazo interno. El primero describe el voltaje de salida del panel, el cual se controla a través del convertidor elevador para buscar el *Maximum Power Point* (punto de máxima potencia) (MPP). Para el propósito de encontrar el MPP se utilizó el algoritmo llamado perturba y observa [46], el cual emplea las condiciones que se observan en la Figura 2.5. Bajo estos condicionantes, el algoritmo perturba al sistema para observar la respuesta de este mismo y así tomar una decisión.

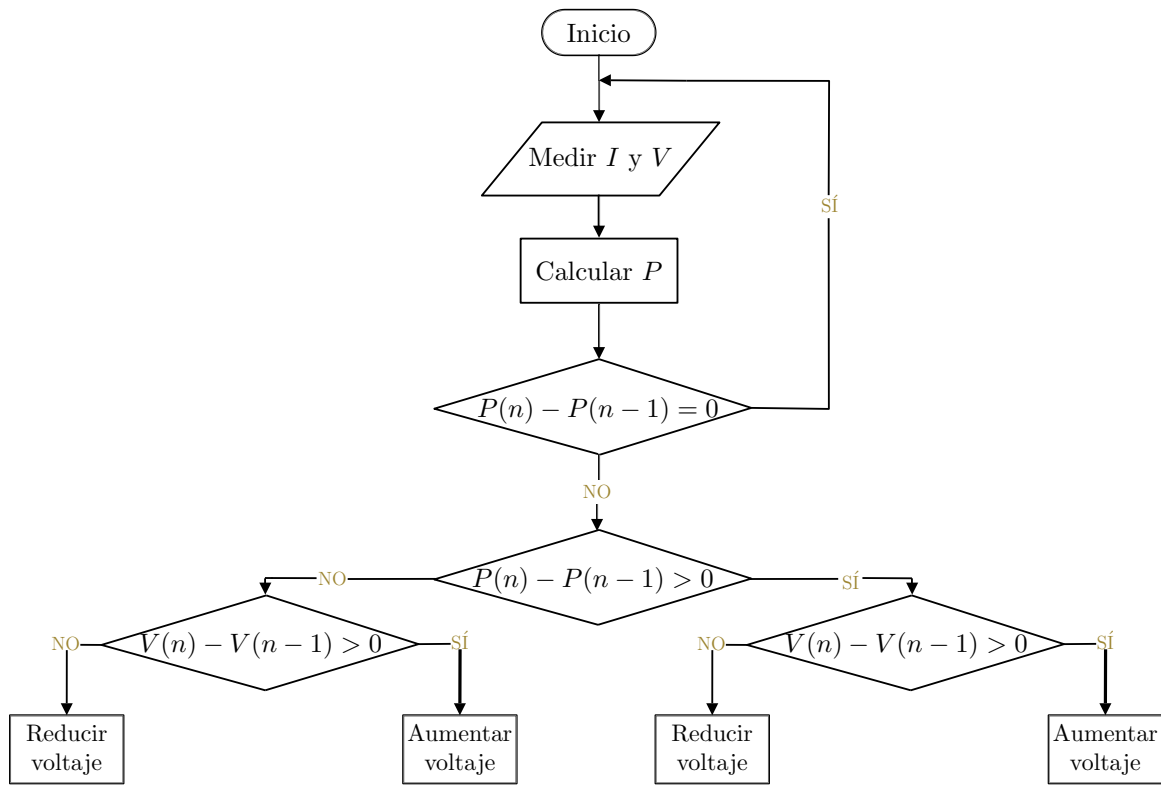
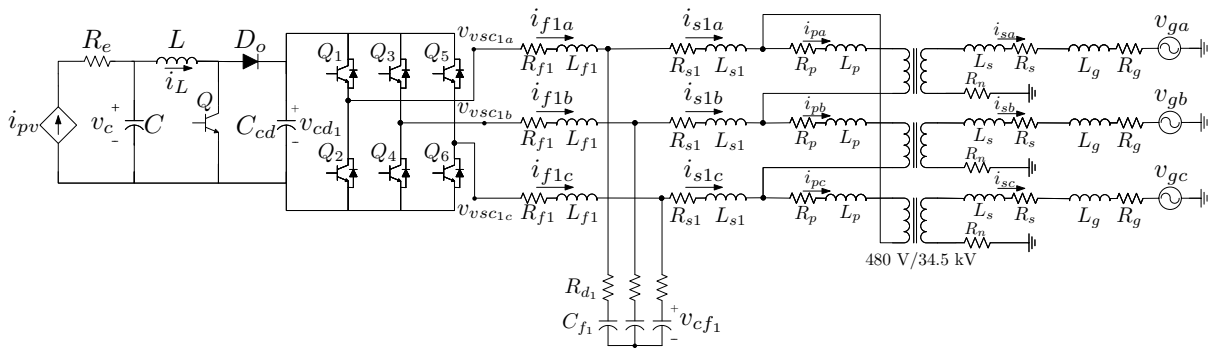


Figura 2.5: Algoritmo perturba y observa para el seguimiento de la máxima potencia en un panel fotovoltaico.

El segundo punto de control del sistema se encuentra en el voltaje del bus de corriente directa, el cual acopla al convertidor CD-CD con el convertidor CD-CA. Este voltaje es controlado por el convertidor CD-CA, el cual también se encarga de controlar la potencia reactiva que se inyectará o se absorberá hacia la red, y así, este es el tercer punto de control del sistema.



Observando de izquierda a derecha, la primera etapa del circuito con el que se está trabajando (Figura 2.6) se refiere a una fuente de corriente que representa el circuito eléctrico equivalente del parque fotovoltaico. El valor de esa corriente equivalente (i_{pv}) depende de las condiciones climáticas actuales (irradiancia y temperatura). La resistencia (R_e) en serie con esta fuente de corriente representa el enlace entre las terminales del arreglo de paneles y el lado de CD del inversor. Es común que esta resistencia se considere despreciable en muchos estudios, pero la implementación en RT-LAB no permite la conexión directa de fuentes de corriente a capacitores, por esta razón es que en esta implementación R_e no se desprecia, pero se considera de un valor pequeño del orden de $1 \mu\Omega$, asumiendo que el arreglo de paneles está eléctricamente muy cerca del inversor. De tal manera que el voltaje de entrada estará descrito por el voltaje que se encuentra en el capacitor C ; por lo tanto, la ecuación dinámica que describe el comportamiento que tendrá v_c está dada por (2.1). Por otra parte, el voltaje de salida está dado en el capacitor del bus de CD (C_{cd}) a la entrada del inversor, por lo que el voltaje v_{cd} dependerá de la corriente que pase por el diodo D_o y de la corriente que circule por el inversor, la ecuación que describe dicho comportamiento se muestra en (2.2); siendo δ la señal de conmutación para el transistor Q , $\mathbf{s} \triangleq [s_a \ s_b \ s_c]$ las señales de conmutación para los transistores Q_1 , Q_3 y Q_5 , respectivamente, e $\mathbf{i}_{f1} \triangleq [i_{f1a} \ i_{f1b} \ i_{f1c}]^T$. Así, la ecuación dinámica que describe el comportamiento de la corriente i_L que fluye a través del inductor L está dada por (2.3).

$$C \frac{dv_c}{dt} = i_{pv} - i_L \quad (2.1)$$

$$C_{cd} \frac{dv_{cd1}}{dt} = i_L(1 - \delta) - \mathbf{i}_{f1} \quad (2.2)$$

$$L \frac{di_L}{dt} = v_c - v_{cd1}(1 - \delta) \quad (2.3)$$

2.1.2. Inversor trifásico y filtro LCL

Para obtener el modelo del inversor, conviene partir de definir que los voltajes en la salida del inversor para cada fase los llamaremos v_{vsc1a} , v_{vsc1b} y v_{vsc1c} , los cuales están dados por (2.4)–(2.6), respectivamente.

$$v_{vsc1a} = \left(s_a - \frac{s_a + s_b + s_c}{3} \right) v_{cd1} = g_a v_{cd1} \quad (2.4)$$

$$v_{vsc1b} = \left(s_b - \frac{s_a + s_b + s_c}{3} \right) v_{cd1} = g_b v_{cd1} \quad (2.5)$$

$$v_{vsc1c} = \left(s_c - \frac{s_a + s_b + s_c}{3} \right) v_{cd1} = g_c v_{cd1} \quad (2.6)$$

En el filtro LCL, se tiene que la corriente que fluye por R_{d1} en cada fase está dada por la diferencia de $i_{f1x} - i_{s1x}$, donde $x \in \{a, b, c\}$. Considerando una resistencia de encendido R_{on} al momento de conmutar los transistores, se obtiene que, para la corriente $\mathbf{i}_{f1}$, la ecuación dinámica estará dada por (2.7), donde $\mathbf{v}_{vsc1} \triangleq [v_{vsc1a} \ v_{vsc1b} \ v_{vsc1c}]^T$, $\mathbf{i}_{s1} \triangleq [i_{s1a} \ i_{s1b} \ i_{s1c}]^T$ y $\mathbf{v}_{cf1} \triangleq [v_{cf1a} \ v_{cf1b} \ v_{cf1c}]^T$. Así, el voltaje presente en el capacitor C_{f1} de cada fase, será (2.8).

$$L_{f1} \frac{d\mathbf{i}_{f1}}{dt} = \mathbf{v}_{vsc1} - (R_{f1} + R_{on})\mathbf{i}_{f1} - \mathbf{v}_{cf1} - R_{d1}(\mathbf{i}_{f1} - \mathbf{i}_{s1}) \quad (2.7)$$

$$C_{f1} \frac{d\mathbf{v}_{cf1}}{dt} = \mathbf{i}_{f1} - \mathbf{i}_{s1} \quad (2.8)$$

2.1.3. Transformador Delta-Estrella

Se considera que, para el modelado del transformador, no se toma en cuenta la saturación del núcleo. Se observa en la Figura 2.6 que el lado de alta tensión corresponde a una conexión en estrella (Y) y el lado de baja tensión corresponde a una conexión en delta (Δ). Se considera el lado de baja como el primario y al lado de alta como el secundario. Para comenzar con el modelado de este, se calcula la relación de transformación (2.9), que debido a la conexión en delta del lado primario, se considera el voltaje de Línea a Línea (L-L). Siendo la impedancia en la rama del devanado secundario $Z_s = R_s + j\omega L_s$, donde ω se refiere a la frecuencia angular del sistema, esta impedancia es vista en el lado

primario como en (2.10), asimismo con la impedancia de la red $Z_g = R_g + j\omega L_g$. Considerando que las impedancias presentes en el lado primario están balanceadas, es decir, que los valores de estas impedancias son iguales para cada fase, entonces se puede transformar el lado Δ a una equivalencia en Y, teniendo así en (2.11) la relación de esta equivalencia. Así, el lado primario tendrá una impedancia total equivalente $Z_{eq} = Z_{s1} + \frac{1}{3}(Z_p + Z'_s + Z'_g)$, para cada fase y donde $Z_{s1} = R_{s1} + j\omega L_{s1}$. Por lo cual, en (2.12) se describe la ecuación dinámica para $\mathbf{i}_{s1}$, donde $\mathbf{v}_g \triangleq [v_{ga} \ v_{gb} \ v_{gc}]$.

$$\alpha = \frac{V_p \sqrt{3}}{V_s} \quad (2.9)$$

$$Z'_s = \alpha^2 Z_s \quad (2.10)$$

$$Z_Y = \frac{Z_\Delta}{3} \quad (2.11)$$

$$L_{eq} \frac{d\mathbf{i}_{s1}}{dt} = -R_{eq} \mathbf{i}_{s1} + \mathbf{v}_{cf1} + R_{d1}(\mathbf{i}_{f1} - \mathbf{i}_{s1}) - \alpha \mathbf{v}_g \quad (2.12)$$

De tal manera que, teniendo las ecuaciones dinámicas del sistema trifásico estudiado, el comportamiento de dicho sistema se puede expresar como se muestra en (2.13), donde $\mathbf{g} \triangleq [g_a \ g_b \ g_c]^T$.

$$\begin{bmatrix} \dot{i}_L \\ \dot{\mathbf{i}}_{f1} \\ \dot{\mathbf{i}}_{s1} \\ \dot{v}_c \\ \dot{v}_{cd1} \\ \dot{\mathbf{v}}_{cf1} \end{bmatrix} = \begin{bmatrix} \frac{v_c - v_{cd1}(1-\delta)}{L} \\ \frac{\mathbf{g}v_{cd1} - (R_{f1} + R_{on})\mathbf{i}_{f1} - \mathbf{v}_{cf1} - R_{d1}(\mathbf{i}_{f1} - \mathbf{i}_{s1})}{L_{f1}} \\ \frac{-R_{eq}\mathbf{i}_{s1} + \mathbf{v}_{cf1} + R_{d1}(\mathbf{i}_{f1} - \mathbf{i}_{s1}) - \alpha \mathbf{v}_g}{L_{eq}} \\ \frac{i_{pv} - i_L}{C} \\ \frac{i_L(1-\delta) - \mathbf{s}\mathbf{i}_{f1}}{C_{cd}} \\ \frac{\mathbf{i}_{f1} - \mathbf{i}_{s1}}{C_{f1}} \end{bmatrix} \quad (2.13)$$

2.2 Modelo en el dominio armónico extendido

Adicionalmente, se modeló este sistema en el dominio armónico extendido, siguiendo la metodología presentada en [47]. Para ello, las señales de conmutación $\mathbf{s}$ y $\mathbf{g}$ se mapearon a este dominio, representándolas como se muestran en (2.14) y (2.15), así como la señal de conmutación δ , que ahora se representará como $[\delta]$. Cada una de estas señales adopta una estructura matricial de tipo Toeplitz, la cual permite representar explícitamente su contenido armónico.

$$[\mathbf{S}] = \begin{bmatrix} [\mathbf{S}_a] \\ [\mathbf{S}_b] \\ [\mathbf{S}_c] \end{bmatrix} \quad (2.14)$$

$$[\mathbf{G}] = \begin{bmatrix} [\mathbf{G}_a] \\ [\mathbf{G}_b] \\ [\mathbf{G}_c] \end{bmatrix} \quad (2.15)$$

Considerando lo anterior, las ecuaciones que describen el modelo del sistema estudiado en el dominio del tiempo, presentadas en (2.13), se transforman al dominio armónico extendido, mostradas en (2.16). Donde $\mathbf{D}$ corresponde a la matriz derivativa del dominio armónico extendido, definida en (2.17), donde h representa el número total de armónicos considerados en el análisis; asimismo, $\mathbf{I}_d$ se define como una matriz identidad de dimensión $(2h+1) \times (2h+1)$. El subíndice 3 en las matrices indica la naturaleza trifásica del sistema, es decir, tres matrices independientes, una correspondiente a cada fase.

$$\begin{bmatrix} \dot{\mathbf{I}}_L \\ \dot{\mathbf{I}}_{f1} \\ \dot{\mathbf{I}}_{s1} \\ \dot{\mathbf{V}}_c \\ \dot{\mathbf{V}}_{cd1} \\ \dot{\mathbf{V}}_{cf1} \end{bmatrix} = \begin{bmatrix} \frac{\mathbf{I}_d \mathbf{V}_c - (\mathbf{I}_d - [\delta]) \mathbf{V}_{cd1}}{L} - \mathbf{D} \mathbf{I}_L \\ \frac{[\mathbf{G}] \mathbf{V}_{cd1} - (R_f + R_{on}) \mathbf{I}_{d3} \mathbf{I}_{f1} - \mathbf{I}_{d3} \mathbf{V}_{cf1} - R_{d1} \mathbf{I}_{d3} (\mathbf{I}_{f1} - \mathbf{I}_{s1})}{L_{f1}} - \mathbf{D}_3 \mathbf{I}_{f1} \\ \frac{-R_{eq} \mathbf{I}_{d3} \mathbf{I}_{s1} + \mathbf{I}_{d3} \mathbf{V}_{cf1} + R_{d1} \mathbf{I}_{d3} (\mathbf{I}_{f1} - \mathbf{I}_{s1}) - \alpha \mathbf{V}_g}{L_{eq}} - \mathbf{D}_3 \mathbf{I}_{s1} \\ \frac{\mathbf{I}_d \mathbf{I}_{pv} - \mathbf{I}_d \mathbf{I}_L}{C} - \mathbf{D} \mathbf{V}_c \\ \frac{\mathbf{I}_L (\mathbf{I}_d - [\delta]) - [\mathbf{S}] \mathbf{I}_{f1}}{C_{cd}} - \mathbf{D} \mathbf{V}_{cd1} \\ \frac{\mathbf{I}_{d3} \mathbf{I}_{f1} - \mathbf{I}_{d3} \mathbf{I}_{s1}}{C_{f1}} - \mathbf{D}_3 \mathbf{V}_{cf1} \end{bmatrix} \quad (2.16)$$

$$\mathbf{D} = \begin{bmatrix} -jh\omega & & & & & \\ & \ddots & & & & \\ & & -j\omega & & & \\ & & & 0 & & \\ & & & & j\omega & \\ & & & & & \ddots \\ & & & & & & jh\omega \end{bmatrix} \quad (2.17)$$

Los modelos obtenidos en (2.13) y (2.16) fueron implementados en MATLAB bajo los parámetros mostrados en la Tabla 2.2. Para el diseño de los filtros LCL se utilizó la metodología presentada en [48]. El sistema fue modelado en SIMULINK empleando bloques de la librería *Simscape Electrical – Specialized Power Systems*, con el objetivo de validar

su comportamiento dinámico y utilizar sus resultados como referencia para validar los distintos enfoques de modelado presentados. Esta comparación resultó fundamental para verificar la consistencia del sistema de ecuaciones diferenciales deducidos y avanzar con seguridad en el diseño del esquema de control propuesto. En la Figura 2.7 se muestra la comparación de los resultados arrojados bajo estos enfoques, para el voltaje v_{cd1} , v_{cf1a} y para la corriente i_{s1a} . Esto fue probado en lazo abierto, definiendo un ciclo de trabajo de 0.5 para el convertidor elevador, y para el inversor trifásico se definió un índice de modulación de 0.82 y una fase de 12.45° para la generación de las señales moduladoras. En cuanto al modelo en el dominio armónico extendido, para este análisis se consideraron 101 armónicos ($h = 101$).

Tabla 2.2. Parámetros de la microrred para la simulación.

Parámetro	Valor	Parámetro	Valor
C	300 μF	F_n	60 Hz
L	96 μH	$f_{s1,2}$	3060 Hz
C_{cd}	2080 μF	v_{cd2}	1200 V
$L_{f1,2}$	0.1266 mH	L_p	14.6680 μH
$R_{f1,2}$	2 m Ω	R_p	0.1382 m Ω
$L_{s1,2}$	0.0404 mH	L_s	25.2580 mH
$R_{s1,2}$	2 m Ω	R_s	0.2381 Ω
$C_{f1,2}$	565 μF	L_g	62.8313 mH
$R_{d1,2}$	0.5940 Ω	R_g	2.3687 Ω

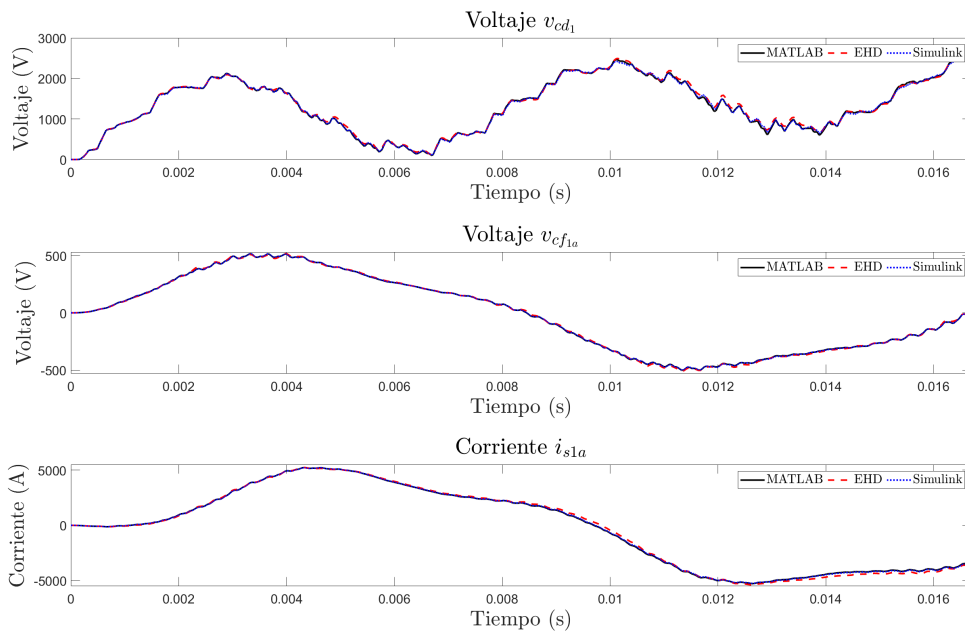


Figura 2.7: Comparación de la respuesta del sistema en lazo abierto entre los distintos enfoques de modelado.

2.3 Estrategia de control *Grid-Following*

El concepto GFL se refiere a un seguimiento de red, y se adopta para describir este tipo de sistema interconectado a la red, en donde el inversor se sincroniza con las características de la red, tales como la frecuencia y la fase, a través de un *Phase-Locked Loop* (lazo de amarre de fase) (PLL). Con esto, el inversor es capaz de inyectar corriente a la red de manera sincronizada y regulando así su magnitud y fase para cumplir con el objetivo de potencia de referencia. En la Figura 2.8 se muestra un esquema de los lazos de corriente y voltaje que se aplicarán en el sistema, el lazo de corriente consiste en primera instancia en considerar la transformada de Park, para mapear las señales de voltaje y corriente del marco abc a señales en el dominio $dq0$, esta transformación está descrita a través de la matriz de transformación (2.18), y siendo ωt obtenido del PLL, de esta manera es posible obtener las señales de corriente como se observa en (2.19), donde $\mathbf{i}_{abc}$ corresponde a las señales de corriente medidas en el PCC de la Figura 2.1; esto aplica de igual manera para las señales de voltaje.

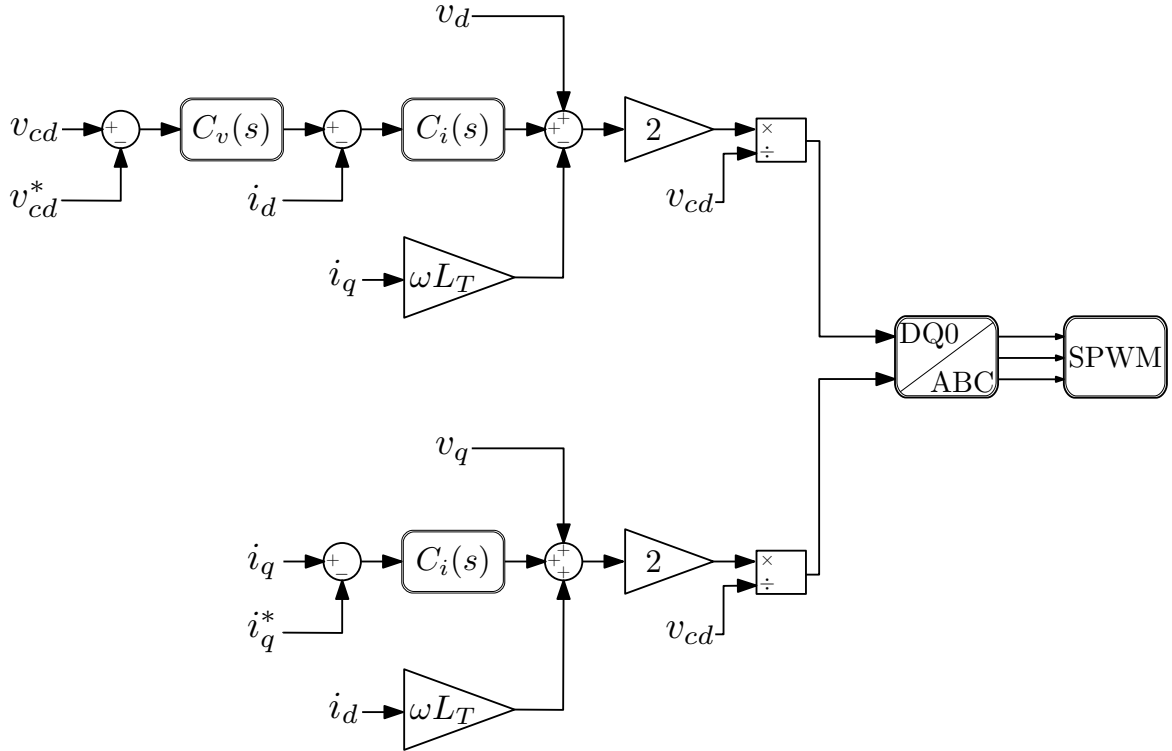


Figura 2.8: Estructura de control *Grid-Following* en tiempo continuo.

$$\mathbf{T} = \frac{2}{3} \begin{bmatrix} \sin(\omega t) & \sin(\omega t - 2\pi/3) & \sin(\omega t + 2\pi/3) \\ \cos(\omega t) & \cos(\omega t - 2\pi/3) & \cos(\omega t + 2\pi/3) \\ 1/2 & 1/2 & 1/2 \end{bmatrix} \quad (2.18)$$

$$\begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} = \mathbf{T} \mathbf{i}_{abc} \quad (2.19)$$

Ahora, partiendo de (2.20), que describe el voltaje de salida del inversor para cada fase ($x = a, b, c$), y donde m representa el índice de modulación del inversor. Además, se hace la suposición de que $i_{fx} \approx i_{sx}$ (véase la Figura 2.6), se puede escribir la ecuación diferencial (2.21), donde $L_T = L_f + L_s$, $R_T = R_f + R_s$, i_x se refiere a la corriente medida para cada fase en el PCC y v_x al voltaje medido para cada fase en el PCC.

$$v_{vsc_x} = m_x \frac{v_{cd}}{2} \quad (2.20)$$

$$L_T \frac{di_x}{dt} = v_{vsc_x} - R_T i_x - v_x \quad (2.21)$$

Aplicando la transformada de Park a (2.21) se obtiene (2.22) en el dominio $dq0$. Suponiendo que el sistema es balanceado, la componente en 0 no estará presente, por lo que el control de corriente solo tomará en cuenta a las componentes en d y en q , siendo la corriente i_d la responsable de regular la potencia activa y la corriente i_q la encargada de la potencia reactiva.

$$\begin{aligned} L_T \frac{di_d}{dt} &= -R_T i_d + L_T \omega i_q - v_d + m_d \frac{v_{cd}}{2} \\ L_T \frac{di_q}{dt} &= -R_T i_q - L_T \omega i_d - v_q + m_q \frac{v_{cd}}{2} \\ L_T \frac{di_0}{dt} &= -R_T i_0 - v_0 + m_0 \frac{v_{cd}}{2} \end{aligned} \quad (2.22)$$

Para simplificar, se propone un cambio de variable en la componente en d , de tal manera que $z_d = L_T \omega i_q - v_d + m_d \frac{v_{cd}}{2}$, lo que da (2.23), y aplicando la transformada de Laplace, se obtiene (2.24), para así obtener la función de transferencia mostrada en (2.25), la cual describe el comportamiento de la componente i_d ante una entrada z_d . De manera análoga, se puede obtener la función de transferencia para la componente i_q , realizando el respectivo cambio de variable como $z_q = -L_T \omega i_d - v_q + m_q \frac{v_{cd}}{2}$.

$$L_T \frac{di_d}{dt} = -R_T i_d + z_d \quad (2.23)$$

$$s L_T i_d(s) = -R_T i_d(s) + z_d(s) \quad (2.24)$$

$$\frac{i_d}{z_d} = \frac{1}{L_T s + R_T} \quad (2.25)$$

Una vez obtenido esto y que ya se conocen las características del sistema, es posible elegir un controlador adecuado, para este caso se optó por un controlador PI, por lo que lo siguiente es determinar las señales de referencia para cada lazo de corriente (i_d^* e i_q^*).

Debido a que el inversor de la rama 2 cuenta un bus de CD controlado, no se busca regular este voltaje; por lo tanto, la estructura de control para este convertidor se reduce a la vista en la Figura 2.9. Entonces, la señal de referencia i_d^* , se obtiene con (2.26).

$$i_d^* = \frac{P^* v_q + Q^* v_d}{\frac{3}{2}(v_d^2 + v_q^2)} \quad (2.26)$$

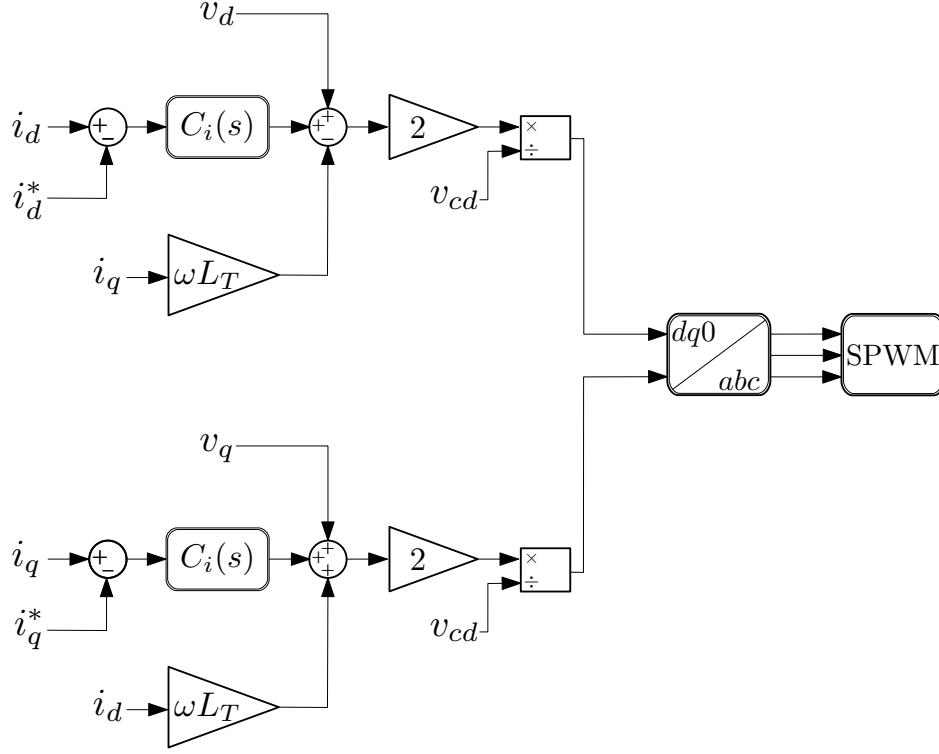


Figura 2.9: Estructura de control *Grid-Following* para el inversor 2

Para el inversor de la rama 1, como bien se mencionó anteriormente, la corriente i_d es la encargada de controlar la potencia activa, y en este tipo de sistema se requiere aprovechar la máxima potencia que el panel fotovoltaico disponga para entregar, y además que el voltaje en el bus de CD, v_{cd} , sea constante, el inversor será el encargado de regular dicho voltaje, aprovechando así la máxima potencia disponible, por lo que analizando el nodo v_{cd} en (2.1), se obtiene (2.27), donde $i_{in} = m_a i_{fa} + m_b i_{fb} + m_c i_{fc}$. Entonces, se obtiene una ecuación diferencial (2.28), que al transformarla al dominio $dq0$ se obtiene (2.29).

$$i_{cd} = i_{boost} - i_{in} \quad (2.27)$$

$$C_{cd} \frac{dv_{cd}}{dt} = i_{boost} - (m_a i_{fa} + m_b i_{fb} + m_c i_{fc}) \quad (2.28)$$

$$C_{cd} \frac{dv_{cd}}{dt} = i_{boost} - \frac{1}{2}(m_d i_d + m_q i_q + m_0 i_0) \quad (2.29)$$

Al transformar al dominio de la frecuencia y tomando en cuenta la componente d , se tiene (2.30). Entonces, la función de transferencia que describe el comportamiento del sistema ante una entrada de corriente i_d modulada será (2.31).

$$sC_{cd}V_{cd}(s) = -\frac{1}{2}m_d(s)i_d(s) \quad (2.30)$$

$$\frac{V_{cd}}{m_di_d} = -\frac{1}{2C_{cd}s} \quad (2.31)$$

Para este caso donde la planta requiere un controlador para generar la referencia de la corriente en d (i_d^*), se selecciona de igual manera un controlador PI.

Finalmente, el intercambio de potencia reactiva Q se tiene que la corriente i_q^* está dada por (2.32), de donde P^* y Q^* se refieren a la potencia activa y reactiva de referencia, respectivamente, que inyecta o absorbe cada inversor en el PCC. Para el caso del inversor 1, la potencia P^* corresponde a la potencia activa medida en la rama 1 (P_1).

$$i_q^* = \frac{P^*v_q - Q^*v_d}{\frac{3}{2}(v_d^2 + v_q^2)} \quad (2.32)$$

.

2.3.1. Sintonización de controladores Proporcional-Integral

Siguiendo el esquema visto en la Figura 2.8, y como se mencionó anteriormente, los controladores $C_i(s)$ y $C_v(s)$ corresponden a una topología PI. Para sintonizar las ganancias de los controladores, se siguió una metodología basada en las características de un sistema de segundo orden; este método fue usado para encontrar las ganancias en el dominio continuo de los controladores. La técnica parte de la planta de primer orden (2.33), y teniendo la forma de un controlador PI continuo, que está dada por (2.34). Se aprecia que al realizar la integración de estas dos plantas, el sistema se convierte en uno de segundo orden.

$$G_i(s) = \frac{1}{L_Ts + R_T} \quad (2.33)$$

$$C_i(s) = K \frac{s + a_0}{s} \quad (2.34)$$

Observando el criterio del 2 % [49], que se muestra en (2.35), se define el tiempo de establecimiento de la respuesta transitoria de un sistema con base en la atenuación σ . Con el fin de evitar oscilaciones, se diseñó un sistema críticamente amortiguado con el factor de amortiguamiento $\zeta = 1$; por lo tanto, la frecuencia natural no amortiguada ω_n se puede obtener despejando de (2.35), al definir un tiempo de asentamiento deseado para la respuesta del sistema.

$$t_s = \frac{4}{\sigma} = \frac{4}{\zeta\omega_n} \quad (2.35)$$

Ahora, el polo que se desea añadir al sistema se compone de la frecuencia natural amortiguada ω_d y del valor de σ , como se ve en (2.36). La frecuencia natural amortiguada resulta en $\omega_d = 0$ debido a (2.37).

$$polo^* = \sigma + j\omega_d \quad (2.36)$$

$$\omega_d = \omega_n \sqrt{1 - \zeta^2} \quad (2.37)$$

Entonces, para ubicar el valor de a_0 que se encuentra en el controlador $C_i(s)$, se busca que el controlador aporte 0 grados a la fase del sistema, por lo que el valor de a_0 se deberá ubicar a la izquierda del polo deseado. Al tener un polo estable, es decir, que el polo se encuentra en el semiplano izquierdo, basta con multiplicar al polo deseado por un factor $k_0 > 1$ para este propósito, como se ve en (2.38).

$$a_0 = k_0 \cdot polo^* \quad (2.38)$$

Ahora, al garantizar que la ganancia en magnitud de la planta en conjunto con el controlador sea de 1, es decir, una ganancia unitaria, se puede calcular K como se ve en (2.39), con lo que la estructura del controlador PI continuo queda como (2.40).

$$K = \frac{1}{|C_i G_i(polo^*)|} \quad (2.39)$$

$$PI(s) = \frac{Ks + Ka_0}{s} = \frac{K_p s + K_i}{s} \quad (2.40)$$

Al tener las mismas características en el orden de la planta $C_v(s)$, se realizó la misma metodología, de tal manera que las ganancias obtenidas para ambos controladores se muestran en la Tabla 2.3.

Tabla 2.3. Ganancias calculadas para los controladores continuos.

	$C_i(s)$	$C_v(s)$
t_s	25 ms	50 ms
K_p	0.1136	-1.6640
K_i	21.8102	-159.4740

Para que sea posible implementar estos controladores en un sistema digital, se requiere discretizar la planta de los controladores diseñados, por lo que para este caso se utilizó el método de discretización llamado Euler hacia atrás, en donde se definió un tiempo de muestreo de $100 \mu s$, y se añadió una etapa *Anti-Windup* para evitar la saturación en la parte integral de estos controladores, de tal manera que en la Figura 2.10 se muestra la estructura del controlador digital, donde la ganancia $K_W = 1000$.

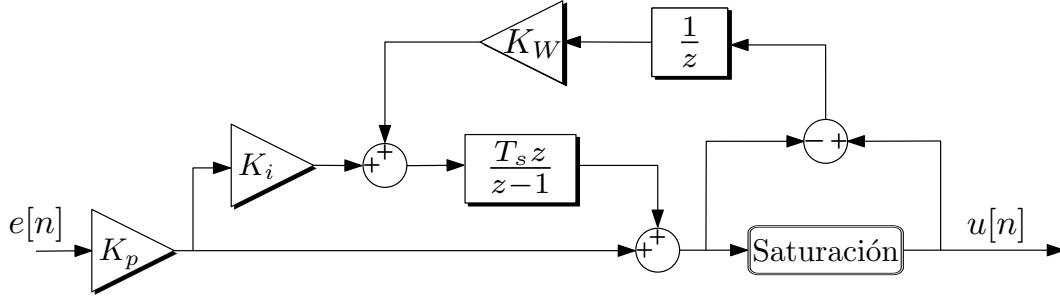


Figura 2.10: Controlador PI discreto con etapa *Anti-WindUp*.

En este tipo de sistemas, las estrategias de control pueden causar un impacto en la estabilidad del sistema completo; por lo tanto, el controlador se debe de modelar con gran detalle para considerar el impacto que pueda causar en la puesta en marcha. Es por esto que, con el fin de acercarse a condiciones operativas cercanas a la realidad, se implementó la estrategia de control en un controlador digital real. Esta implementación se empleó en una tarjeta controladora de la compañía dSPACE, modelo CP1104. Este tipo de plataformas permite la realización de pruebas RCP mediante el entorno Simulink de MATLAB. La tarjeta se utilizó dentro de un esquema CHIL, en conjunto con un simulador en tiempo real encargado de emular la dinámica del sistema, generando las señales analógicas correspondientes, las cuales son adquiridas por el controlador digital; por lo tanto, con el fin de facilitar al lector la replicación de este tipo de experimentos, en la Sección 2.4 se presenta de manera detallada la implementación paso a paso de los controladores en este tipo de tarjeta.

2.4 Implementación de control discreto

Grid-Following en dSPACE

La primera etapa de la implementación consiste en la creación del modelo en Simulink basándose en la plantilla predefinida como *RTI1104*, la cual es instalada en el paquete de licencia del fabricante, en la Figura 2.11 se muestra la plantilla usada.

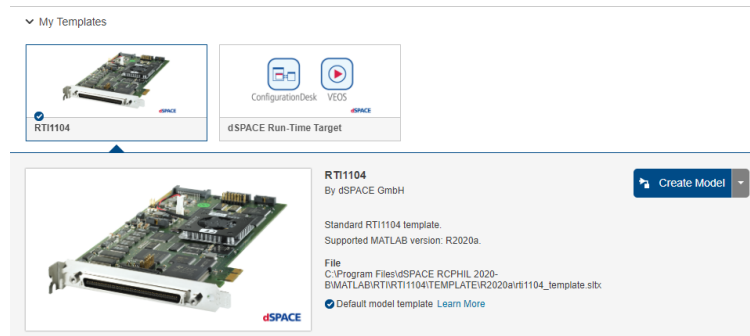


Figura 2.11: Plantilla predefinida *RTI1104*.

Una vez creado el modelo, se ubica la librería llamada *dSPACE RTI1104* dentro del buscador de librerías de Simulink, como se aprecia en la Figura 2.12.

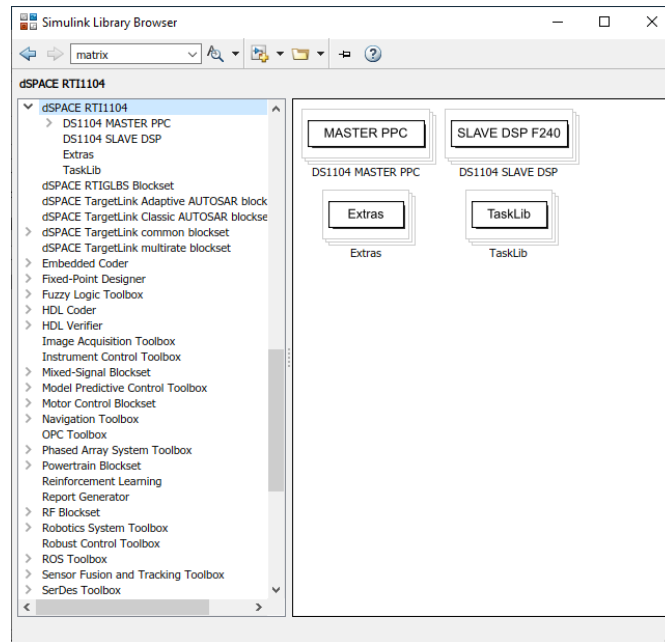


Figura 2.12: Librería RTI1104 de dSPACE.

Dentro de esta librería, se puede encontrar la sección llamada *DS1104 MASTER PPC*, en la cual se encuentran elementos que nos sirven para nuestro propósito de implementación, como lo son las entradas del ADC que se muestran en la Figura 2.13.

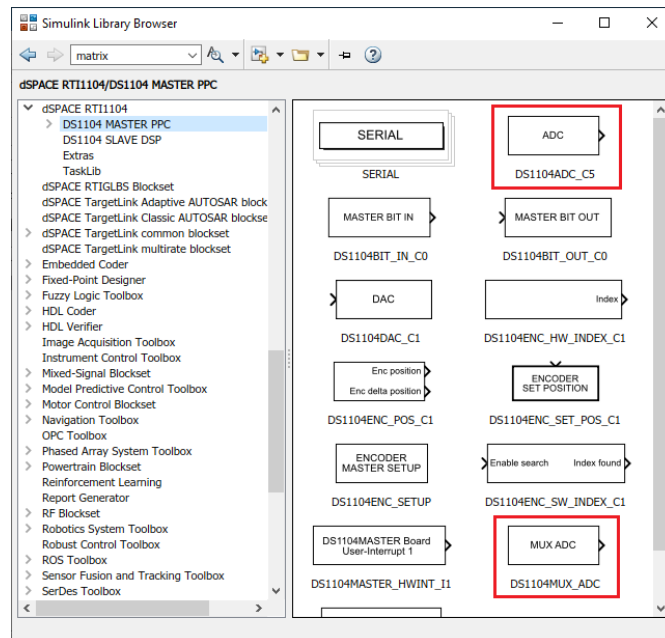


Figura 2.13: Sección DS1104 MASTER PPC de la librería RTI1104.

Viendo las características de estos bloques en la Figura 2.14 y Figura 2.15 se puede observar que el bloque *DS1104MUX_ADC* corresponde a los canales 1 a 4 del disposi-

tivo, mientras que el bloque *DS1104ADC* corresponde a los canales 5 a 8. Dentro de las características del bloque *MUX ADC* se encuentra que este se refiere a 4 canales multiplexados con una resolución de 16 bits para cada canal y una tasa de conversión de $2\ \mu\text{s}$ basándose en una conversión *sample and hold*; mientras que el bloque *ADC* se refiere a 4 canales, cada uno con una resolución de 12 bits y una tasa de conversión de 800 ns, de igual manera bajo la técnica *sample and hold* para su muestreo.

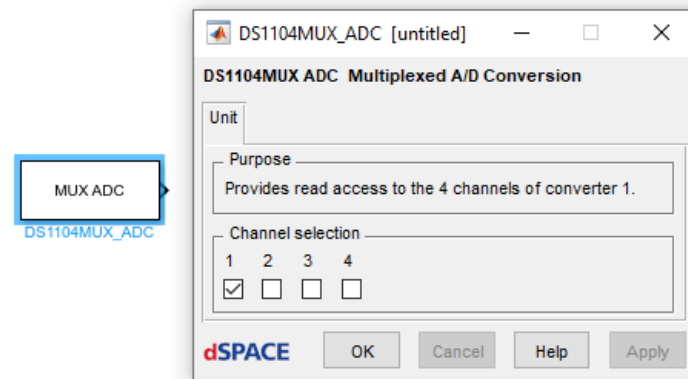


Figura 2.14: Bloque MUX ADC de dSPACE para los canales 1 a 4.

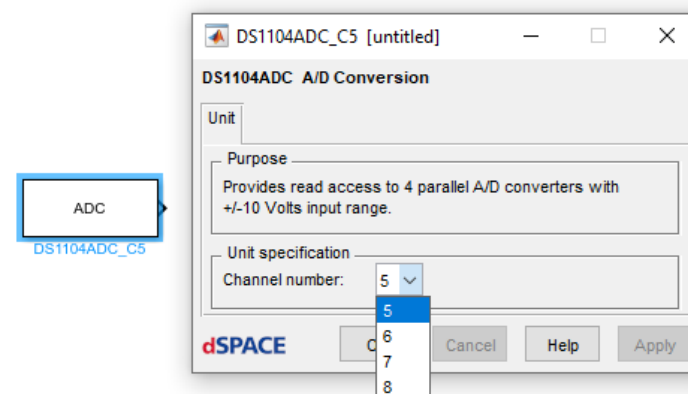


Figura 2.15: Bloque ADC de dSPACE para los canales 5 a 8.

Otro elemento que resulta de particular importancia para el desarrollo de esta implementación es el bloque llamado *DS1104SL_DSP_PWM3* que se encuentra en la sección *DS1104 SLAVE DSP*, mostrado en la Figura 2.16, este bloque será el encargado de generar los 3 pulsos PWM junto a su parte negada, esto al tener el ciclo de trabajo en las entradas del bloque.

Dentro de las características de este bloque es posible definir la frecuencia de conmutación de la portadora, siendo el límite mínimo de 1.25 Hz y el límite máximo de 5 MHz; asimismo, es posible definir el tiempo muerto que habrá entre cada pulso y el negado de este mismo, estas características se muestran en la Figura 2.17

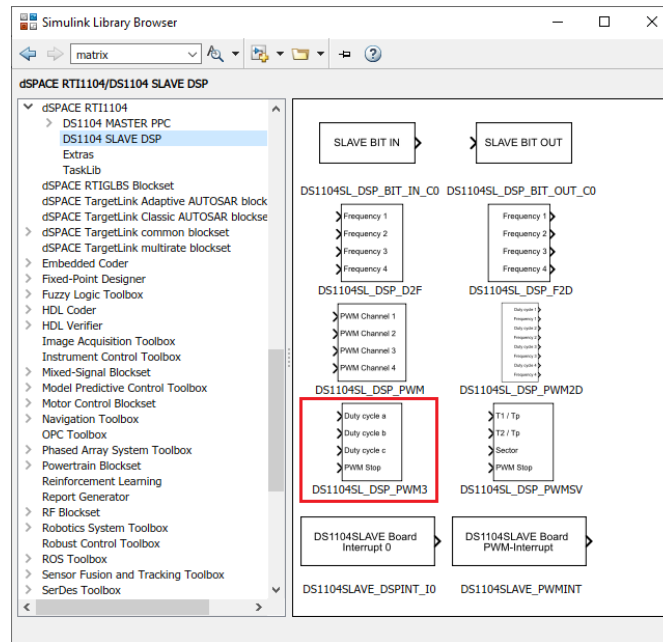


Figura 2.16: Sección DS1104 SLAVE DSP de la librería RTI1104.

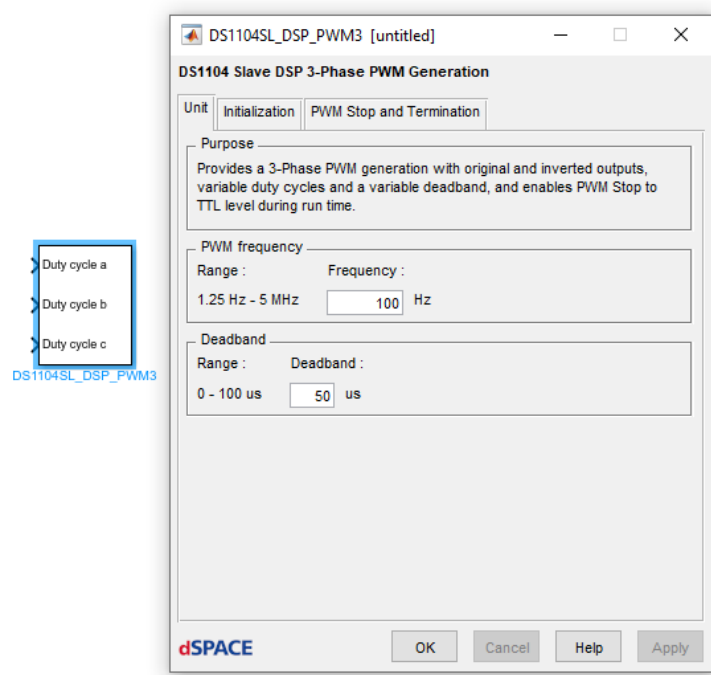


Figura 2.17: Bloque PWM3 de dSPACE para generar pulsos PWM.

La siguiente etapa de la estrategia de control, mostrada en la Figura 2.8, consiste en la lectura de señales mediante el convertidor analógico-digital, destacando que el dispositivo admite entradas en un rango de ± 10 V. En caso necesario, la señal de entrada debe ajustarse al factor de escala requerido para la simulación. Posteriormente, se incorporó el bloque $PLL(3ph)$ para obtener la fase de las señales de voltaje recibidas por el *Analog to Digital Converter* (convertidor analógico a digital) (ADC). Asimismo, se añadieron los bloques *abc to dq0*, que aplican la transformada de Park a las señales trifásicas de voltaje

y corriente, como se muestra en la Figura 2.18.

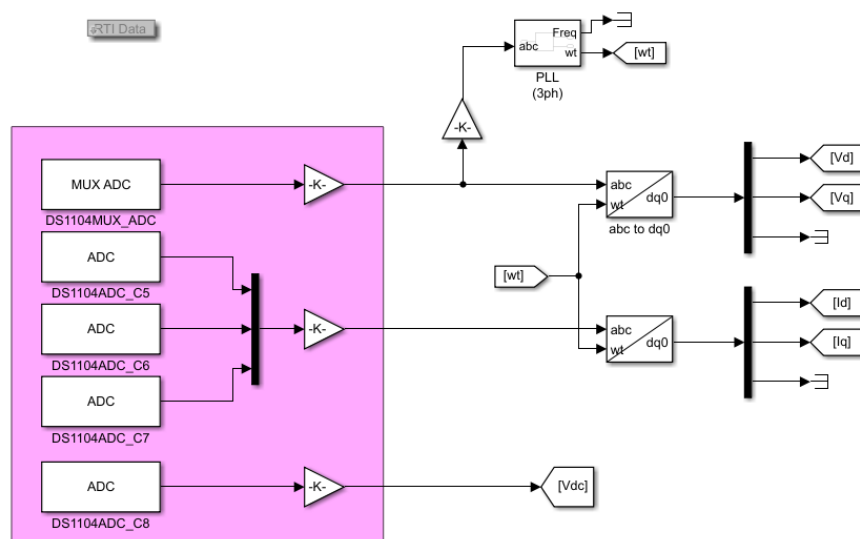


Figura 2.18: Modelo en Simulink para recibir señales por el convertidor analógico a digital de la tarjeta CP1104.

El siguiente paso es implementar el modelo de control con las señales que se han obtenido en las entradas, como se muestra en la Figura 2.19, de donde en la Figura 2.20 se muestra el contenido del subsistema del controlador proporcional-integral discreto.

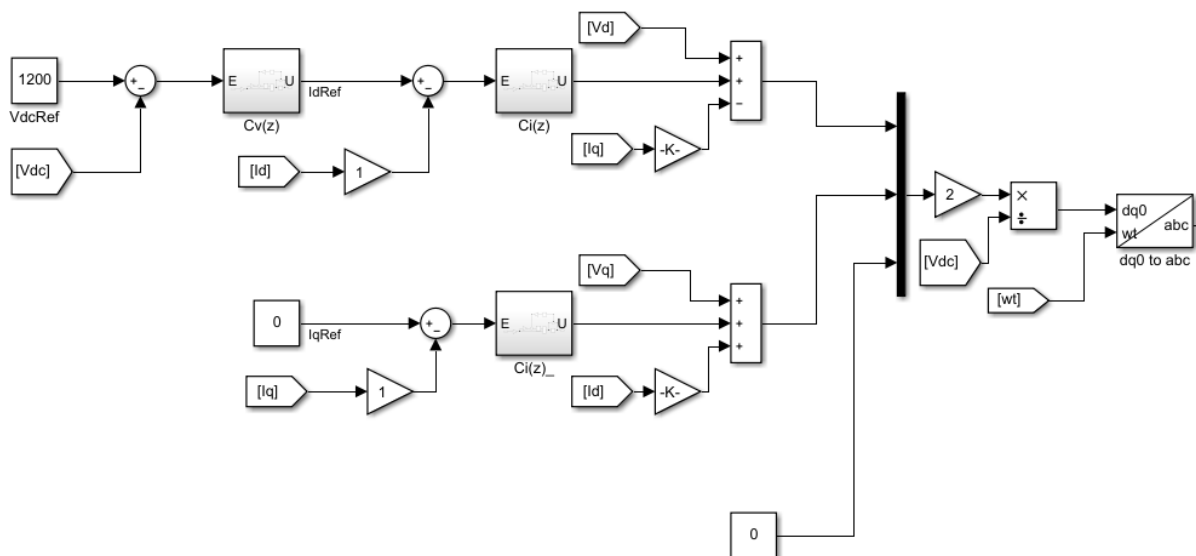


Figura 2.19: Modelo en Simulink para implementar la estrategia de control en la tarjeta CP1104.

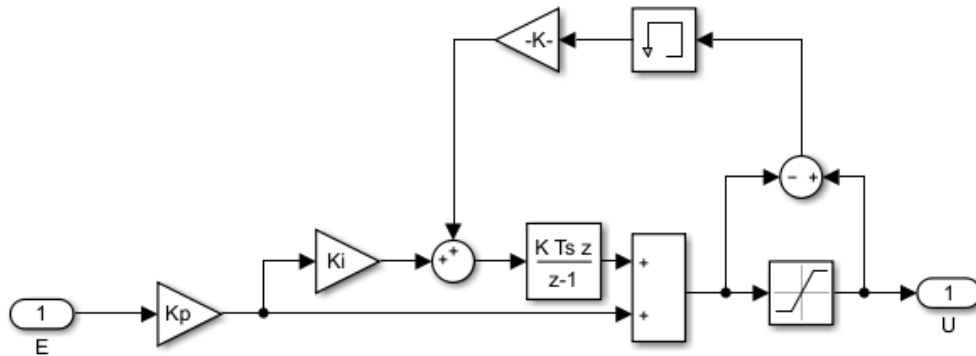


Figura 2.20: Modelo del bloque del controlador PI en tiempo discreto para la implementación en la tarjeta CP1104.

Como última etapa en el modelo, se integra la conversión de las señales moduladoras a señales de ciclo de trabajo, debido a que el bloque que genera las señales PWM recibe el ciclo de trabajo de las tres señales en un rango de 0 a 1. En la Figura 2.21 se muestra esta conversión y la conexión con el bloque, donde dentro de este mismo se definió una frecuencia de conmutación de 3060 Hz para esta aplicación.

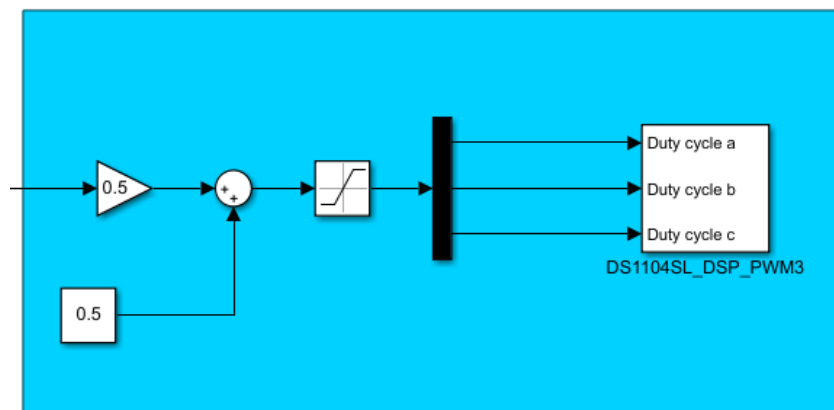


Figura 2.21: Modelo en Simulink para generar los pulsos PWM.

Este modelo se configuró para ejecutarse a un paso de integración de $100 \mu s$ y seleccionando un método de solución correspondiente a Euler hacia atrás; esto es posible configurarlo en los parámetros de configuración del modelo, tal como se muestra en la Figura 2.22.

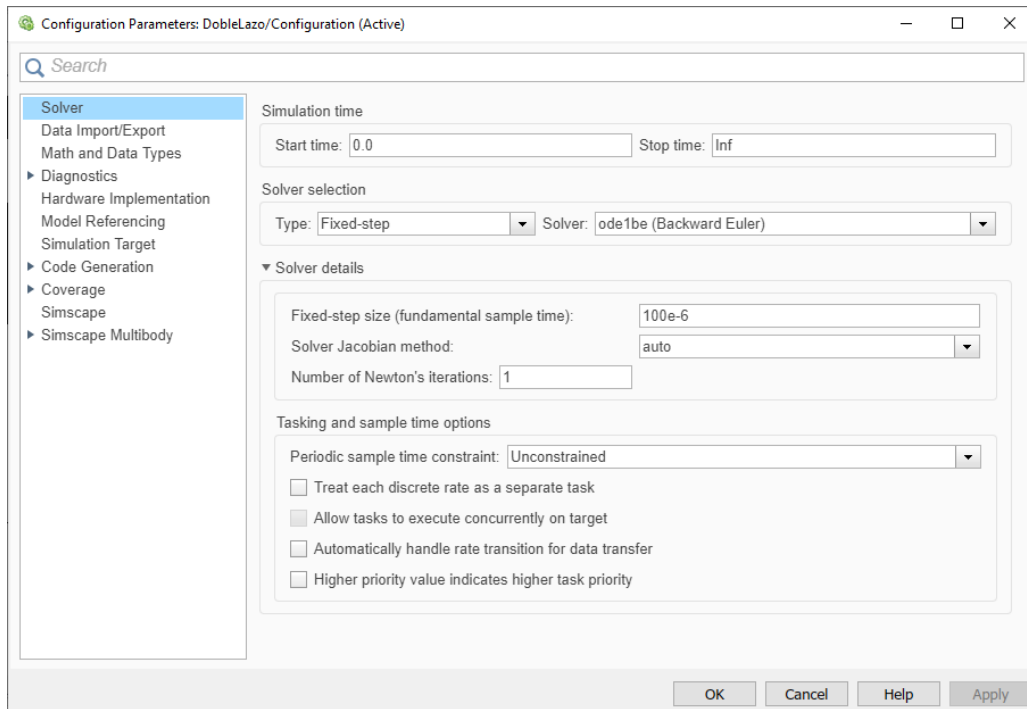


Figura 2.22: Parámetros de configuración del modelo en Simulink para dSPACE.

Una vez completada la implementación del modelo, habiendo guardado el archivo en la ubicación deseada del ordenador y cambiado el directorio de MATLAB (Figura 2.23) a la ubicación seleccionada, el modelo se ejecutará en tiempo real al presionar las teclas $Ctrl + B$.

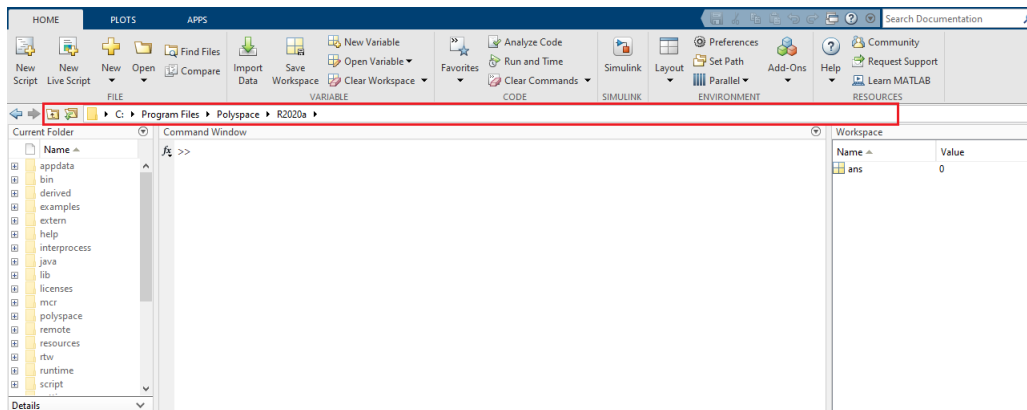


Figura 2.23: Directorio de MATLAB en la pantalla principal.

Al trabajar con este tipo de implementaciones, resulta útil cambiar valores de constantes o visualizar señales en tiempo real, por lo que para estas tareas se usó el programa ControlDesk en su versión 7.3, este software es propio de la compañía dSPACE. Para conectar el modelo en ControlDesk, se deberá revisar que se haya generado un archivo con el mismo nombre del modelo, pero con una extensión '.sdf'. Al tener este archivo, se procede a ingresar al programa ControlDesk y crear un nuevo proyecto, donde aparecerá la ventana que se ve en la Figura 2.24.

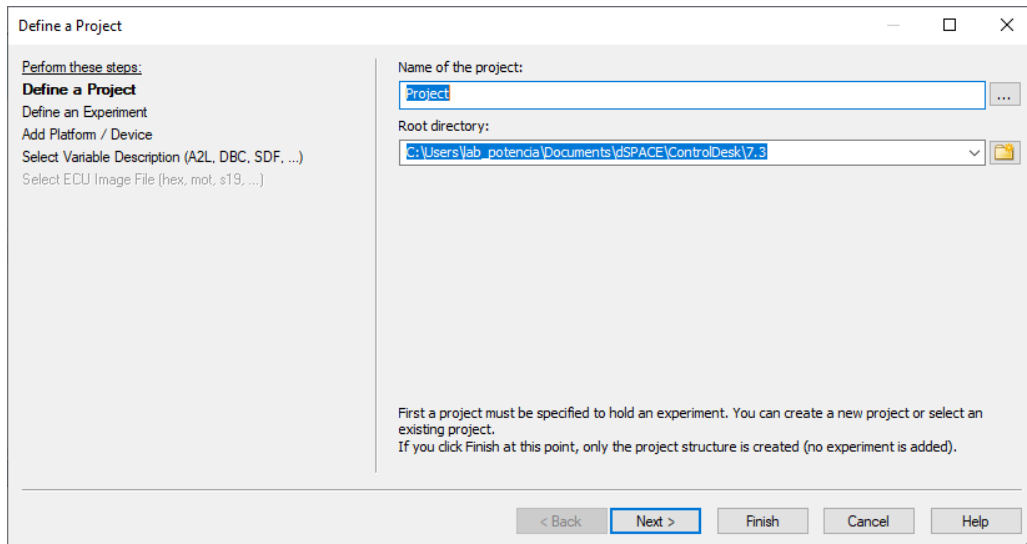


Figura 2.24: Pantalla para crear un proyecto en ControlDesk.

Al definir el nombre del proyecto y seleccionar la ruta donde se quiere guardar, al dar clic en el botón *Next* se actualizará la ventana al siguiente apartado, que se ve en la Figura 2.25, donde se podrá definir un experimento.

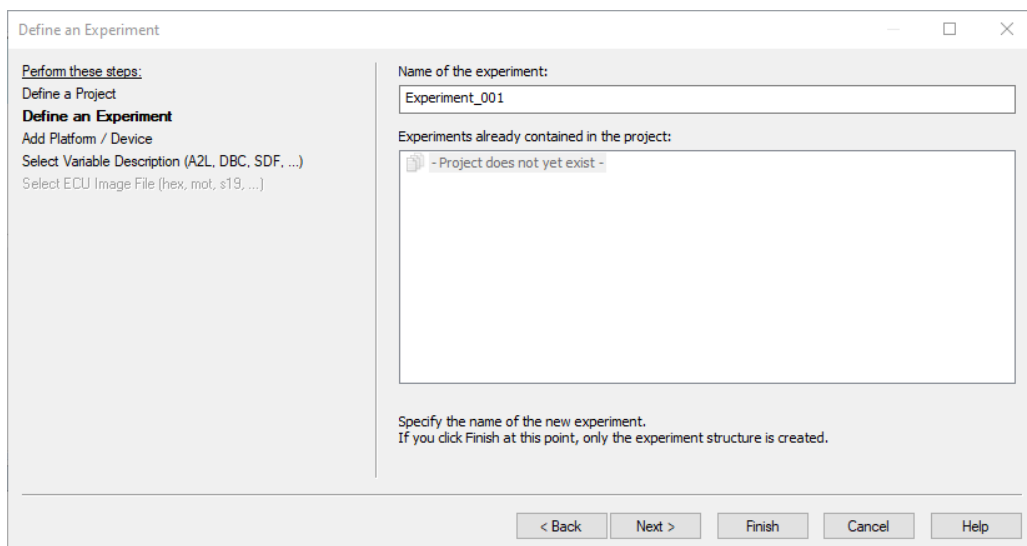


Figura 2.25: Pantalla para crear un experimento en ControlDesk.

En el apartado *Select Variable Description* es donde se deberá importar el archivo con extensión ‘.sdf’ que se creó anteriormente, como se observa en la Figura 2.26, llegado a este punto es posible presionar el botón *Finish*. Esto hará que se pueda estar dentro del entorno de ControlDesk, donde en el apartado *Instrument Selector* se tiene una gran variedad de elementos a seleccionar para la interfaz en tiempo real que se ejecute. Para ejemplificar el uso de los elementos, se seleccionó el elemento llamado *Numeric Input*, con el cual es posible modificar el valor de alguna ganancia o variable declarada en el modelo que se compiló, ya que gracias al archivo tipo SDF todas las variables que se manejaron

en el modelo de Simulink, se encuentran disponibles en el apartado *Variables*, como se muestra en la Figura 2.27.

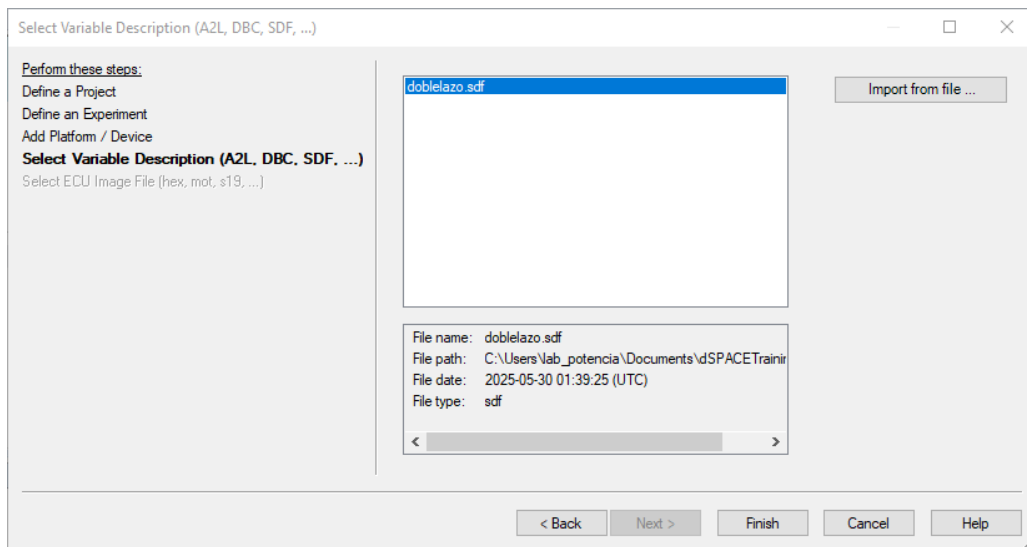


Figura 2.26: Pantalla para crear un proyecto en ControlDesk.

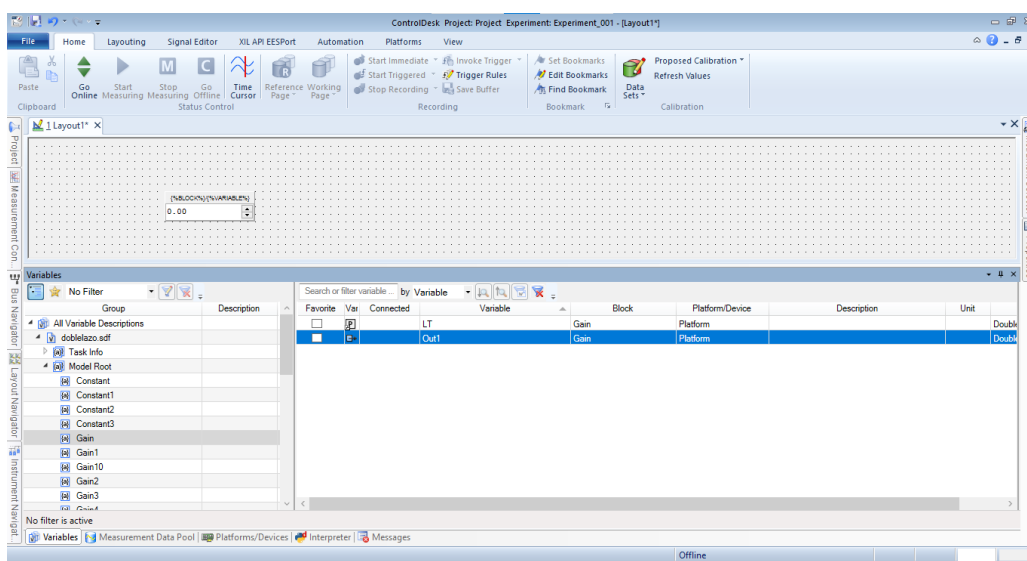


Figura 2.27: Variables declaradas en el modelo de Simulink.

Capítulo 3

Implementación de la Microrred en el Simulador en Tiempo Real

Con el propósito de probar la MR base vista en la Figura 2.1, se empleó una metodología de validación progresiva que permite evaluar el desempeño de los modelos y estrategias de control bajo condiciones cercanas a la operación real. Esta metodología contempla la integración gradual de los distintos componentes del sistema dentro de un entorno de simulación en tiempo real, lo que facilita la detección de posibles limitaciones, así como la verificación del correcto funcionamiento de los algoritmos de control antes de su implementación experimental.

Por lo tanto, este capítulo pretende servir al lector como una guía práctica para trabajar en simulaciones en tiempo real, resaltando los pasos y consideraciones a tomar en cuenta al trabajar en entornos de simulación *Hardware In the Loop* (HIL) para este tipo de sistemas eléctricos, y en particular, usando la tecnología de simulación en tiempo real de la compañía OPAL-RT. Por lo que en este capítulo se muestran las fases del proceso que se llevaron a cabo para las implementaciones, la primera sección refiriéndose al esquema *Controller Hardware In the Loop* (CHIL) y la segunda sección al esquema *Power Hardware In the Loop* (PHIL).

3.1 *Controller Hardware In the Loop*

Para esta implementación se realizaron conexiones físicas entre el simulador en tiempo real OP4510 y una tarjeta controladora dSPACE CP1104, tal como se aprecia en la Figura 3.1, se utilizaron los puertos DB37 para establecer una comunicación entre estos dos dispositivos.

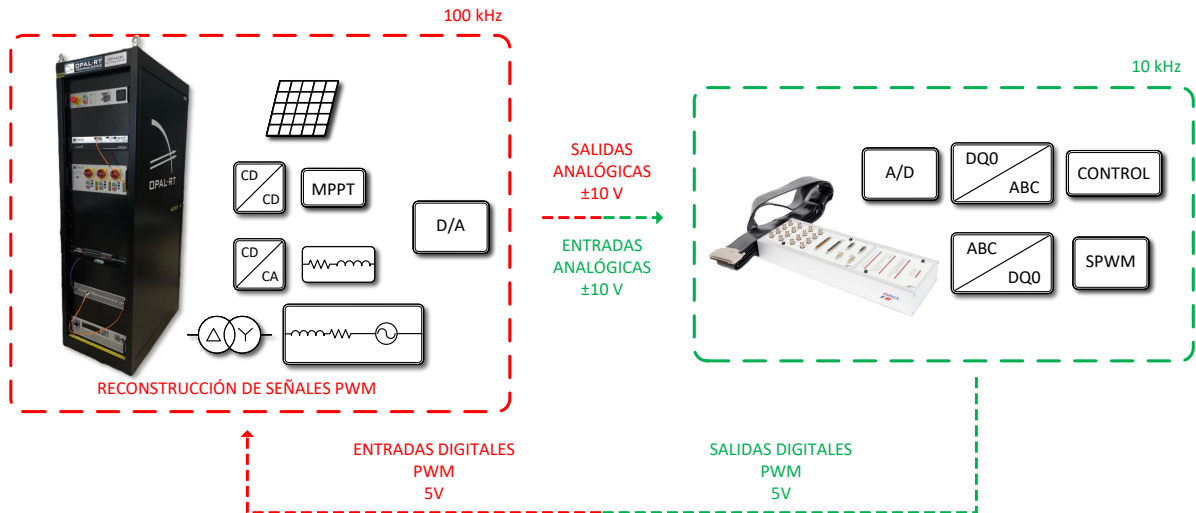


Figura 3.1: Estructura de simulación CHIL implementada.

El simulador OP4510 cuenta con este tipo de puertos para conectar las entradas y salidas, tanto digitales como analógicas. En la Figura 3.2 se muestra la vista trasera del simulador, donde se encuentran este tipo de puertos, en los recuadros en rojo se resaltan los puertos que son de interés para esta implementación, correspondiendo así el *Slot 1B* a las entradas digitales y el *Slot 2B* a las salidas analógicas.



Figura 3.2: Vista trasera del simulador OP4510.

Para el caso del *Slot 1B*, el equipo dispone de 32 entradas o salidas digitales, según se configure, ya que estos canales son bidireccionales; para el caso del *Slot 2B* se tienen disponibles 16 canales para las salidas analógicas con una resolución de 16 bits y un rango de voltaje por defecto de ± 16 V, este rango de voltaje puede ser configurado a ± 10 V o ± 5 V. En la Figura 3.3 se muestra la configuración de los pines para los puertos DB37 que utiliza el simulador, esta información es proporcionada en los manuales del fabricante para el modelo de simulador que se maneja en esta tesis; al guiarse de esta numeración, para el *Slot 1B* los pines del 1 al 16 corresponden a los pulsos de entrada o salida disponibles, mientras que del pin número 20 al 35 se tienen las conexiones a tierra para cada pulso. En el caso del *Slot 2B*, siguiendo la misma numeración, se tiene que para

el pin 1 al 16 corresponden al polo positivo de las 16 salidas analógicas disponibles y del pin 20 al 35 el polo negativo de las mismas.

DB37 pin	Channel pin assignment	DB37	Channel pin assignment
1	+00	20	-00
2	+01	21	-01
3	+02	22	-02
4	+03	23	-03
5	+04	24	-04
6	+05	25	-05
7	+06	26	-06
7	+07	27	-07
9	+08	28	-08
10	+09	29	-09
11	+10	30	-10
12	+11	31	-11
13	+12	32	-12
14	+13	33	-13
15	+14	34	-14
16	+15	35	-15
17	+12V*	36	DGND
18	Vuser	37	Vrtn
19			

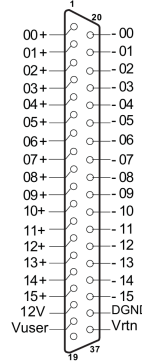


Figura 3.3: Numeración de pines del puerto DB37 en el simulador OP4510.

La tarjeta dSPACE CP1104 utiliza el mismo tipo de puerto de entrada/salida para los pulsos PWM, mientras que para las conexiones de las entradas y salidas analógicas se utiliza el conector de tipo BNC. En la Figura 3.4 se observa el panel frontal del dispositivo, en donde se indican los conectores antes mencionados.

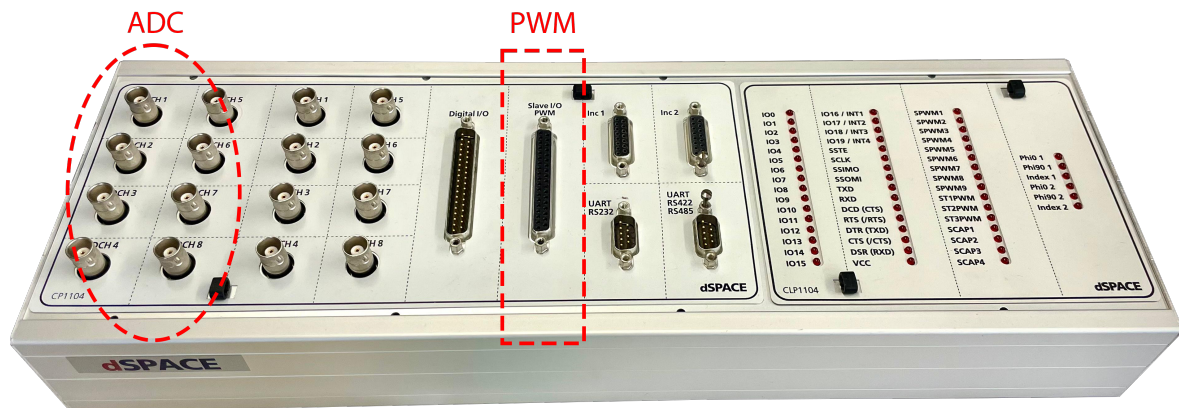


Figura 3.4: Panel frontal de la tarjeta CP1104.

Debido a que los puertos DB37 no cuentan con un estándar para la clasificación de los pines en este tipo de aplicaciones, en la Figura 3.5 se muestra la configuración proporcionada en los manuales del fabricante para este tipo de puerto en la tarjeta que se está manejando.

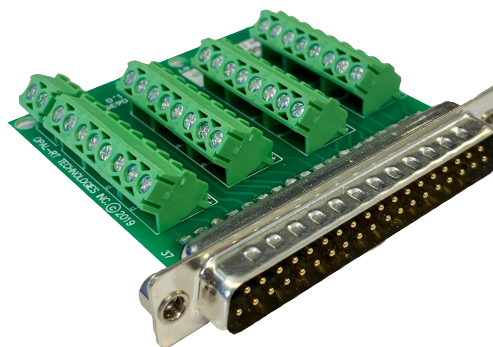




Figura 3.7: Extensor con terminación BNC tipo macho.

3.1.1. Implementación del modelo en Simulink

Primeramente, se simuló el modelo base de la MR fotovoltaica mostrada en la Figura 2.1 en el entorno Simulink de la plataforma MATLAB versión R2023b, utilizando la librería *Simscape Electrical - Specialized Power Systems*, la cual proporciona bloques específicos para este tipo de elementos, permitiendo así un modelado detallado en este tipo de sistemas. En la Figura 3.8 se muestra la rama 1 de la MR base, fuera de línea y en lazo abierto en Simulink.

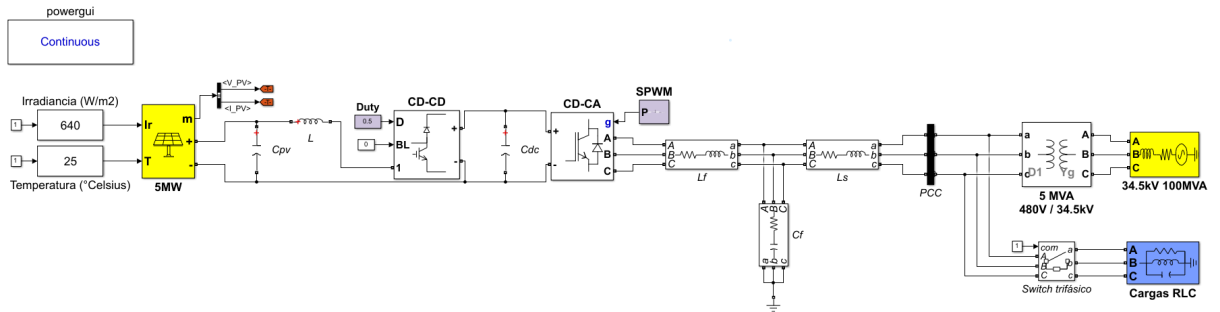


Figura 3.8: Modelo en lazo abierto para una simulación fuera de línea.

Este modelo puede ser enlazado con el simulador OP4510 para correr en tiempo real, tomando algunas consideraciones para hacerlo, en primera instancia (teniendo instalado el paquete RT-LAB en nuestro ordenador), visualizar la librería llamada *RT-LAB*, en el buscador de librerías, como se muestra en la Figura 3.9.

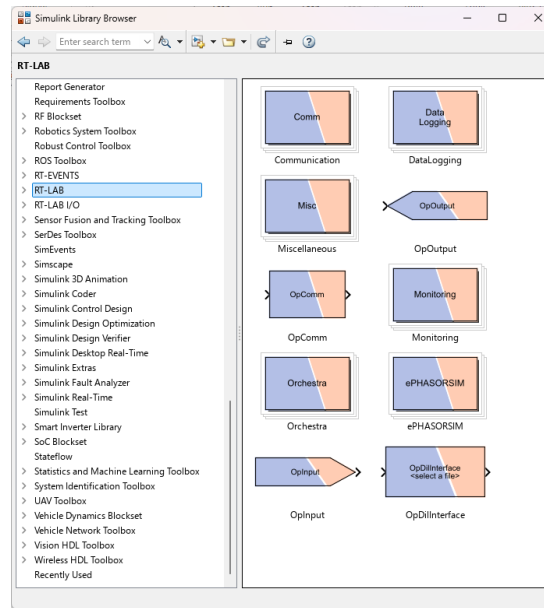


Figura 3.9: Librería RT-LAB en Simulink para el enlace con el simulador OP4510.

Ahora que se tiene certeza de tener instalado dicho paquete, el modelo se deberá dividir en dos subsistemas, un subsistema correspondiente a los procesos que se correrán en el simulador en tiempo real, y otro subsistema para leer los datos en el ordenador principal enlazado al simulador, con el fin de integrar una interfaz gráfica en dicho ordenador para manejar las entradas al sistema y visualizar las gráficas de manera interactiva. Para el primer caso, en la Figura 3.10 se muestra cómo se define el subsistema, el cual deberá llevar el nombre deseado y añadiendo el prefijo ‘SM_’, haciendo referencia a que este subsistema será cargado en el núcleo principal del simulador, o bien en el núcleo maestro.

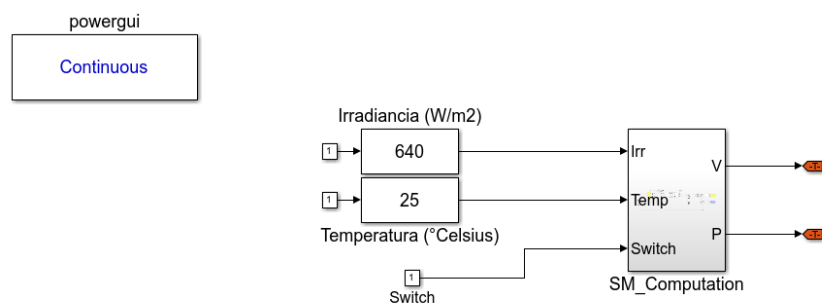


Figura 3.10: Subsistema para el núcleo principal del simulador en tiempo real.

Ahora que ya se tiene el subsistema principal, el siguiente paso es crear el subsistema para la interfaz gráfica con las entradas y gráficas que se desean visualizar en el ordenador principal, este subsistema deberá contar con el prefijo ‘SC_’ y seguido del nombre que se desee, de tal manera que los dos subsistemas para el modelo quedarán tal como se muestra en la Figura 3.11.

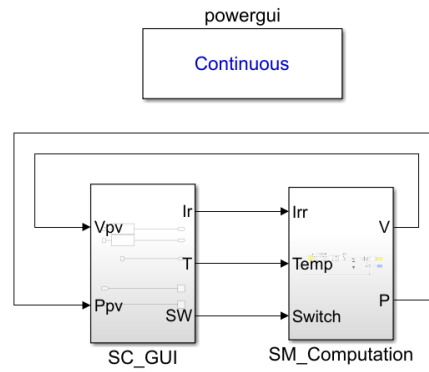


Figura 3.11: Subsistemas para el simulador en tiempo real.

Una vez clasificados los subsistemas del modelo, se procede a integrar la comunicación del ordenador principal con el simulador en tiempo real OP4510, para esto, de la librería *RT-LAB* (Figura 3.9), se selecciona el bloque llamado *OpComm* y se conecta, para el caso del subsistema *SM_Computation*, a las entradas que recibirá el simulador desde el ordenador principal, es decir, desde la interfaz gráfica. Al dar doble clic sobre el bloque *OpComm* se despliega un cuadro de diálogo donde se pueden definir los parámetros de este mismo, como lo es el número de entradas, en la Figura 3.12 se muestra esta ventana de parámetros.

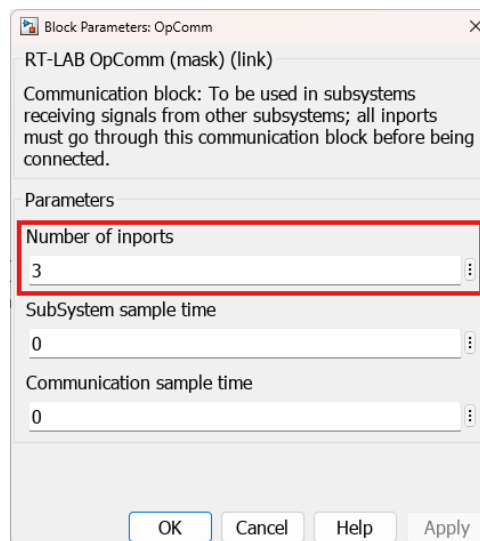


Figura 3.12: Ventana de parámetros del bloque *OpComm*.

Al definir el número de entradas, en la Figura 3.13 se muestra cómo quedan las conexiones del bloque *OpComm*. Ahora, para el subsistema *SC_GUI*, el bloque *OpComm* deberá conectarse a las entradas del mismo bloque, con esto se establece una comunicación entre las señales del simulador que se desean visualizar en el ordenador. En la Figura 3.14 se muestran dichas conexiones.

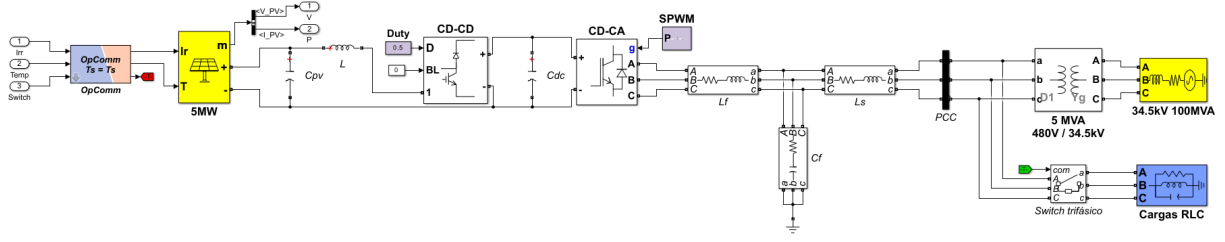


Figura 3.13: Conexión de bloque *OpComm* para el subsistema *SM_Computation*.

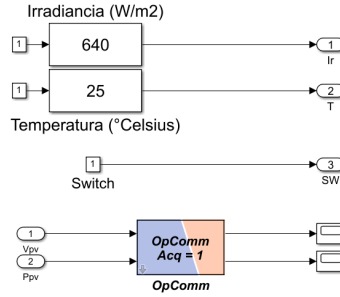


Figura 3.14: Conexión de bloque *OpComm* para el subsistema *SC_GUI*.

Al tener el modelo en lazo abierto y siguiendo el esquema propuesto (Figura 3.1), se puede observar que, para la parte integrada en el simulador en tiempo real, se necesita añadir la etapa del algoritmo del *Maximum Power Point Tracking* (seguidor del punto de máxima potencia) (MPPT) y la etapa de entradas digitales y salidas analógicas. Por lo que en la Figura 3.15 se muestra la conexión con el subsistema llamado P&O, el cual integra el algoritmo visto en la Figura 2.5 con las señales de voltaje y corriente que se reciben del bloque de arreglo de paneles fotovoltaicos.

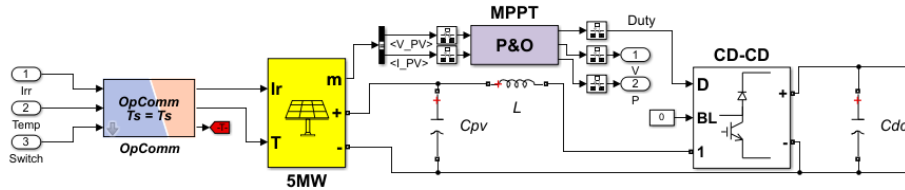


Figura 3.15: Integración de MPPT en el modelo de Simulink.

Estas señales se filtran con un filtro pasabajos de primer orden y una frecuencia de corte de 1000 Hz, el bloque opera a un periodo de muestreo de 100 ms por lo que se integran bloques propios de Simulink llamados *Rate Transition* que sirven como un retenedor de orden cero para el paso de muestreo especificado, diferente al paso de integración propio de la simulación.

Dando continuidad a la implementación, se añade la etapa correspondiente a las salidas analógicas del sistema, en donde ahora se hace uso del bloque llamado *OpOutput*, el cual se encuentra en la librería *RT-LAB* de Simulink (Figura 3.9). Con este bloque se generan las señales analógicas en los puertos de salida del propio simulador. Como se explicará en

la Subsección 3.1.2, las salidas analógicas para esta implementación serán configuradas en un rango de ± 10 V, por lo que se deben escalar las señales medidas del sistema a la resolución de aproximadamente 15.2588 mV por bit, para la correcta generación de las señales analógicas a través de la etapa de conversión D/A. Debido a las características del sistema y al rango de operación de las señales de interés, se definió el margen para cada señal en la Tabla 3.1, donde se muestra el factor de escala para la ganancia de cada señal, las señales v_{abc} e i_{abc} corresponden a las mediciones en el PCC.

Tabla 3.1. Señales medidas y escalamiento para las salidas analógicas.

Señales	Margen	Factor de escala
v_{abc}	± 500 V	0.02
i_{abc}	± 15 kA	6.6667×10^{-4}
v_{cd}	± 4 kV	2.5×10^{-3}

Con esto, el modelo queda como se muestra en la Figura 3.16, donde las ganancias -K- mostradas en los bloques corresponden al factor de escala, y donde es conveniente llamar al identificador de los bloques *OpOutput* con el puerto que se está usando del simulador, los canales de salida y el nombre de la señal que se está procesando, esto con el fin de evitar confusiones al momento de realizar las configuraciones correspondientes en RT-LAB, tal como se verá en la Subsección 3.1.2.

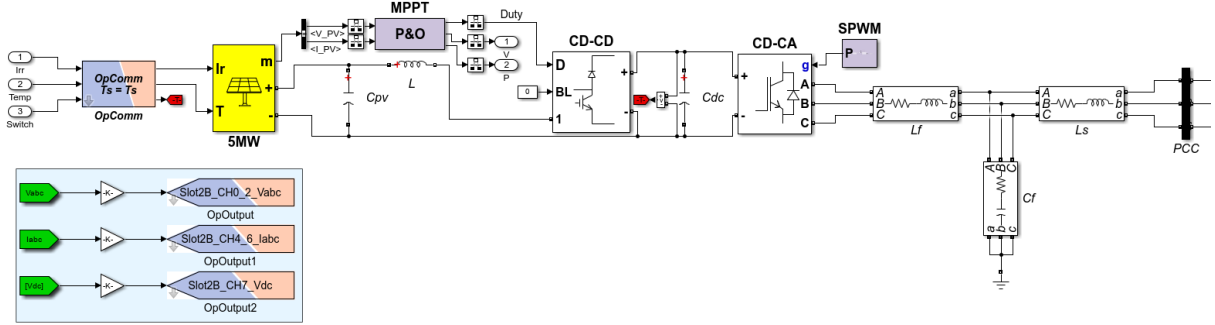


Figura 3.16: Implementación de los bloques *OpOutput* para las salidas analógicas.

Lo que resta incluir en el modelo son las entradas digitales al sistema para la lectura de los pulsos PWM generados por el controlador, que para este caso es la tarjeta dSPACE CP1104, con lo que se añade el bloque llamado *OpInput* que será el encargado de la detección del ciclo de trabajo de los pulsos PWM recibidos en los puertos digitales del simulador, y con esto generar los pulsos por *Sinusoidal Pulse Width Modulation* (modulación por ancho de pulso sinusoidal) (SPWM) dentro del entorno del simulador. Como el ciclo de trabajo recibido corresponde a una señal en el rango de 0 a 1, esta señal debe escalarse y ajustarse a un rango de una señal moduladora de -1 a 1 para la generación de los pulsos SPWM. Así, el modelo se muestra en la Figura 3.17, donde ahora el blo-

que denominado *SPWM* generará estos pulsos siguiendo las 3 señales de referencia, que corresponden a las señales moduladoras obtenidas. Cabe recalcar que, para evitar contradicciones en la simulación, en los parámetros de este bloque se recomienda definir valores por defecto en caso de errores en las lecturas, como se ve en la Figura 3.18 se definió un vector de ceros del tamaño correspondiente al número de señales esperadas.

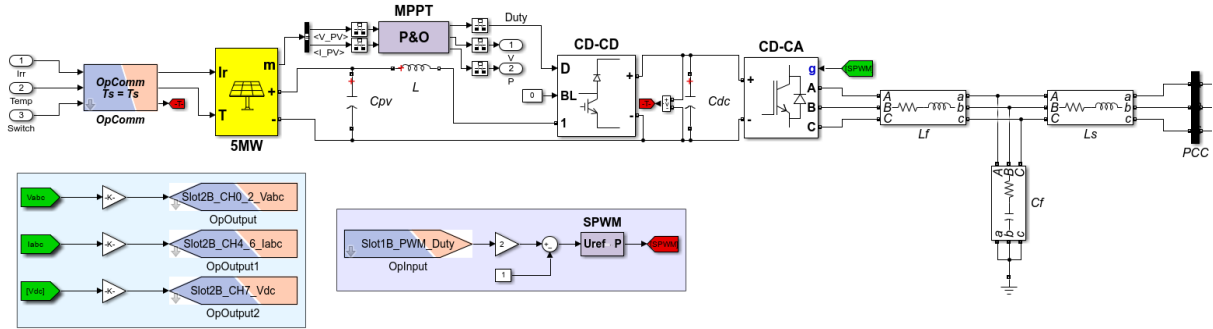


Figura 3.17: Implementación del bloque *OpInput* para las entradas digitales.

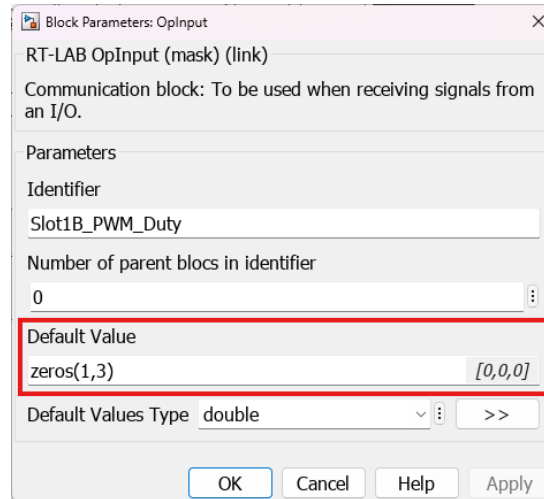


Figura 3.18: Ventana de parámetros del bloque *OpInput*.

Hasta este punto, para proseguir con la ejecución del modelo en tiempo real, se deben seguir las configuraciones del modelo proporcionadas por el fabricante, antes de migrar a RT-LAB, las cuales son las siguientes:

- Configurar el tipo de solución como paso fijo y definir el paso de integración al que correrá el modelo, para este caso se seleccionó un paso de integración de $10 \mu s$. En la Figura 3.19 se muestra la ventana de configuraciones donde se definen estos parámetros.
- Deshabilitar la opción llamada *Signal storage reuse*, como se muestra en la Figura 3.20.
- Deshabilitar la opción llamada *Block reduction*, como se muestra en la Figura 3.21.

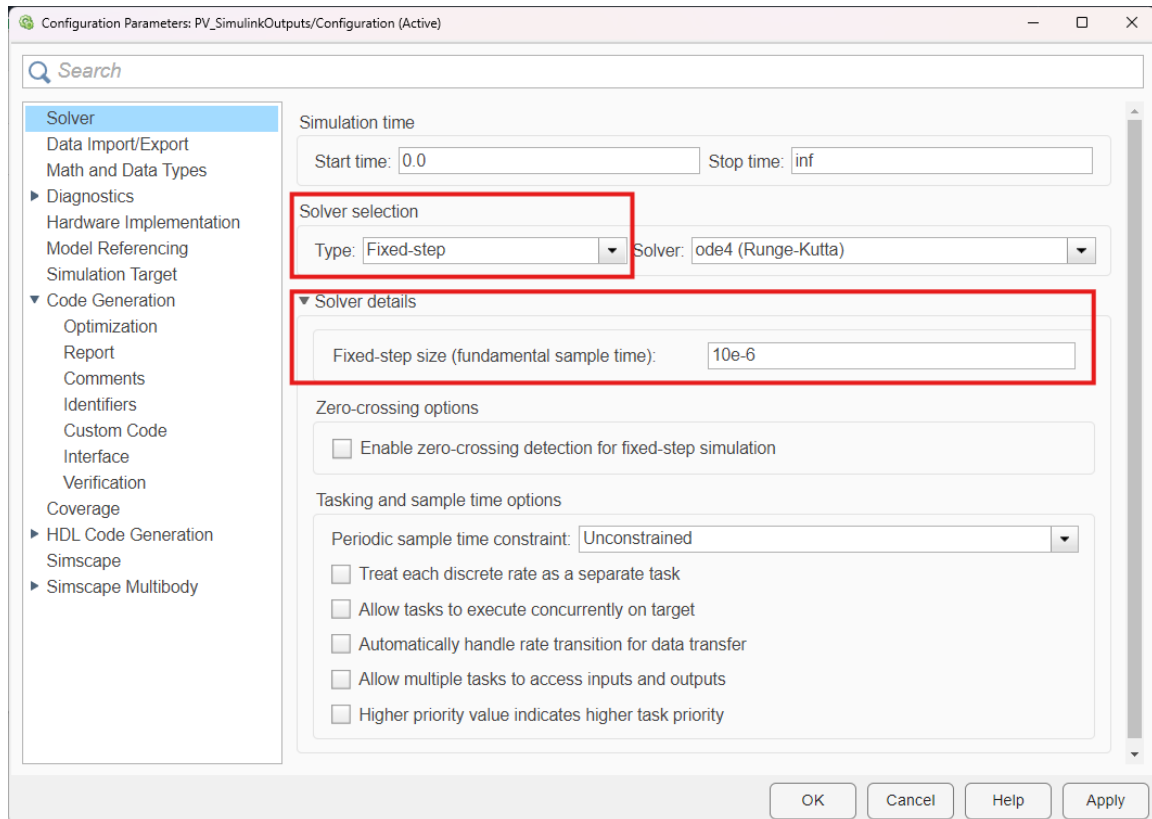


Figura 3.19: Ventana de configuración de parámetros del solucionador en Simulink.

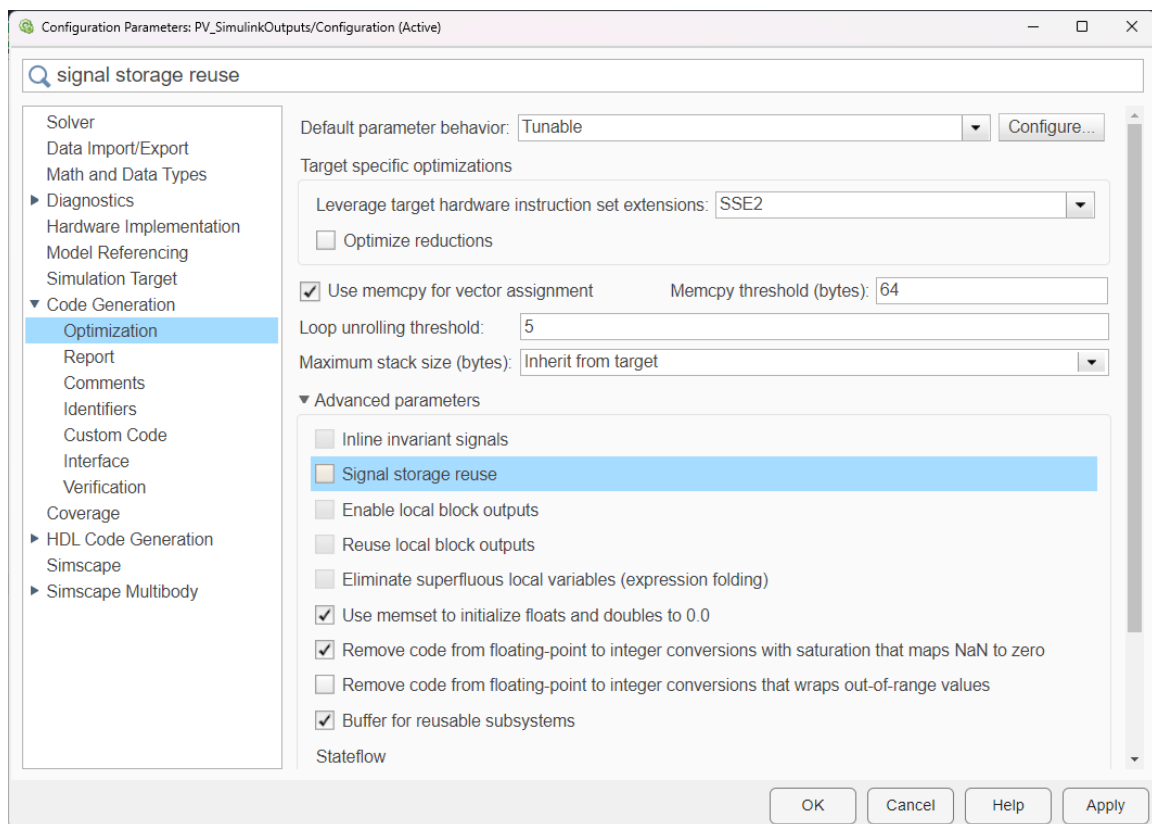


Figura 3.20: Ventana de configuración de parámetros en Simulink.

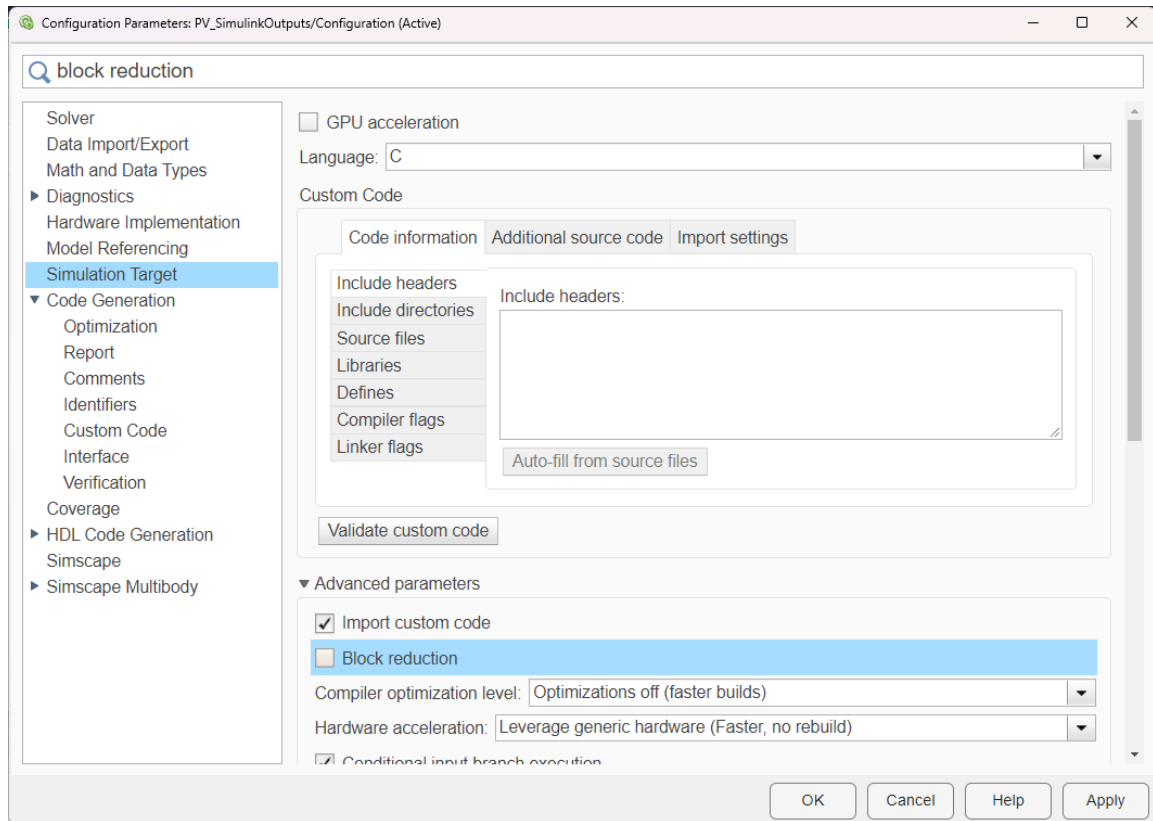


Figura 3.21: Ventana de configuración de parámetros en Simulink.

Por último, al usar el bloque *powergui* requerido para correr los bloques de la librería *Simscape Electrical - Specialized Power Systems*, para estos escenarios es necesario cambiar el tipo de simulación a discreto y definir el paso de integración en el que se desea ejecutar la simulación; esto se hace desde los parámetros del bloque que se muestra en la Figura 3.22.

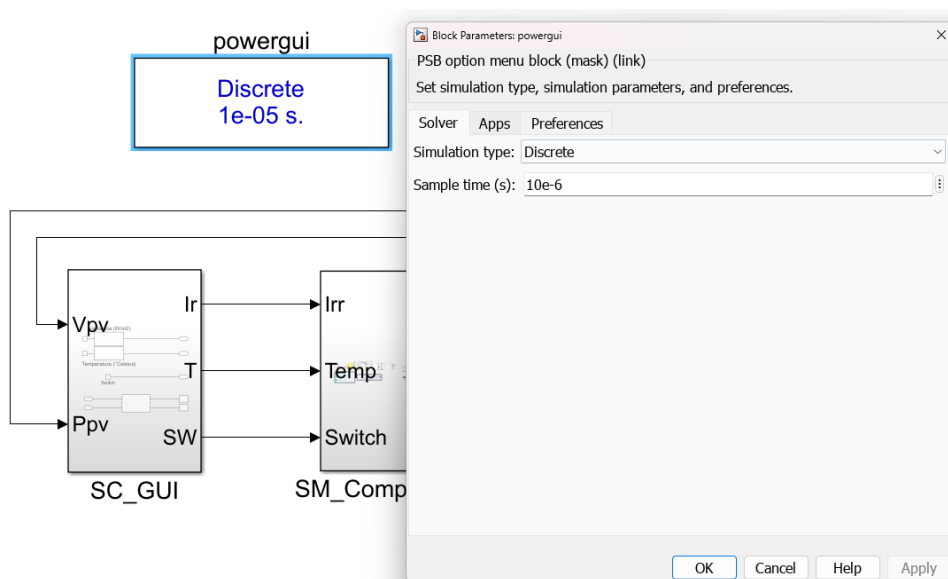


Figura 3.22: Ventana de parámetros del bloque *powergui*.

3.1.2. Configuraciones en RT-LAB

Ya que se tiene el modelo preparado en Simulink, a continuación, se muestran los pasos que se siguieron para configurar la simulación en tiempo real a través del entorno RT-LAB en la versión v2024.1.6.55. Comenzando con la creación de un nuevo proyecto, se puede importar el modelo creado en Simulink así como se muestra en la Figura 3.23.

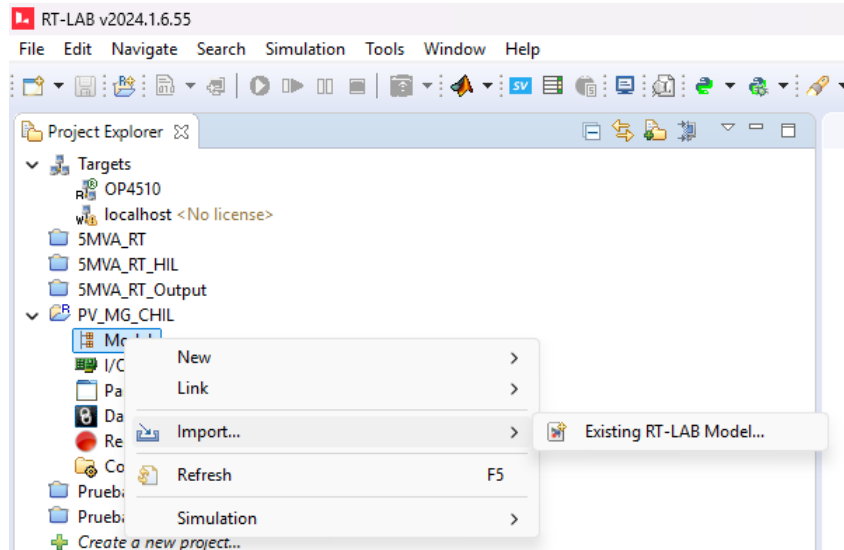


Figura 3.23: Importar modelo existente en RT-LAB.

Para proceder con la compilación del modelo en el simulador OP4510, si es la primera vez que se compila el proyecto, conviene verificar el compilador asignado. Para esto, de la barra de herramientas se despliega la pestaña *Window* y se selecciona la opción *Preferences*, tal como se muestra en la Figura 3.24.

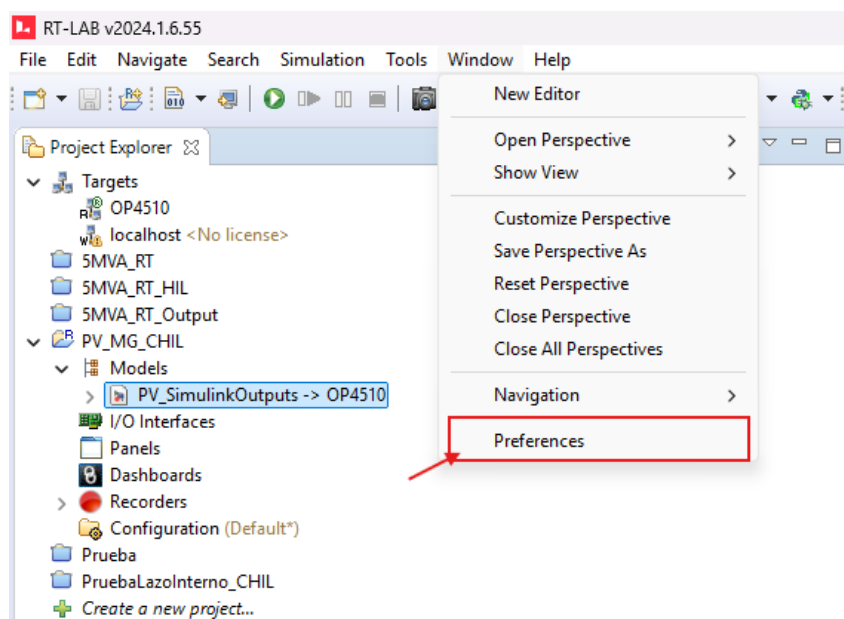


Figura 3.24: Sección de preferencias del proyecto.

Al hacer esto, aparecerá la ventana mostrada en la Figura 3.26 de donde se despliega la opción *RT-LAB*, posteriormente la opción *Execution* y así poder seleccionar la opción *Environment Variables*, de donde se debe de verificar que se tiene seleccionada la variable *RTLAB_INTEL_COMPILER* y que esté declarada con un valor de 0. Ahora es posible compilar el modelo en RT-LAB, seleccionando la opción *Build the model* que se muestra en la Figura 3.26, la cual es la vista general del modelo.

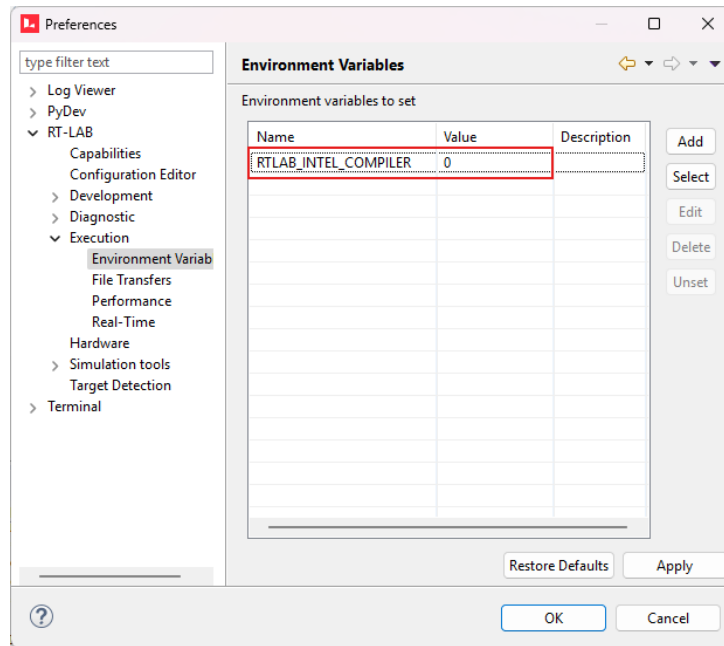


Figura 3.25: Selección de compilador para RT-LAB.

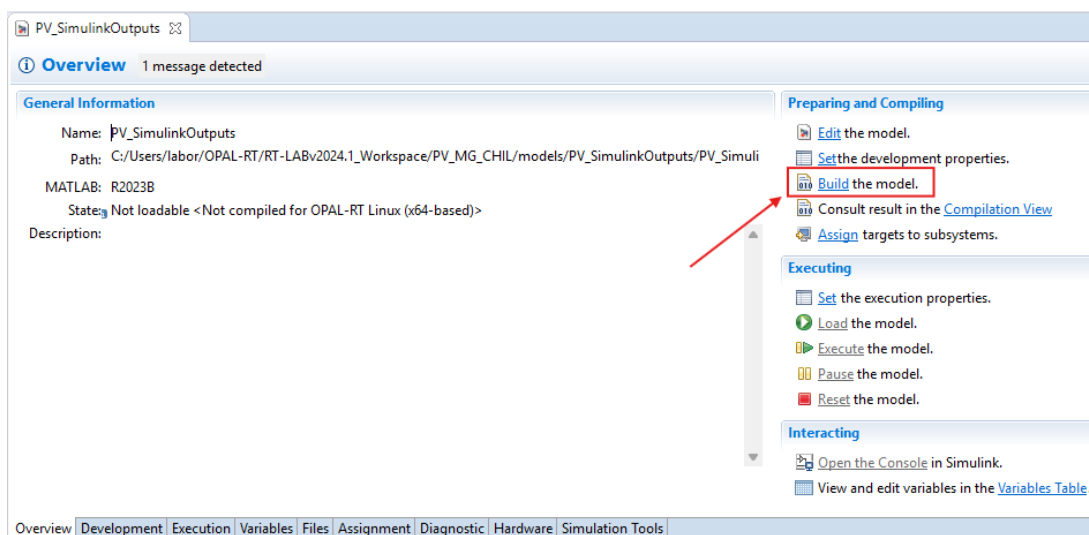


Figura 3.26: Pantalla general del modelo en RT-LAB.

Con la compilación completa, ahora aparecerán las entradas y salidas que se definieron a través de los bloques *OpInput* y *OpOutput* en el modelo, como se muestra en la Figura 3.27.

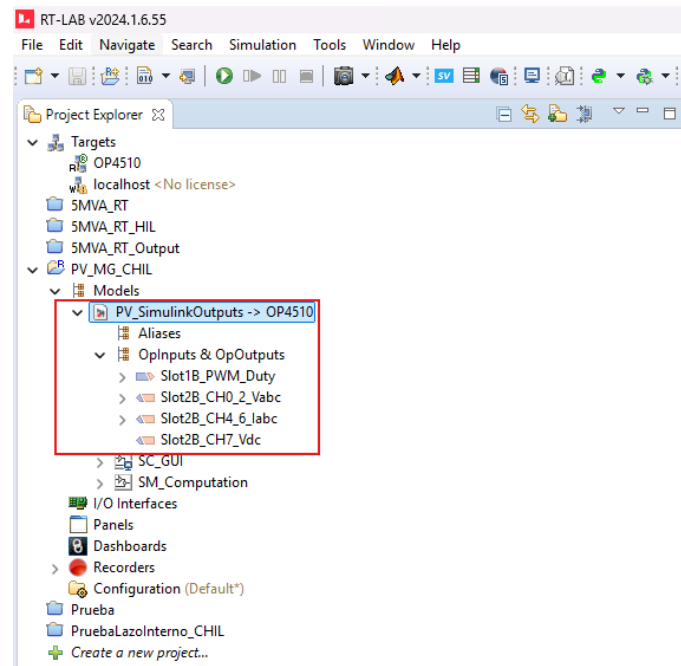


Figura 3.27: Entradas y salidas definidas en los bloques *OpInput* y *OpOutput*.

Como recomendación, si estas entradas y salidas no son visibles, se recomienda refrescar el proyecto o cerrarlo y volver a abrirlo. Al tener estos bloques, se puede proceder con la interfaz de entradas y salidas; para esto, se hace clic secundario sobre la opción *I/O Interfaces*, después en *New* y *New I/O Interface*, tal como se observa en la Figura 3.28, así aparecerá la ventana mostrada en la Figura 3.29 en donde se debe buscar y seleccionar la interfaz *OPAL-RT Board*.

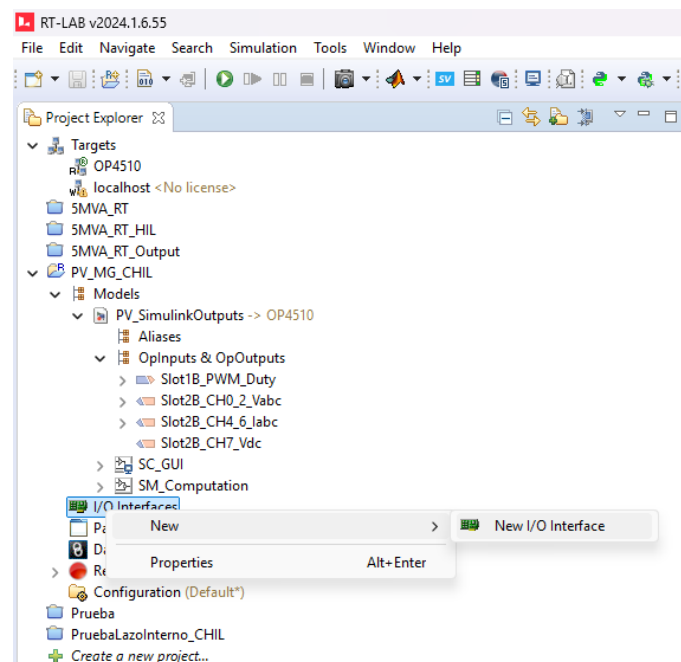


Figura 3.28: Pasos para crear una interfaz de entradas y salidas.

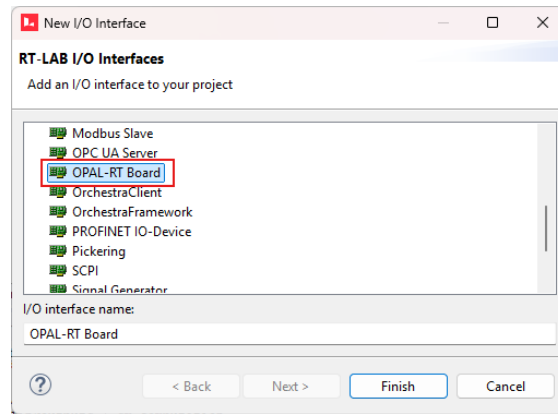


Figura 3.29: Ventana de interfaces de entradas y salidas en RT-LAB.

Creada la interfaz, aparecerá la pantalla de configuración de la tarjeta OPAL-RT como la mostrada en la Figura 3.30. En esta pantalla se deberán seleccionar los parámetros generales de la tarjeta con la que se está trabajando, de tal manera que para este caso se escogieron los parámetros que se muestran en la Figura 3.31, donde en *Chasis type* se seleccionó el modelo con el que se cuenta, y al elegir el archivo de configuración *Bitstream*, se seleccionó el archivo con extensión ‘.opal’ proporcionado por el fabricante.

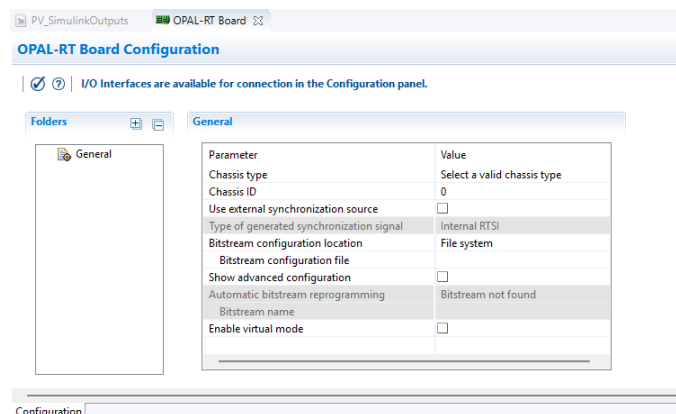


Figura 3.30: Pantalla de configuración de la tarjeta OPAL-RT.

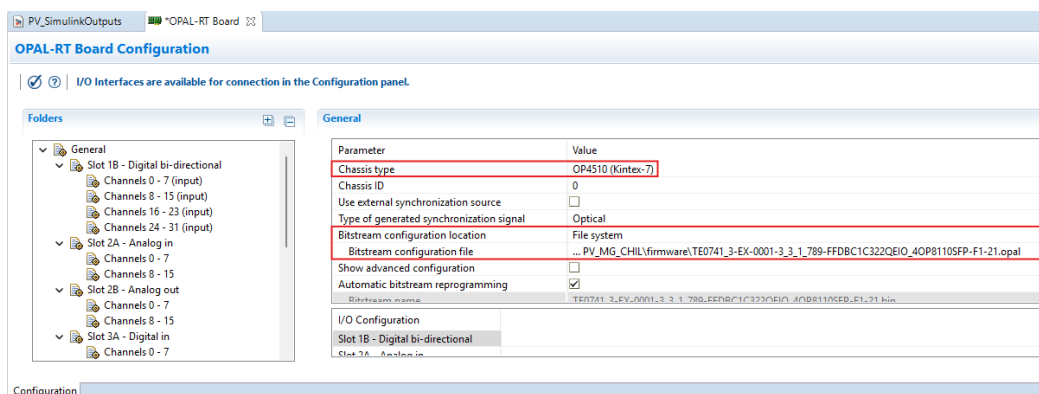


Figura 3.31: Parámetros de configuración seleccionados para la tarjeta OPAL-RT.

Al hacer esto, se puede notar que en las carpetas que se muestran en el lado izquierdo ahora contendrán los puertos disponibles en la tarjeta de OPAL-RT, con lo que se configurarán los puertos de interés, que para este caso se debe configurar el puerto *Slot 1B* encargado de las entradas digitales, y el puerto *Slot 2B* que es el encargado de las salidas analógicas. Al seleccionar los canales 0 a 7 del puerto *Slot 1B* se desplegará la pantalla para definir los parámetros de este puerto, en donde se deberá marcar la casilla *Enable* para activar estas entradas, así como seleccionar el tipo de entrada digital a *Pulse width modulated* y definir el umbral de detección del pulso. Para este caso, se definió un umbral de detección del 30 % tanto para el estado alto como para el estado bajo; estos parámetros se pueden observar en la Figura 3.32.

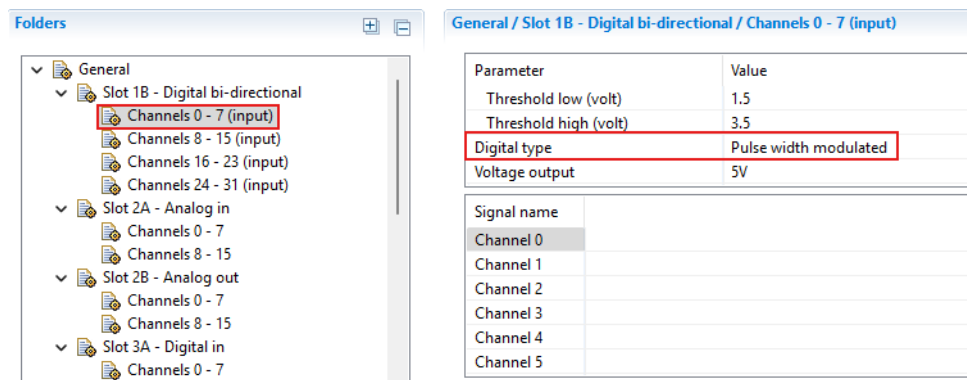


Figura 3.32: Parámetros de los canales 0 a 7 del puerto *Slot 1B*.

El otro puerto de interés para esta implementación corresponde al puerto *Slot 2B*, donde se configuran las salidas analógicas; este puerto se configuró para el rango de voltaje deseado entre las opciones disponibles. Bajo este escenario, se seleccionó un rango de voltaje de ± 10 V, así en la Figura 3.33 se muestra cómo configurar este parámetro al dar clic en la opción *Slot 2B - Analog out*.

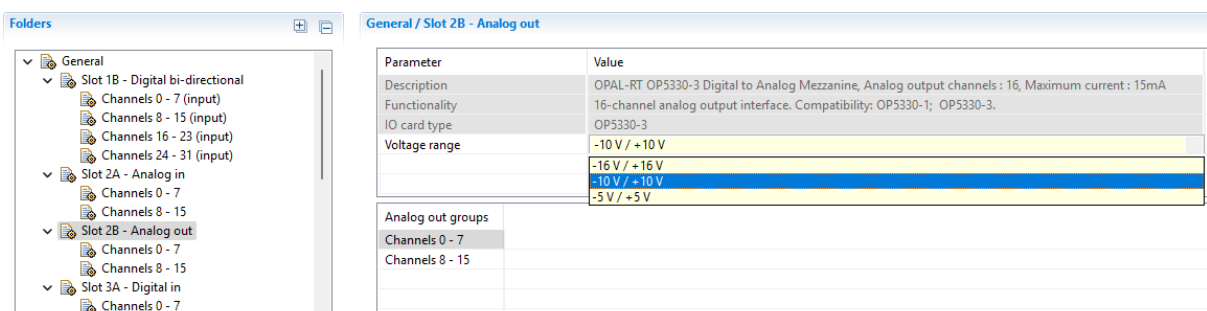


Figura 3.33: Selección del rango de voltaje para el puerto *Slot 2B*.

Al igual que en el caso anterior, los canales de interés se deberán activar marcando la casilla *Enable*, tal como se muestra en la Figura 3.34. Al haber terminado de seleccionar los parámetros deseados, no olvidar guardar los cambios al dar clic en el ícono de guardar.

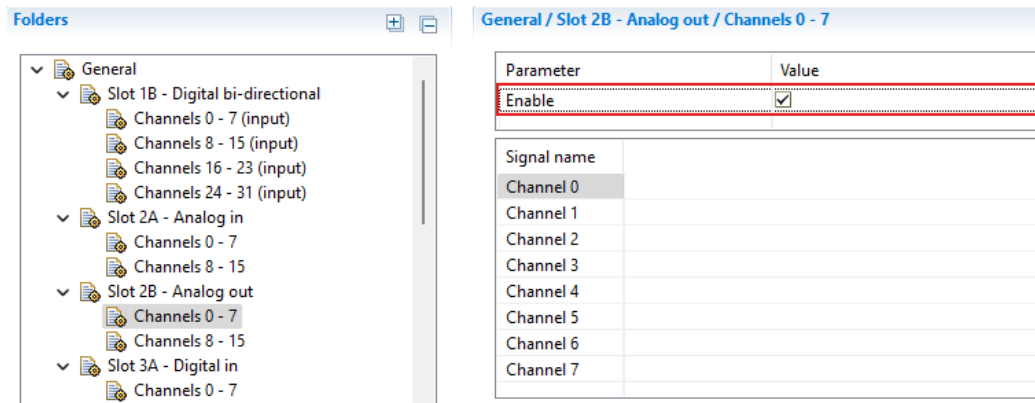


Figura 3.34: Activación de los canales 0 a 7 para el puerto *Slot 2B*.

Continuando con la implementación, lo que resta por configurar son las conexiones de los bloques *OpInput* y *OpOutput* con los puertos de entradas y salidas, para esto se debe de dar doble clic sobre el archivo de configuración que se muestra en la Figura 3.35 y aparecerá la pestaña que se observa en la misma figura.

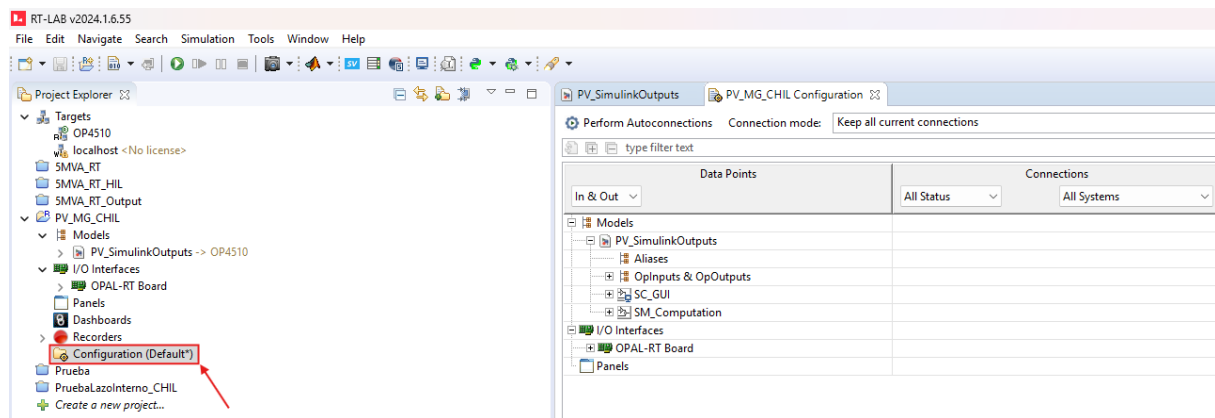


Figura 3.35: Pantalla del archivo de configuración de las entradas y salidas.

Empezando con las conexiones de las entradas digitales, en la Figura 3.36 se muestra que se despliegan los canales 0, 2 y 4, en estos canales se conectarán físicamente los pulsos PWM. Ahora, viendo la Figura 3.37, para realizar las conexiones se selecciona cada bloque *OpInput* de la parte izquierda y se inserta en el apartado *Duty Cycle* de cada canal. Lo mismo aplica con la conexión de cada salida analógica, en la Figura 3.38 se puede observar que el procedimiento es similar al caso anterior, donde el identificador de cada bloque *OpOutput* sirve como una guía para seguir la numeración y evitar confusiones o errores en el proceso.

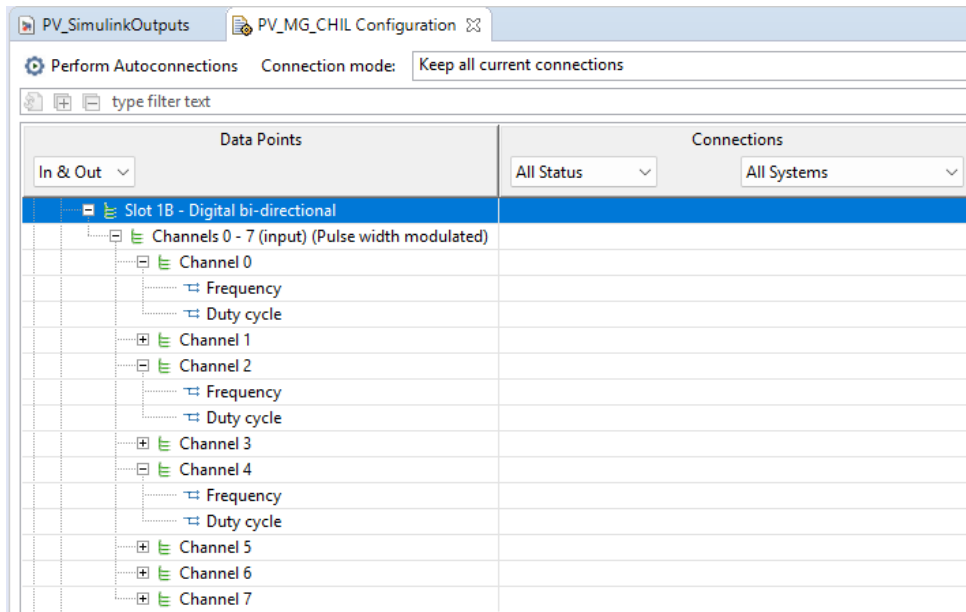


Figura 3.36: Canales de las entradas digitales en el archivo de configuración.

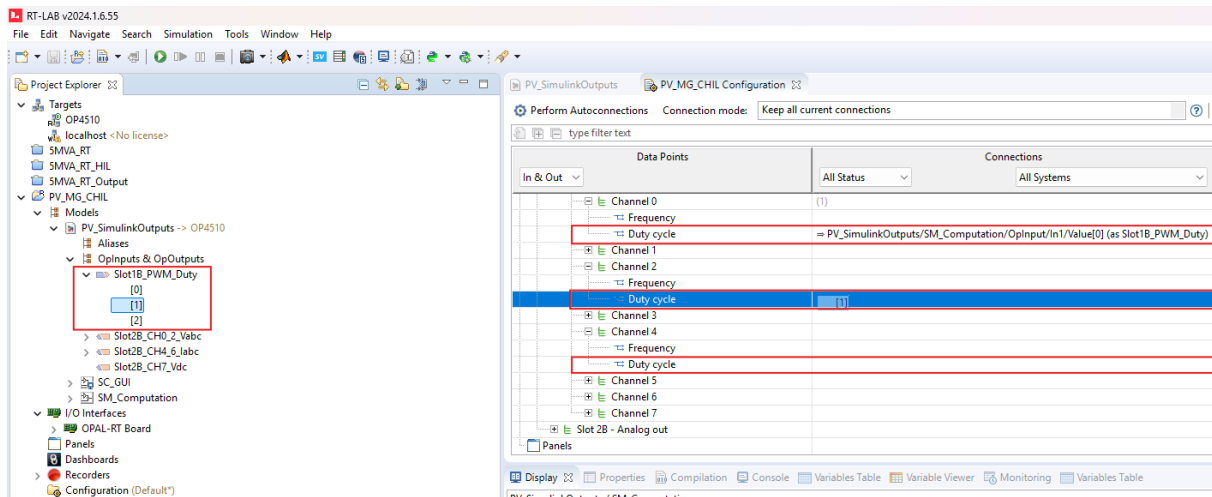


Figura 3.37: Conexión de los bloques *OpInput* con los canales del *Slot 1B*.

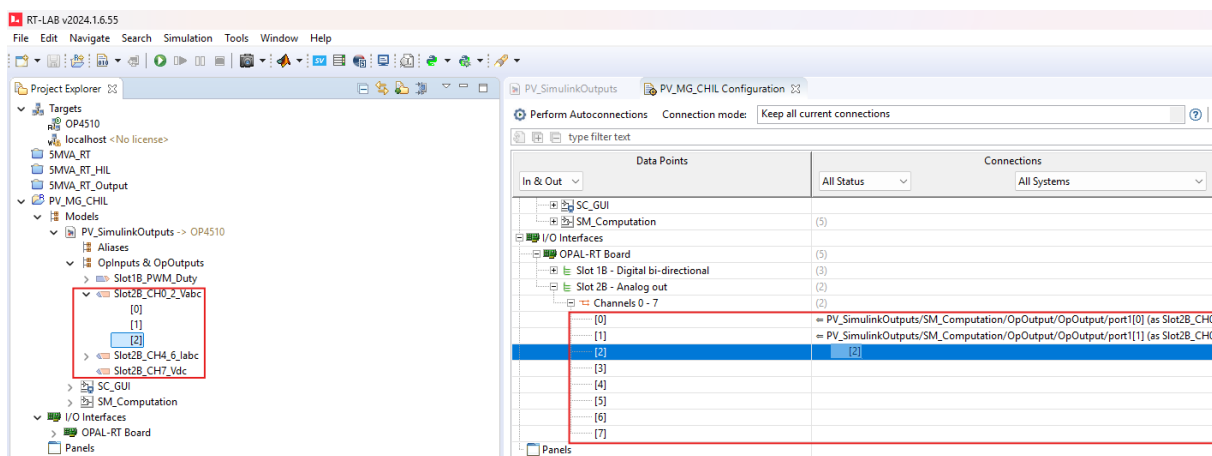


Figura 3.38: Conexión de los bloques *OpOutput* con los canales del *Slot 2B*.

Hechas las conexiones, para cargar el modelo en el simulador OP4510 se deben realizar configuraciones adicionales relacionadas con el modo de ejecución en tiempo real. En la sección *Execution*, dentro del parámetro *Real-time simulation mode*, se selecciona el modo *Hardware synchronized*, como se muestra en la Figura 3.39. Asimismo, debe verificarse que el modo *XHP* esté activado en la sección *Assignment*, donde se encuentra la casilla correspondiente, tal como se observa en la Figura 3.40.

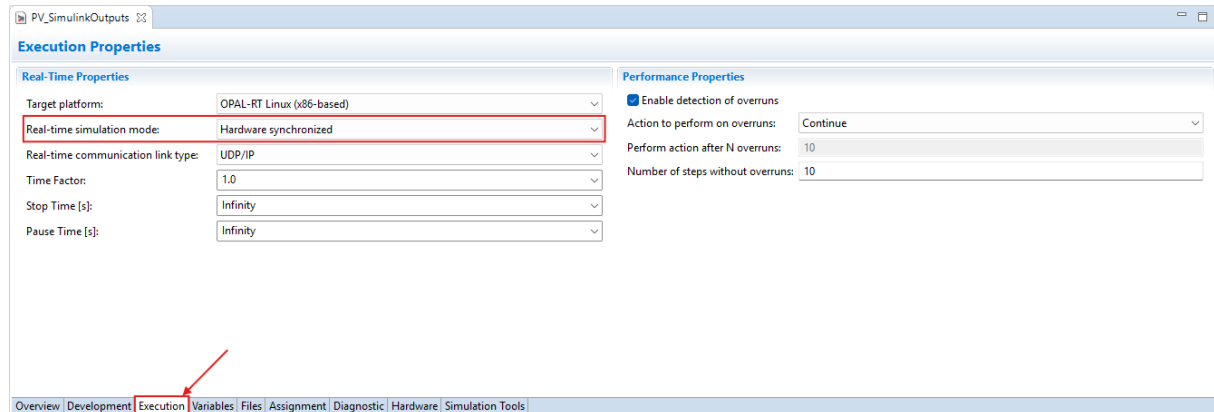


Figura 3.39: Selección de modo de simulación en tiempo real.

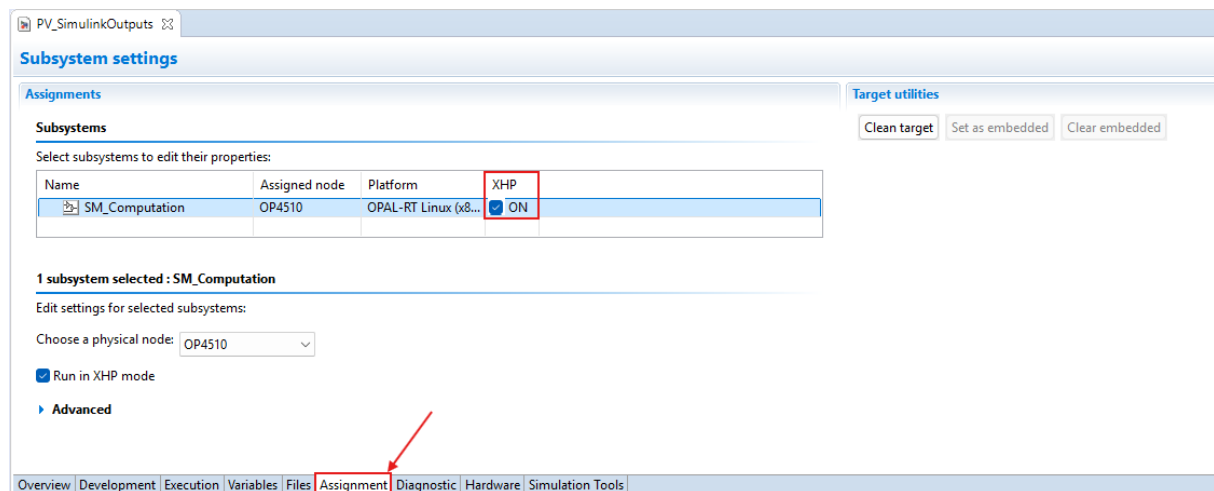


Figura 3.40: Selección del modo XHP para la simulación en tiempo real.

Con esto se tienen completos los pasos a seguir para esta implementación, con lo que ya es posible cargar el programa en el simulador y ejecutarlo para que tenga interacción con la tarjeta controladora, la cual se implementó como se explica en la Sección 2.4.

Durante esta sección se mostraron los pasos para la implementación en tiempo real de la rama 1 de la MR de la Figura 2.1. Cabe recalcar que, debido a limitaciones físicas de la tarjeta controladora, solamente esta parte de la MR funcionará en el modo CHIL, mientras que la rama 2 se ejecutará en paralelo en un esquema MIL, incluyendo así la planta y las estrategias de control dentro del simulador en tiempo real.

3.2 *Power Hardware In the Loop*

En esta sección se pretende dar un panorama general en la implementación de este tipo de simulaciones, en particular, usando el simulador en tiempo real OP4510 en conjunto con el amplificador de potencia OP8110. Para este propósito se cuenta con un gabinete de pruebas para simulaciones PHIL de la compañía OPAL-RT que corresponde al modelo OP1400, el cual, además del simulador y el amplificador, también cuenta con una fuente de poder bidireccional de CD con capacidad de 6 kW, una unidad de distribución de energía (PDU, por sus siglas en inglés), una interfaz de seguridad OP1480 para la interacción con el amplificador, un *busbar* central de cobre, un panel de seguridad auxiliar OP1490, una interfaz de conexión para simulaciones HIL de la marca Imperix y 16 puertos de *switches* Ethernet. En la Figura 3.41 se muestra la vista frontal y trasera del gabinete OP1400, resaltando cada componente que lo conforma.

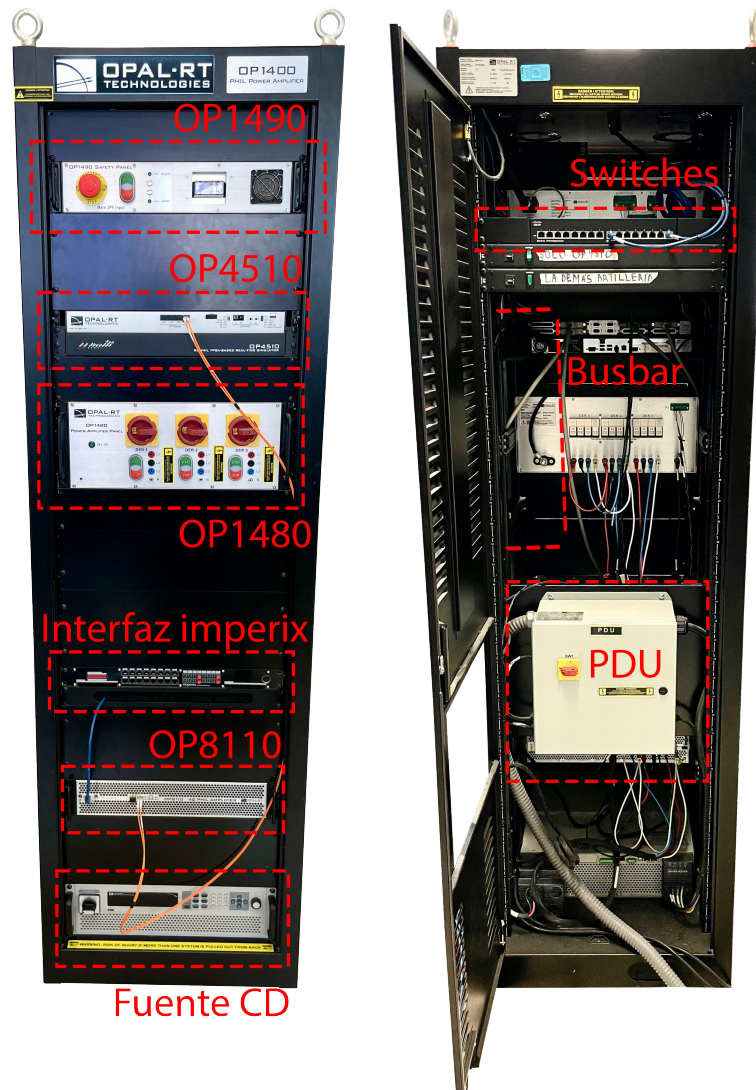


Figura 3.41: Vista frontal y trasera del gabinete OP1400.

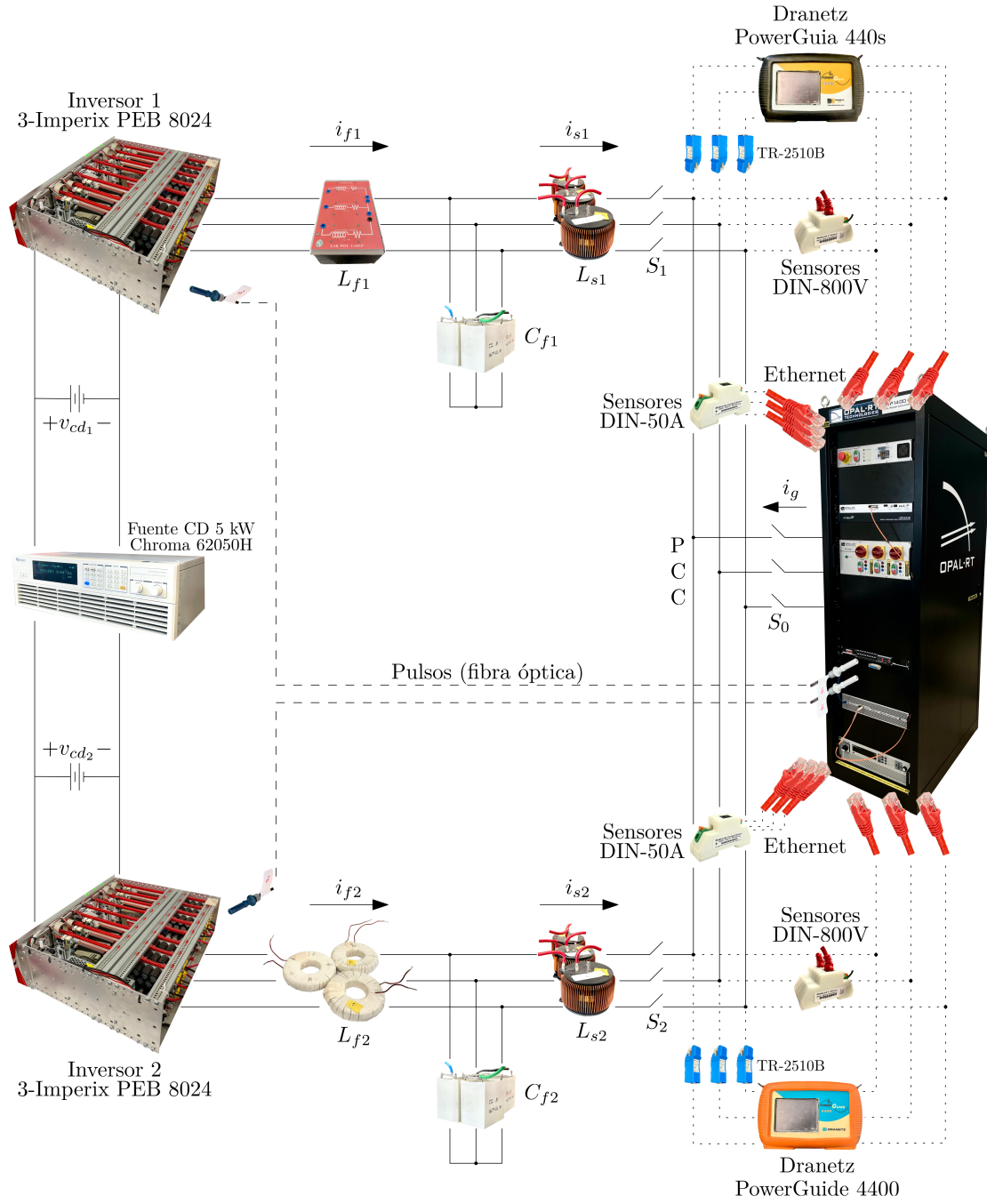


Figura 3.42: Estructura de simulación PHIL para una microrred.

Tabla 3.2. Parámetros de la microrred para la simulación PHIL.

Parámetro	Valor	Parámetro	Valor
$v_{cd1,2}$	483 V	$V_{PCC_{L-L}}$	200 V
L_{f1}	4.74 mH	L_{f2}	3.33 mH
R_{f1}	193 mΩ	R_{f2}	331 mΩ
L_{s1}	393 μH	L_{s2}	532.5 μH
R_{s1}	41.34 mΩ	R_{s2}	46.13 mΩ
C_{f1}	4.7 μF	C_{f2}	10 μF
R_{d1}	111.5 mΩ	R_{d2}	53 mΩ
$f_{s1,2}$	6 kHz	F_n	50 Hz

El simulador OP4510 cuenta con 4 núcleos de procesamiento, de los cuales en esta configuración de simulación PHIL se usaron 2. El núcleo número 1, también conocido como núcleo maestro, es el encargado de crear el equivalente de la red de utilidad bajo las condiciones especificadas de *Short Circuit Ratio* (relación de cortocircuito) (SCR), y así generar las señales de referencia que seguirá el amplificador OP8110 para crear las señales de potencia; además, el núcleo maestro será encargado de procesar un filtro digital de realimentación en la corriente para mejorar la estabilidad entre la parte simulada y la parte física. El núcleo 2, o núcleo esclavo, es el responsable de ejecutar el control del sistema bajo la estrategia de control GFL. Al implementar este control, los pulsos de salida SPWM, junto a sus negados, son enviados por las salidas digitales del simulador y son transportados a través de fibra óptica hacia las entradas de los módulos PEB 8024 para la conmutación de los interruptores en cada rama. El paso de integración de la simulación en tiempo real para ambos núcleos se definió en $20\ \mu\text{s}$, garantizando una adecuada resolución temporal para la correcta representación de la dinámica del sistema.

La parte de hardware que se pondrá a prueba en este esquema en particular corresponde a la electrónica de potencia presente en el sistema de MR que se muestra en la Figura 3.42, donde se observa que la MR cuenta con dos convertidores CD-CA en paralelo, cada uno se conforma de 3 módulos PEB8024 de la marca Imperix, y con esto cada convertidor adopta la configuración de inversor trifásico y cada uno es alimentado por una fuente de CD controlada de la marca Chroma en el modelo 62050H-600; a la salida de los inversores se tienen filtros LCL, cada filtro cuenta con valores diferentes de inductancias y capacitancia, en la Tabla 3.2 se muestran los valores de los parámetros presentes en este sistema; en el PCC de cada convertidor se tienen sensores de voltaje y corriente de la marca Imperix en los modelos ModuLink DIN-800V y DIN-50A, estos sensores cuentan con una sensibilidad marcada por el fabricante de $2.46\ \text{mV/V}$ y $99\ \text{mV/A}$, respectivamente, así estas señales son enviadas a través de puertos ethernet, que a su vez son recibidas en la interfaz de Imperix y después se procesan en el simulador OP4510 como entradas analógicas, donde las entradas analógicas para los puertos del simulador soportan el rango $\pm 20\ \text{V}$ a una resolución de 16 bits con un tiempo de conversión de $2.5\ \mu\text{s}$.

En cuanto al amplificador OP8110, este es un amplificador de potencia de 4 cuadrantes que puede operar tanto en CD como en CA. Este modelo cuenta con 3 salidas disponibles que pueden servir para las 3 fases de interés, cada salida tiene la capacidad de entregar una señal que puede ir de 0 a $208\ V_{L-L,RMS}$ o de 0 a $400\ \text{V}$ en configuración bus de CD. Este amplificador es capaz de entregar una corriente máxima de salida de $\pm 14\ \text{A}$ por cada salida y una potencia máxima de $5\ \text{kVA}$ entre las 3 salidas. Otro aspecto por considerar dentro de la operación de este equipo son los retardos que están presentes en el sistema, si esto no se toma en consideración puede llegar a afectar la estabilidad de la simulación. Estos retardos presentes en la simulación se muestran en la Figura 3.43, y se describen de la siguiente manera:

- $t_{\text{COM_MES}}$: Retardo en la comunicación de las mediciones de tensión y/o corriente, típicamente alrededor de 10 ns (despreciable).
- t_{RTS} : Tiempo requerido por el simulador en tiempo real para calcular y generar una referencia, para este caso de 20 μs (paso de integración).
- $t_{\text{COM_SET}}$: Retardo de propagación de la referencia de tensión y/o corriente, típicamente alrededor de 10 ns (despreciable).
- t_{OP8110} : Retardo intrínseco del amplificador OP8110, aproximadamente 8.3 μs .

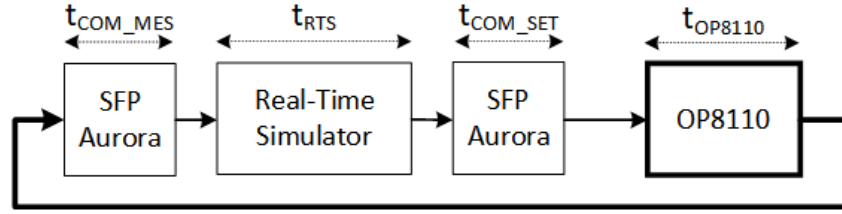


Figura 3.43: Retardos en la simulación PHIL.

Al tener presentes los retardos en el sistema, en (3.1) se muestra la función de transferencia que añadirá la simulación PHIL al sistema, donde $t_{bw} = \frac{1}{10\text{kHz}}$, siendo 10 kHz el ancho de banda del propio amplificador, especificado por el fabricante.

$$G_V(s) = \frac{1}{t_{bw}s + 1} e^{s(t_{RTS} + t_{OP8110})} \quad (3.1)$$

Cuando se trabaja en este tipo de esquema se requiere tener estabilidad en la simulación PHIL en conjunto con el sistema bajo prueba, por lo que un caso adicional al momento de la implementación corresponde a la corriente real que está fluyendo en el hardware y la corriente que sensa el simulador, por lo que es conveniente añadir un filtro de retroalimentación en la corriente que contribuya a este propósito. En (3.2) se muestra el filtro de realimentación de paso bajo para este tipo de configuraciones, donde $t_{fb} = \frac{1}{f_{fb}}$, y f_{fb} es la frecuencia por tomar en cuenta para el tipo de sistema que se está trabajando. En esta implementación se varió la frecuencia f_{fb} de 100 a 1000 Hz en un filtro digital integrado en el simulador OP4510, con el fin de evaluar la estabilidad en la simulación de manera experimental.

$$G_I(s) = \frac{1}{t_{fb}s + 1} \quad (3.2)$$

3.2.1. Implementación del modelo en Simulink

Iniciando con el proceso de creación del modelo en Simulink, y tomando en cuenta que, a diferencia del esquema CHIL, esta vez se añadirá un subsistema adicional al modelo para definir un núcleo esclavo, con la intención de aprovechar la capacidad del simulador para

También se observa que se implementó un subsistema llamado *Escalamiento* que aplica una ganancia inversa de la sensibilidad de cada sensor para cada señal de salida de los bloques *OpInput*; además se añadió una etapa de sumatoria, en la cual se suma el valor de la señal escalada más un offset para ajustar la señal en caso de que los sensores no se encuentren bien ajustados en la componente de CD. Con estas señales obtenidas en la escala original, se procedió a implementar el subsistema *SymComp*, el cual contiene un algoritmo encargado de extraer las componentes de secuencia fundamental en una red desbalanceada [50], las bases de este algoritmo se muestran en la Sección 2.4. Ahora, es posible obtener sus componentes en el dominio $dq0$, por lo que se implementó el bloque *PLL (3ph)* para obtener el argumento wt , y posterior a esto obtener la transformación al dominio $dq0$ de las señales a través del bloque *abc to dq0*.

Continuando dentro del subsistema *SS_CONTROL*, se continúa implementando la estrategia de control para ambos convertidores. En la Figura 3.46 se muestra que se definieron como entradas al subsistema los valores de referencia para potencia activa y reactiva, las cuales se pueden operar desde el subsistema *SC_GUI*; por lo tanto, se requerirá insertar el bloque *OpComm* para establecer esta comunicación.

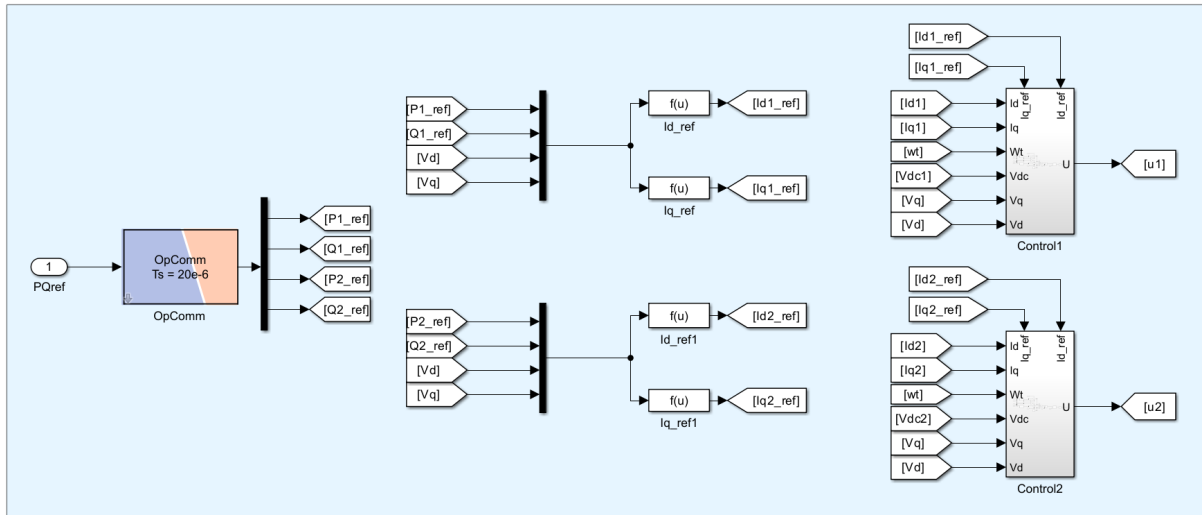


Figura 3.46: Implementación de la estrategia de control en el simulador OP4510 para la simulación PHIL.

Al tener las referencias de potencia, se procede a calcular los valores de las corrientes de referencia para cada convertidor, a través de los bloques de función. Una vez que se obtienen las corrientes de referencia, se crearon dos subsistemas que corresponden cada uno al control implementado en cada convertidor, a la salida de estos subsistemas de control se tienen las señales de control (U), por lo que resta convertir estas señales de control moduladoras en señales de ciclo útil para la generación de los pulsos PWM, en la Figura 3.47 se muestra esta conversión y el empleo del bloque *OpOutput* para la generación de los pulsos PWM en el simulador.

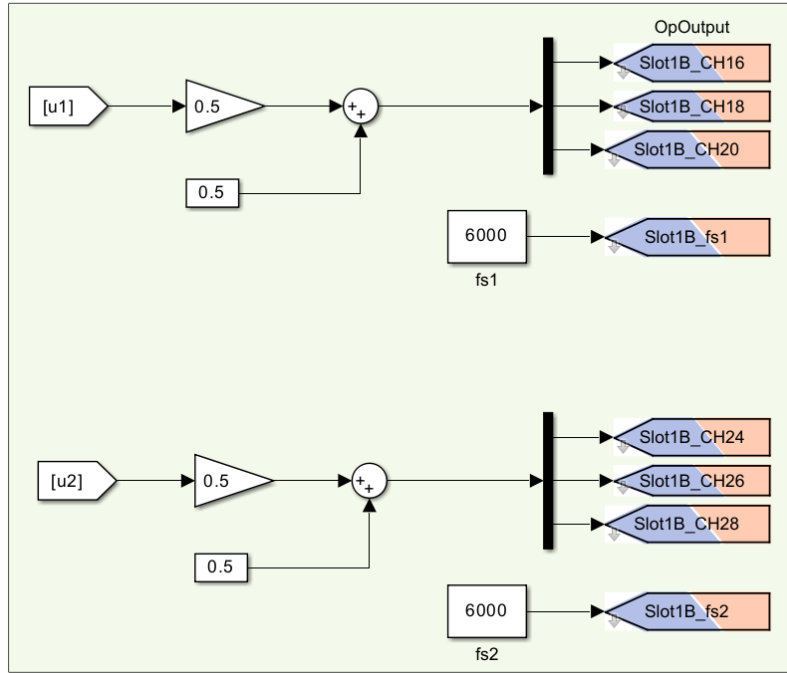


Figura 3.47: Generación de pulsos PWM en el simulador OP4510.

Es conveniente tener una visualización de las señales de interés en la interfaz de Simu-link; por lo tanto, en la Figura 3.48 se muestra que se recolectaron las señales de voltaje, corriente y potencia instantánea en este subsistema, de tal manera que se definieron como una salida hacia el subsistema *SC_GUI* para su visualización en la interfaz gráfica.

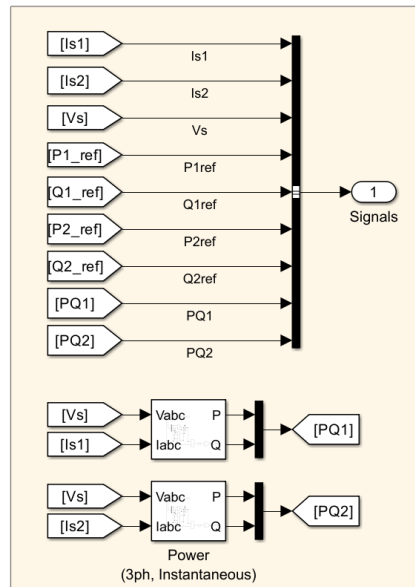


Figura 3.48: Señales de interés visual en el subsistema *SS_Control*.

Continuando con el subsistema *SM_PHIL*, que corresponde al núcleo maestro, este núcleo será el encargado de generar la referencia del equivalente de red que seguirá el amplificador. En la Figura 3.49 se muestra que primeramente se generan las señales si-

usos, a partir de la definición de su amplitud y ángulo. Con esta información se obtienen las tres señales correspondientes al sistema trifásico, considerando la diferencia de fase entre cada una y asignando un *offset* de 0. Posteriormente, estas señales son aplicadas a los bloques *Controlled Voltage Source*, que permiten recrear las tensiones de la red dentro del entorno de simulación. Una vez establecidas las señales de voltaje en corriente alterna, el siguiente paso consiste en implementar la impedancia de la red, para lo cual se conecta en la salida una rama RL en serie. Los parámetros de esta rama se ajustan de acuerdo al SCR que se desea evaluar; en este trabajo se consideró una variación de este valor en un rango de 20 a 2.6, lo que permite analizar el comportamiento del sistema bajo distintas condiciones de robustez de la red.

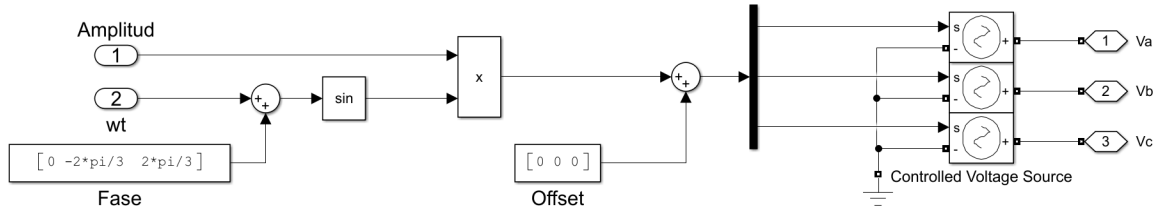


Figura 3.49: Generación de señales sinusoidales de referencia.

Ahora, para que las señales de corriente reales que fluyen en el hardware de la MR sean vistas en el simulador lo más semejante a la realidad, se propuso el *Voltage-type Ideal Transformer Method* (método del transformador de voltaje ideal) (V-ITM), el cual se puede observar en la Figura 3.50 que en este se considera un filtro $G_I(s)$ en la realimentación de la corriente (3.2), y la función de transferencia $G_V(s)$ vista en (3.1), que considera los retardos en la simulación. De este modelo se tiene a v_{gx} como el voltaje de la red equivalente, a Z_g como la impedancia de la red y a R_p como una resistencia de un alto orden, con lo que se considera que la corriente que fluye por esta resistencia tiende a 0; del mismo modelo se tiene que v_L y Z_L corresponden a un equivalente de Thévenin para el hardware bajo prueba.

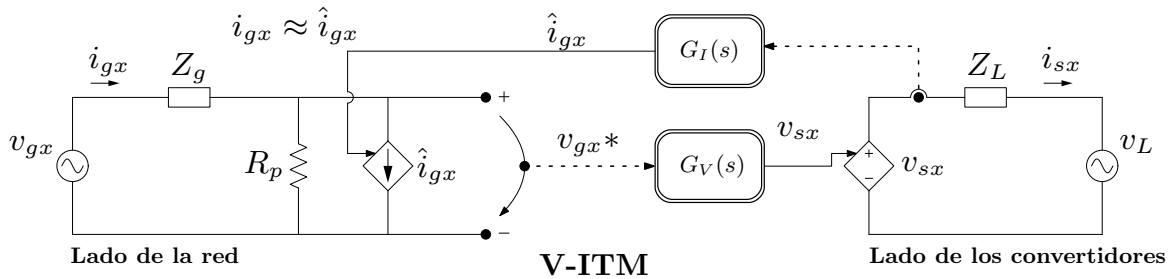


Figura 3.50: Modelo basado en el método del transformador de voltaje ideal.

De tal modo que, en la Figura 3.51 se muestra que se implementó un filtro digital como una función de transferencia discreta, para cada corriente de entrada, con lo que estas corrientes filtradas serán la referencia para los bloques de las fuentes de corriente

controladas, y así determinar las referencias de voltaje que generará el amplificador a través de la comunicación del simulador con el amplificador. Esta interacción se lleva a cabo por el protocolo de comunicación genérico *Aurora* a través de puertos SFP.

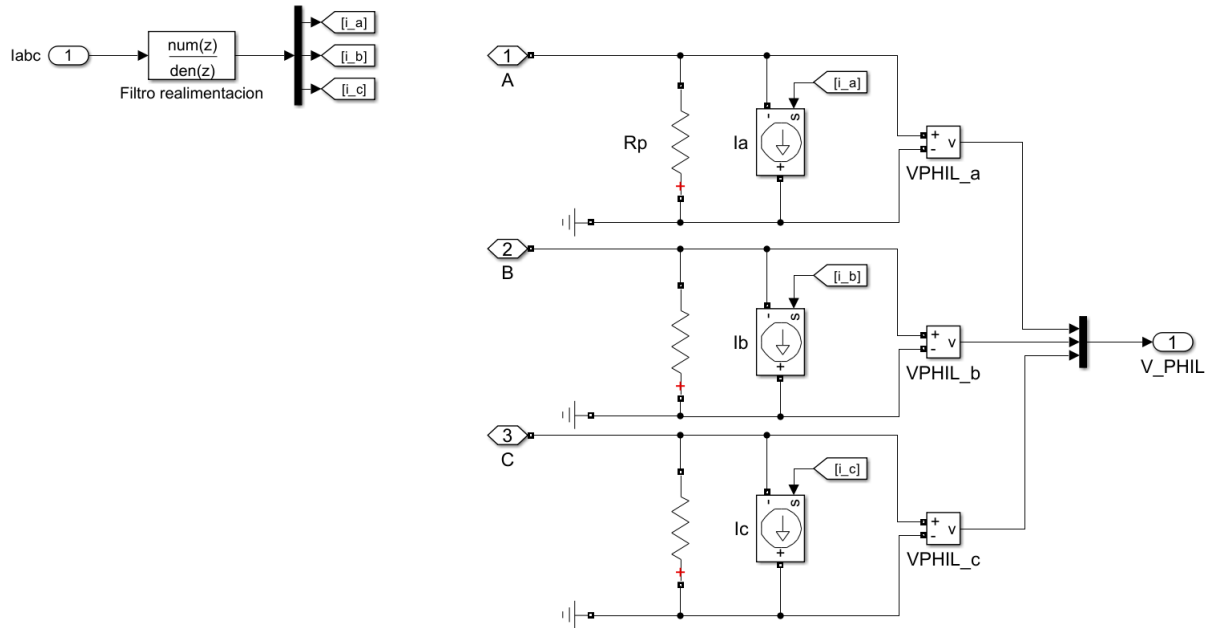


Figura 3.51: Voltajes PHIL.

Ahora, para establecer la comunicación con el amplificador en este punto, en el explorador de librerías se encuentra el bloque OP8110 de la librería *RT-LAB I/O*, como se muestra en la Figura 3.52. Dentro de este bloque se encuentran dos bloques que servirán para establecer la comunicación con el amplificador; estos bloques son el *OP8110-3GUI* y el *OP8110-3 SFP_Link_Ext*, mostrados en la Figura 3.53.

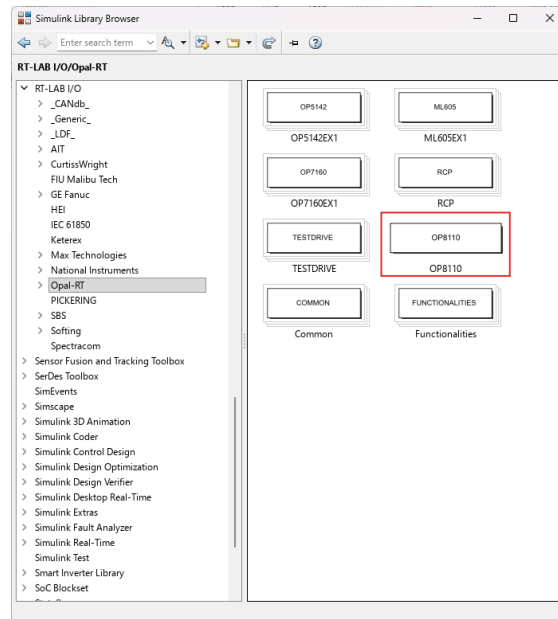


Figura 3.52: Bloque OP8110 en el explorador de librerías de Simulink.

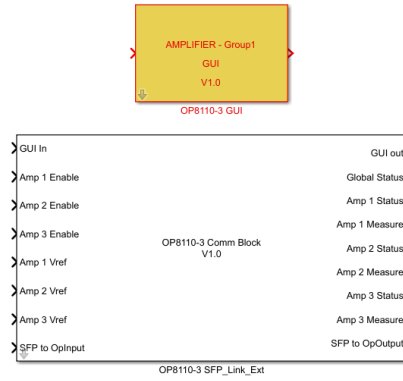


Figura 3.53: Bloques OP8110-3 para establecer la comunicación con el amplificador OP8110 de 3 puertos.

Para este punto, en el subsistema maestro (SM_PHIL), se añadirá el bloque $OP8110-3$ SFP_Link_Ext como se muestra en la Figura 3.54. En el cual se tienen como entradas los voltajes de referencia que se obtuvieron anteriormente, una entrada GUI In y una entrada que activará los 3 módulos del amplificador. También se deberá establecer un bloque $OpCommInput$ para la entrada SFP. En cuanto a las salidas de este bloque, se tiene una salida GUI out, salidas para monitorear el estado del amplificador y salidas para obtener las mediciones de corriente y voltaje vistas en el amplificador. De manera análoga, se deberá implementar un bloque $OpCommOutput$ para la salida SFP.

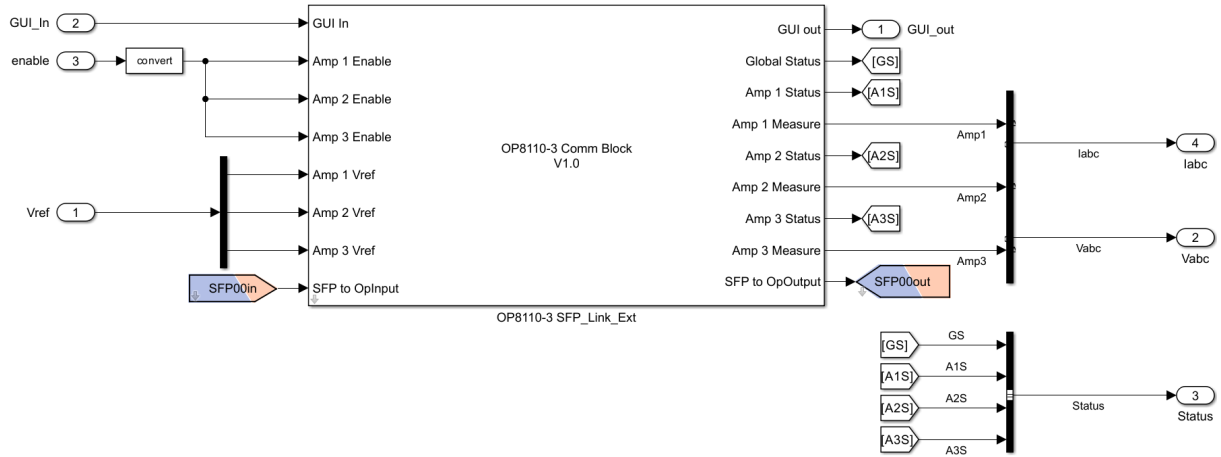


Figura 3.54: Implementación del bloque $OP8110-3$ SFP_Link_Ext en el subsistema SM_PHIL .

Por lo tanto, en la Figura 3.55 se muestra el contenido del subsistema SM_PHIL , donde se puede observar que la entrada de este subsistema corresponde a un arreglo de señales que se reciben desde la *Graphical User Interface* (interfaz gráfica de usuario) (GUI), que se implementará más adelante. Este arreglo corresponde a las señales que irán en las entradas del subsistema $OP8110$ para la comunicación con el amplificador, las señales necesarias para definir las características de las señales sinusoidales de referencia que se generarán en el subsistema nombrado $Vabc$, y también de las señales de activación de los

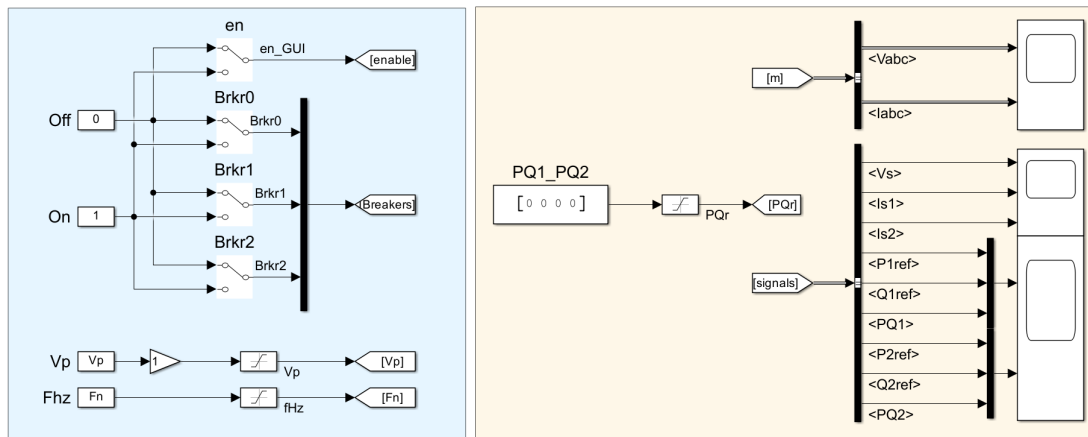


Figura 3.57: Interfaz para la manipulación de los elementos de la simulación PHIL.

En cuanto a las salidas de este subsistema, en la Figura 3.58 se muestran las señales que se enviarán hacia los subsistemas *SM_PHIL* y *SS_CONTROL*, notando que, para una de las señales de salida para el subsistema *SM_PHIL* se compone de la salida del bloque OP8110-3 GUI, el cual se implementó en este subsistema con el fin de actuar como un puente entre el amplificador y la interfaz gráfica. Llegado a este punto, solamente resta realizar las conexiones correspondientes entre los subsistemas del modelo, en la Figura 3.59 se muestra la configuración final que tiene el modelo en Simulink, recordando agregar el bloque powergui en el modo discreto, así como desactivar las opciones *Signal Storage Reuse* y *Block Reduction* de los parámetros de configuración del modelo.

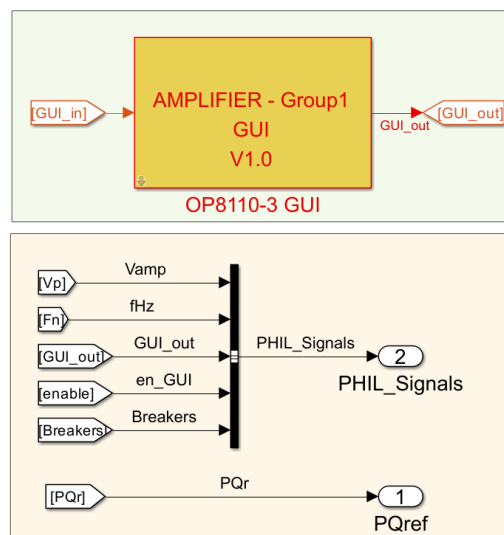


Figura 3.58: Salidas del bloque *SC_GUI*.

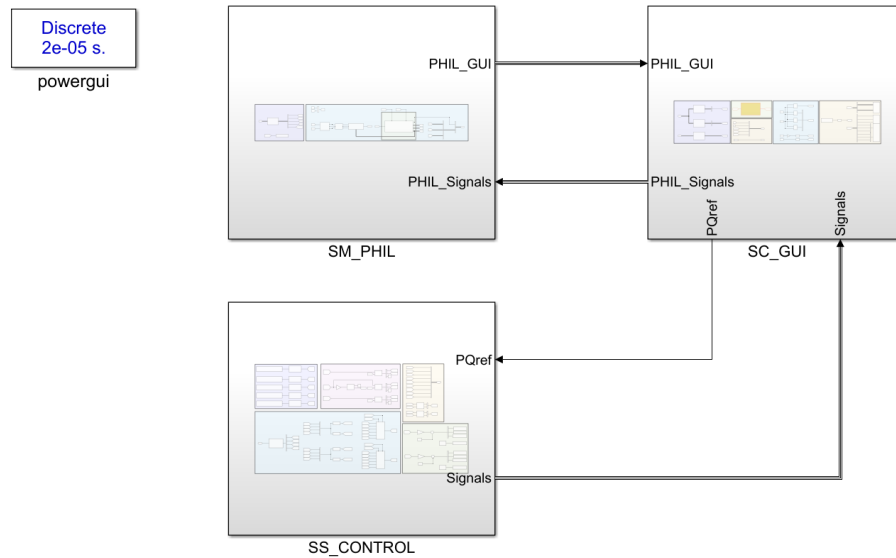


Figura 3.59: Modelo final en Simulink de la simulación PHIL.

3.2.2. Configuraciones en RT-LAB

Una vez que el modelo se ha importado en un proyecto de RT-LAB, y posteriormente se ha compilado, se podrán ver los bloques *OpInput* y *OpOutput* que se implementaron anteriormente en el modelo para definir entradas y salidas en el dispositivo. Para conectar estos bloques con los puertos del dispositivo, se seguirán los pasos vistos en la Subsección 3.1.2, por lo que se procederá a crear una nueva interfaz de entradas y salidas para el equipo, por lo que se debe especificar el modelo del equipo con el que se está trabajando, para este caso el OP4510. Observando los bloques *OpInput* y *OpOutput* que se tienen para este proyecto, mostrados en la Figura 3.60, donde se puede realizar la activación de los puertos a utilizar en este modelo.

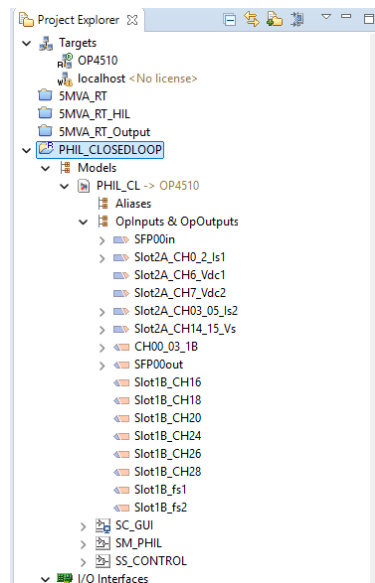


Figura 3.60: Bloques *OpInput* y *OpOutput* para el modelo de la simulación PHIL.

Comenzando con el *Slot 1B*, en este puerto bidireccional, solamente se utilizará para las salidas digitales, las cuales en los canales 0 a 7 se configuraron como salidas digitales del tipo estático y un voltaje de salida de 5 V; para los canales 16 a 23 y 24 a 31 se configuraron como se muestra en la Figura 3.61, donde se definieron con el tipo PWM, y se activó el negado de cada pulso con un tiempo muerto de 1 μ s. También se activaron los canales 0 a 7 y 8 a 15 del *Slot 2A*, en los cuales se recibirán las señales analógicas de los sensores de voltaje y corriente.

General / Slot 1B - Digital bi-directional / Channels 16 - 23 (output)				
Parameter	Value			
Enable	☒			
Direction	Output			
Digital type	Pulse width modulated			
Output complementary	☒			
Voltage output	5V			
Allow disabling channel	☐			

Signal name	Polarity	Wave mode	Initial phase	Dead time
Channel 16	Active high	Symmetric	0.0	1.0
Channel 17	Active high	Symmetric	0.0	1.0
Channel 18	Active high	Symmetric	0.0	1.0
Channel 19	Active high	Symmetric	0.0	1.0
Channel 20	Active high	Symmetric	0.0	1.0
Channel 21	Active high	Symmetric	0.0	1.0
Channel 22	Active high	Symmetric	0.0	1.0
Channel 23	Active high	Symmetric	0.0	1.0

Figura 3.61: Configuración del puerto *Slot 1B* para los canales 16 a 23.

Adicionalmente, en este proyecto se observan los bloques SFP00in y SFP00out, por lo que en el apartado *Data to board* se activará el puerto 7 como un vector de tamaño 25, como se muestra en la Figura 3.62, de esta misma manera se hará con el apartado *Data from board* para definir las entradas; recordando que estos puertos son los encargados de comunicar el simulador OP4510 con el amplificador OP8110.

Folders

General

Slot 1B - Digital bi-directional

Slot 2A - Analog in

Slot 2B - Analog out

Slot 3A - Digital in

Slot 3B - Digital out

Data to board (7)

Port 7 (Maximum 250 DWORDS)

Port 8 (Maximum 250 DWORDS)

Port 9 (Maximum 250 DWORDS)

Port 10 (Maximum 250 DWORDS)

Port 11 (Maximum 250 DWORDS)

Port 12 (Maximum 250 DWORDS)

Port 13 (Maximum 250 DWORDS)

Data from board (4)

Port 7 (Maximum 250 DWORDS)

General / Data to board / Port 7 (Maximum 250 DWORDS)

+

-

↑

↓

+

-

↑

↓

Name	Type	Vector size	Byte offset	Bit offset	Size (bits)	Min	Max
Data 1	Unsigned	25	0	0	32	0.0	4.294967295E9
				</			

Figura 3.62: Activación de los puertos SFP como salidas del simulador.

Hecho esto, ahora se procederá a realizar las conexiones entre los bloques *OpInput* y *Output* con los puertos del simulador. Siguiendo lo visto en la Subsección 3.1.2, a través del archivo de configuración de entradas y salidas del proyecto se podrá visualizar la interfaz de entradas y salidas, donde aparecerán los puertos que se han activado previamente, lo que resta es unir los bloques correspondientes al arrastrarlos a los canales de los puertos, de tal manera que para el *Slot 1B* las conexiones correspondientes quedan como se observa en la Figura 3.63.

Data Points		Connections	
In & Out		All Status	All Systems
I/O Interfaces			
OPAL-RT Board	(15)		
Slot 1B - Digital bi-directional	(15)		
Channels 16 - 23 (output...ulse width modulated)	(6)		
Channel 16	(2)		
Frequency		= PHIL_CL/SS_CONTROL/Slot1B_fs1/OpOutput/port1 (as Slot1B_fs1)	
Duty cycle		= PHIL_CL/SS_CONTROL/OpOutput/OpOutput/port1 (as Slot1B_CH16)	
Channel 18	(2)		
Channel 20	(2)		
Channel 22	(2)		
Channels 24 - 31 (output...ulse width modulated)	(6)		
Channel 24	(2)		
Frequency		= PHIL_CL/SS_CONTROL/Slot1B_fs2/OpOutput/port1 (as Slot1B_fs2)	
Duty cycle		= PHIL_CL/SS_CONTROL/Slot1B_CH24/OpOutput/port1 (as Slot1B_CH24)	
Channel 26	(2)		
Channel 28	(2)		
Channel 30	(2)		
Channels 0 - 7 (output) (Static)	(3)		
[0]		= PHIL_CL/SM_PHIL/OpOutput/OpOutput/port1[0] (as CH00_03_1B)	
[1]		= PHIL_CL/SM_PHIL/OpOutput/OpOutput/port1[1] (as CH00_03_1B)	
[2]		= PHIL_CL/SM_PHIL/OpOutput/OpOutput/port1[2] (as CH00_03_1B)	

Figura 3.63: Conexiones en el archivo de configuración para el *Slot 1B*.

Asimismo, las conexiones correspondientes a las entradas analógicas por el puerto *Slot 2A* se muestran en la Figura 3.64. Por último, las conexiones para los puertos SFP se realizan desplegando los apartados *Data to board* y *Data from board*, como se observa en la Figura 3.65, notando que el primer apartado corresponde al bloque *OpOutput*, ya que corresponde a las salidas del simulador, y por ende, el apartado *Data from board* corresponde a las entradas; por lo tanto, en este irá el bloque *OpInput*. Teniendo las configuraciones de entradas y salidas configuradas, el modelo está listo para ejecutarse en el simulador, sin olvidar configurar el modo de simulación en tiempo real, como se mostró en la Figura 3.39 y Figura 3.40. Se recomienda seguir las guías de usuario proporcionadas por el fabricante para la operación del amplificador de potencia.

Slot 2A - Analog in	(10)	
Channels 0 - 7	(8)	
[0]		= PHIL_CL/SS_CONTROL/OpInput/In1/Value[0] (as Slot2A_CH0_2_Is1)
[1]		= PHIL_CL/SS_CONTROL/OpInput/In1/Value[1] (as Slot2A_CH0_2_Is1)
[2]		= PHIL_CL/SS_CONTROL/OpInput/In1/Value[2] (as Slot2A_CH0_2_Is1)
[3]		= PHIL_CL/SS_CONTROL/OpInput3/In1/Value[0] (as Slot2A_CH03_05_Is2)
[4]		= PHIL_CL/SS_CONTROL/OpInput3/In1/Value[1] (as Slot2A_CH03_05_Is2)
[5]		= PHIL_CL/SS_CONTROL/OpInput3/In1/Value[2] (as Slot2A_CH03_05_Is2)
[6]		= PHIL_CL/SS_CONTROL/OpInput1/In1/Value (as Slot2A_CH6_Vdc1)
[7]		= PHIL_CL/SS_CONTROL/OpInput4/In1/Value (as Slot2A_CH7_Vdc2)
Channels 8 - 15	(2)	

Figura 3.64: Conexiones en el archivo de configuración para el *Slot 2A*.

I/O Interfaces		
OPAL-RT Board	(75)	
Slot 1B - Digital bi-directional	(15)	
Slot 2A - Analog in	(10)	
Data to board	(25)	
Port 0007	(25)	
Data 1	(25)	SFP00out
Data from board	(25)	
Port 0007	(25)	
Data 1	(25)	

Figura 3.65: Conexiones en el archivo de configuración para los puertos SFP.

3.3 Extracción en línea de las componentes de secuencia fundamental

Este algoritmo se basa en el método de componentes simétricas instantáneas, originalmente presentado en [50], cuyo propósito es la extracción en tiempo real de las componentes de secuencia fundamental a partir de mediciones de una red eléctrica contaminada. La inclusión de este método en el presente documento responde exclusivamente a su relevancia directa para el desarrollo y comprensión de esta tesis.

Considerando tres fasores de voltaje desbalanceados como (3.3)–(3.5):

$$V_a = \frac{V_{ma}}{\sqrt{2}} \angle \phi_a \quad (3.3)$$

$$V_b = \frac{V_{mb}}{\sqrt{2}} \angle \phi_b \quad (3.4)$$

$$V_c = \frac{V_{mc}}{\sqrt{2}} \angle \phi_c \quad (3.5)$$

Sus componentes instantáneas son (3.6)–(3.8):

$$v_a = V_{ma} \text{ sen}(\omega t + \phi_a) \quad (3.6)$$

$$v_b = V_{mb} \text{ sen}(\omega t + \phi_b) \quad (3.7)$$

$$v_c = V_{mc} \text{ sen}(\omega t + \phi_c) \quad (3.8)$$

Las componentes simétricas fasoriales se obtienen de acuerdo con (3.9):

$$\begin{bmatrix} V_{a0} \\ V_{a1} \\ V_{a2} \end{bmatrix} = \frac{1}{\sqrt{3}} \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (3.9)$$

Lo cual puede escribirse como (3.10):

$$\begin{bmatrix} V_{a0} \\ V_{a1} \\ V_{a2} \end{bmatrix} = \frac{1}{\sqrt{6}} \begin{bmatrix} V_{ma}e^{j\phi_a} + V_{mb}e^{j\phi_b} + V_{mc}e^{j\phi_c} \\ V_{ma}e^{j\phi_a} + aV_{mb}e^{j\phi_b} + a^2V_{mc}e^{j\phi_c} \\ V_{ma}e^{j\phi_a} + a^2V_{mb}e^{j\phi_b} + aV_{mc}e^{j\phi_c} \end{bmatrix} \quad (3.10)$$

Donde $a = e^{j\frac{2\pi}{3}}$. Utilizando la transformación de componentes simétricas instantáneas:

$$\begin{bmatrix} v_{a0} \\ v_{a1} \\ v_{a2} \end{bmatrix} = \frac{1}{\sqrt{3}} \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.11)$$

Entonces, las señales dadas en (3.6)–(3.8) se sustituyen en (3.11), y posteriormente las componentes fundamentales se calculan mediante (3.12):

$$c'_{a(012)} = \frac{1}{T_0} \int_0^{T_0} v_{a(012)}(t) e^{-j(\omega t - \pi/2)} dt \quad (3.12)$$

Donde T_0 corresponde al periodo de un ciclo eléctrico fundamental, y (3.13) son los componentes fundamentales de la representación en serie de Fourier de $v_{a(012)}$.

$$c'_{a(012)} = \begin{bmatrix} c_{a1(0)} \\ c_{a1(1)} \\ c_{a1(2)} \end{bmatrix} \quad (3.13)$$

Analizando la componente de secuencia cero, a partir de (3.11) se obtiene (3.14):

$$v_{a0} = \frac{1}{\sqrt{3}}(v_a + v_b + v_c) \quad (3.14)$$

Al sustituir (3.14) en (3.12), se obtiene (3.15):

$$\begin{aligned} c_{a1(0)} &= \frac{1}{T_0\sqrt{3}} \int_0^{T_0} v_{a0} e^{-j(\omega t - \pi/2)} dt \\ &= \frac{1}{T_0\sqrt{3}} \int_0^{T_0} [V_{ma} \sin(\omega t + \phi_a) + V_{mb} \sin(\omega t + \phi_b) + V_{mc} \sin(\omega t + \phi_c)] (\sin \omega t + j \cos \omega t) dt \end{aligned} \quad (3.15)$$

Al expandir el integrando de (3.15) y eliminar los términos de doble frecuencia, se obtiene (3.16):

$$c_{a1(0)} = \frac{1}{2\sqrt{3}} (V_{ma} e^{j\phi_a} + V_{mb} e^{j\phi_b} + V_{mc} e^{j\phi_c}) \quad (3.16)$$

Comparando la primera fila de (3.10) con (3.16), se obtiene (3.17):

$$V_{a0} = \sqrt{2} c_{a1(0)} \quad (3.17)$$

Repitiendo el procedimiento para la secuencia positiva, se tiene (3.18):

$$c_{a1(1)} = \frac{1}{2\sqrt{3}} (V_{ma} e^{j\phi_a} + a V_{mb} e^{j\phi_b} + a^2 V_{mc} e^{j\phi_c}) \quad (3.18)$$

De donde:

$$V_{a1} = \sqrt{2} c_{a1(1)} \quad (3.19)$$

De manera análoga, la secuencia negativa se expresa como (3.20) y (3.21):

$$c_{a1(2)} = \frac{1}{2\sqrt{3}} (V_{ma}e^{j\phi_a} + a^2V_{mb}e^{j\phi_b} + aV_{mc}e^{j\phi_c}) \quad (3.20)$$

$$V_{a2} = \sqrt{2} c_{a1(2)}. \quad (3.21)$$

En resumen, las componentes de la secuencia fundamental pueden extraerse de las muestras medidas mediante (3.22)–(3.24):

$$V_{a0} = \frac{\sqrt{2}}{T_0} \int_0^{T_0} v_{a0}(\sin \omega t + j \cos \omega t) dt \quad (3.22)$$

$$V_{a1} = \frac{\sqrt{2}}{T_0} \int_0^{T_0} v_{a1}(\sin \omega t + j \cos \omega t) dt \quad (3.23)$$

$$V_{a2} = \frac{\sqrt{2}}{T_0} \int_0^{T_0} v_{a2}(\sin \omega t + j \cos \omega t) dt \quad (3.24)$$

En una implementación en tiempo real, la parte integral se desarrolla mediante una ventana deslizante de valor promedio, la cual corresponde al valor medio $\bar{x}$ de la señal de entrada $\hat{x}$, obtenida de manera recursiva como (3.25)

$$\bar{x}(i) = \bar{x}(i-1) + \frac{\hat{x}(i) - \hat{x}(i-N)}{N} \quad (3.25)$$

Donde $\bar{x}(i)$ y $\bar{x}(i-1)$ corresponden al valor promedio en las iteraciones i e $i-1$, respectivamente, y $\hat{x}(i)$ y $\hat{x}(i-N)$ son las muestras de la señal de entrada. Nótese que $\hat{x}(i-N)$ se almacena en un búfer circular $\mathcal{B}$ de N elementos (3.26):

$$\hat{x}(i-N) = \mathcal{B}(i) \quad (3.26)$$

Por lo tanto, una vez calculado (3.25), el valor actual $\hat{x}(i)$ se asigna al búfer como se muestra en (3.27):

$$\mathcal{B}(i) = \hat{x}(i) \quad (3.27)$$

Capítulo 4

Resultados

A partir de las configuraciones experimentales abordadas en esta tesis, se han propuesto diferentes escenarios de prueba para una simulación CHIL de una MR fotovoltaica de CA y una simulación PHIL de una MR eléctrica de CA alimentada por dos fuentes controladas de CD. Los escenarios de prueba seleccionados para la simulación CHIL se enfocaron en evaluar el desempeño de un controlador digital, en términos del seguimiento a referencias, tiempo de asentamiento, sobreimpulso y error en estado estacionario. Esto específicamente en una configuración de un controlador PI discreto, para este tipo de aplicaciones en donde se requiere controlar la electrónica de potencia en el nivel primario del control jerárquico de una MR. Mientras que los escenarios para la simulación PHIL se enfocan en el desempeño de los elementos del hardware que componen a la MR y en la evaluación de la estabilidad de la simulación en este tipo de arquitecturas.

4.1 Escenarios y condiciones en esquema CHIL

Estas pruebas se realizaron a través de la estructura CHIL (Figura 3.1), añadiendo al entorno de simulación el inversor 2 junto con sus controladores, como se ve en la MR de estudio (Figura 2.1). Estos escenarios permitieron evaluar la respuesta dinámica del sistema ante variaciones en sus puntos de operación, así como analizar la capacidad de la estrategia de control para mantener un desempeño estable cuando el sistema opera bajo condiciones asociadas a un equivalente de red débil. De esta manera, fue posible identificar el impacto de dichas variaciones sobre la estabilidad y el comportamiento transitorio del sistema; además, se analizaron las interacciones entre la tarjeta controladora y el simulador en tiempo real OP4510, considerando tanto la estabilidad numérica como las limitaciones físicas que suelen tener este tipo de sistemas discretos. A su vez, estos

escenarios proporcionan una base para futuras optimizaciones en el diseño de control y la validación de estrategias de control avanzadas bajo condiciones de operación realistas.

Los escenarios presentados en esta sección se simularon considerando un banco de cargas trifásicas RLC en serie y en paralelo, las cuales en conjunto demandaron 4 MW de potencia activa, 2 MVar de potencia reactiva inductiva y 1 MVar de potencia reactiva capacitiva. Como primer escenario planteado, el parque fotovoltaico operó bajo una irradiancia de 1000 W/m^2 , el voltaje de referencia para C_{cd} se fijó en 1200 V ($v_{cd}^* = 1200$) y la referencia de potencia reactiva para este inversor se asignó en 0 MVar ($Q_1^* = 0$); mientras que, para el inversor 2 la referencia de potencia activa se estableció en 2 MW ($P_2^* = 2 \times 10^6$) y la referencia de potencia reactiva en 1.5 MVar ($Q_2^* = 1.5 \times 10^6$); en este escenario se cambiaron las características de la impedancia de la red, pasando de un SCR nominal de 10 a un SCR extremadamente bajo de 3 en el tiempo $t = 0.02 \text{ s}$. En la Figura 4.1 se muestra la respuesta del sistema ante estas condiciones, donde se exponen los voltajes trifásicos medidos en el PCC (v_{abc}), así como las corrientes en este mismo punto (i_{abc}), las corrientes de salida del filtro LCL de cada inversor (i_{abc1} e i_{abc2}), el voltaje medido en C_{cd} (v_{cd}), las potencias medidas en el PCC (P_{pcc} y Q_{pcc}), las potencias medidas en el inversor 1 (P_1 y Q_1) y las potencias medidas en el inversor 2 (P_2 y Q_2). A partir de este escenario, es posible apreciar la variación del SCR y la forma en que el sistema responde ante dicha perturbación, manteniendo su operación estable y un desempeño dinámico adecuado incluso bajo condiciones de red extremadamente débil.

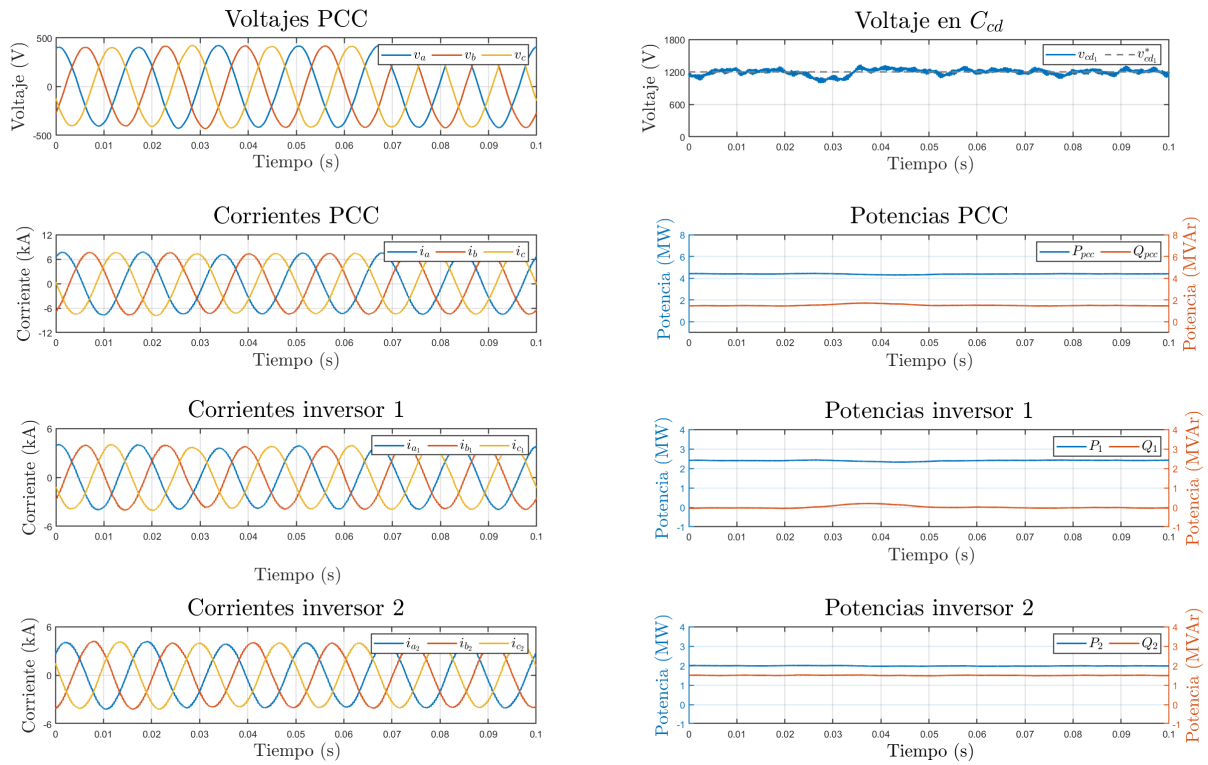


Figura 4.1: Respuesta de la microrred ante una variación de la relación de cortocircuito de 10 a un SCR de 3 en el tiempo $t = 0.02 \text{ s}$.

Para el siguiente escenario de simulación, se plantearon las condiciones en las que los puntos de operación del sistema se modificaron. En el caso del inversor 1, en un tiempo inicial la irradiancia se encontraba en 650 W/m^2 y creció su valor a 1000 W/m^2 de forma lineal en un intervalo de 1 s, mientras que la potencia reactiva de referencia se fijó en 0 MVar durante todo este intervalo. Para el caso del inversor 2, la condición inicial de la referencia de la potencia activa se encontraba en 0 MW y esta condición cambió abruptamente a un valor de 2 MW, mientras que la condición de referencia para la potencia reactiva pasó de 0 a 1.5 MVar. En la Figura 4.2 se muestra la respuesta del sistema en estado transitorio del sistema ante estas condiciones; de aquí se pueden observar cómo las corrientes i_{abc} se modulan dentro de esta transición, y también se puede apreciar la capacidad de los controladores para el seguimiento de la referencia dentro del tiempo de asentamiento establecido en la Tabla 2.3. Además, durante la transferencia de la potencia máxima del sistema, se observa un incremento en el rizo del voltaje v_{cd1} , el cual alcanza un valor aproximado de 102 V, que corresponde a un 8.5% del voltaje de referencia.

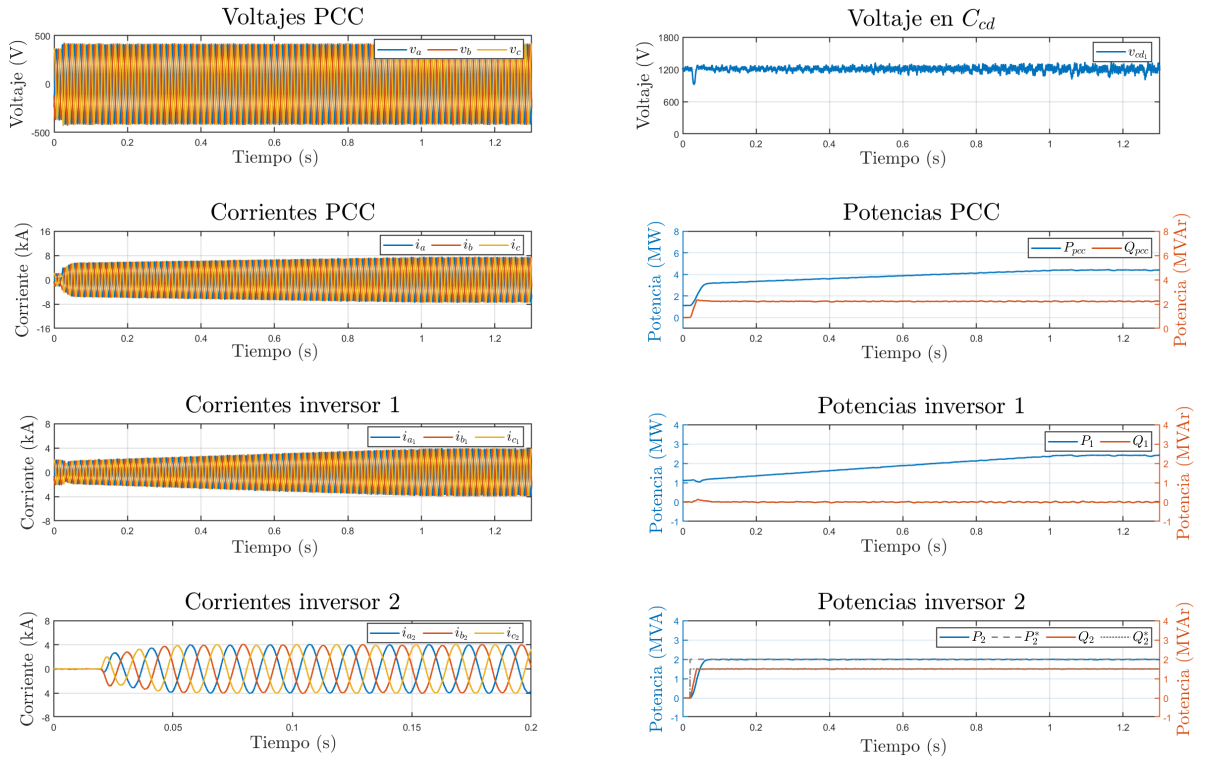


Figura 4.2: Respuesta transitoria ante cambios de referencia: Inv. 1, irradiancia $650 \rightarrow 1000 \text{ W/m}^2$ en 1 s con $Q_1^* = 0$; Inv. 2, $P_2^* : 0 \rightarrow 2 \text{ MW}$, $Q_2^* : 0 \rightarrow 1.5 \text{ MVar}$.

Para el último escenario planteado, las condiciones de operación del sistema se impusieron a una irradiancia constante de 1000 W/m^2 , la referencia de la potencia reactiva para el inversor 1 se mantuvo en 0 MVar, las potencias de referencia para el inversor 2 se fijaron en 2 MW y 1.5 MVar, mientras que la referencia del voltaje v_{cd} cambió su punto de operación instantáneamente de 1200 V a 1400 V. En la Figura 4.3 se muestra el

comportamiento dinámico del sistema, en donde es posible apreciar el estado transitorio del evento al seguir el nuevo valor de referencia. Se observa que los voltajes trifásicos medidos en el PCC se mantienen estables, mientras el voltaje en C_{cd} sigue la referencia en el tiempo establecido en el diseño del controlador (Tabla 2.3); asimismo, es posible observar el efecto del evento en las corrientes del inversor 1, donde se modulan de tal manera que continúe transfiriendo la misma potencia activa y reactiva; por lo tanto, se puede observar que en las potencias del PCC y las potencias del inversor 1 se observa este cambio como una perturbación. Mientras tanto, el Inversor 2 se mantiene estable transfiriendo su potencia máxima, lo que corrobora el correcto funcionamiento de la estrategia de control y la capacidad de este mismo para mantener el sistema en su condición nominal.

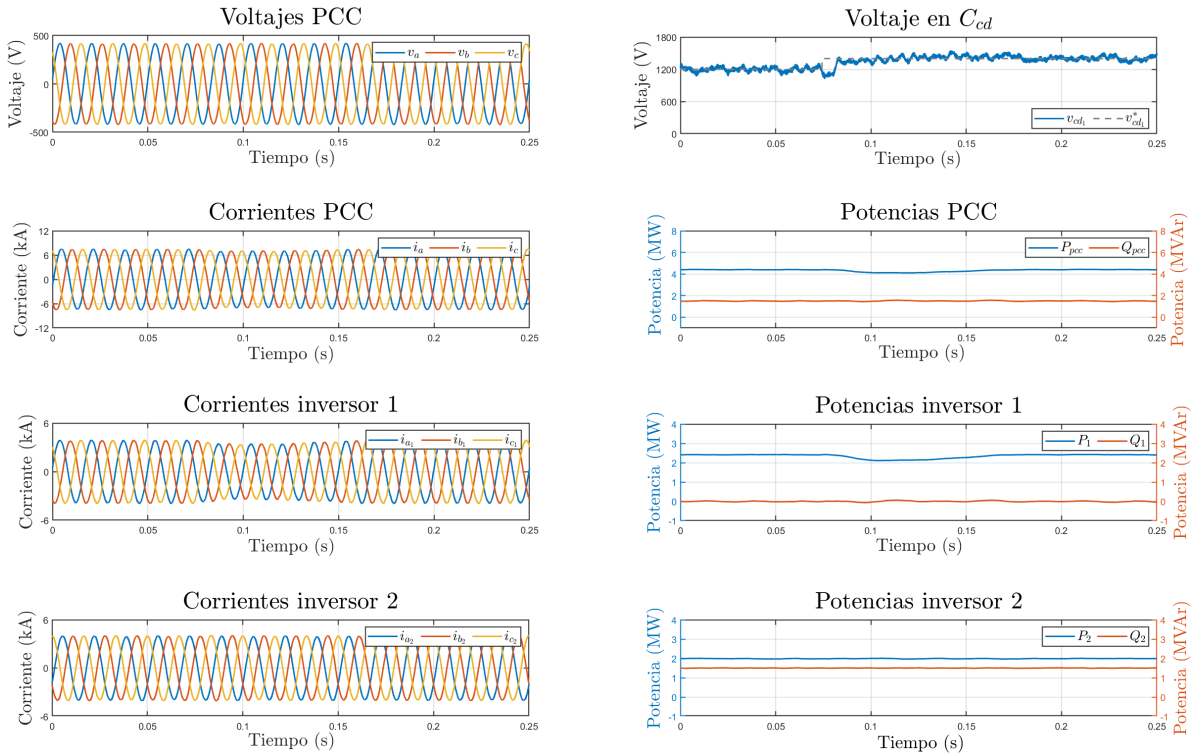


Figura 4.3: Respuesta ante un escalón en la referencia de voltaje v_{cd}^* : irradiancia 1000 W/m^2 , Inv. 1 $Q_1^* = 0$, Inv. 2 $P_2^* = 2 \text{ MW}$, $Q_2^* = 1.5 \text{ MVar}$, $v_{cd}^* : 1200 \text{ V} \rightarrow 1400 \text{ V}$.

Con estos casos, ha sido posible evaluar la capacidad y desempeño de la estrategia de control para mantener al sistema operando bajo las condiciones deseadas, aun ante variaciones en los puntos de operación y características de la red. El esquema de control cuenta con un lazo interno y otro externo, encargados del seguimiento de las referencias de potencia activa y reactiva. La correcta coordinación entre estos lazos permite garantizar una respuesta dinámica adecuada del inversor frente a cambios en sus puntos de operación, manteniendo la estabilidad del sistema y asegurando un desempeño confiable en el seguimiento de las referencias, establecidas bajo condiciones cercanas a la realidad. Los resultados muestran también la correcta implementación del control en el esquema CHIL.

4.2 Escenarios y condiciones en esquema PHIL

Para este caso el escenario de prueba consistió en llevar ambos inversores a su punto de operación nominal, con referencias de 900 W y 900 VAr, aplicadas mediante una rampa de 1 segundo y donde los controladores se sintonizaron estableciendo un tiempo de asentamiento de 500 ms, este tipo de consideración se hizo con la finalidad de evitar causar estrés sobre los dispositivos que componen a la MR. En la Figura 4.4 se observa la respuesta del Inversor 1, donde la rampa inicia en 0.5 s y alcanza el valor de referencia en 1.5 s. En la Figura 4.5 se muestra la respuesta del Inversor 2 bajo la misma condición de operación, añadiendo una etapa en la que las referencias cambian a 0 en el segundo 10. Los datos fueron adquiridos en el simulador OP4510 con un tiempo de muestreo de 2 ms.

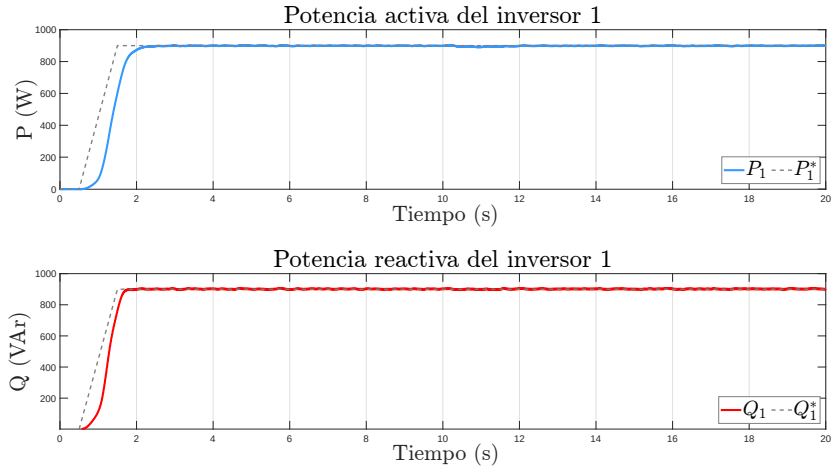


Figura 4.4: Potencia activa y reactiva del Inversor 1, medidas por el simulador en el PCC.

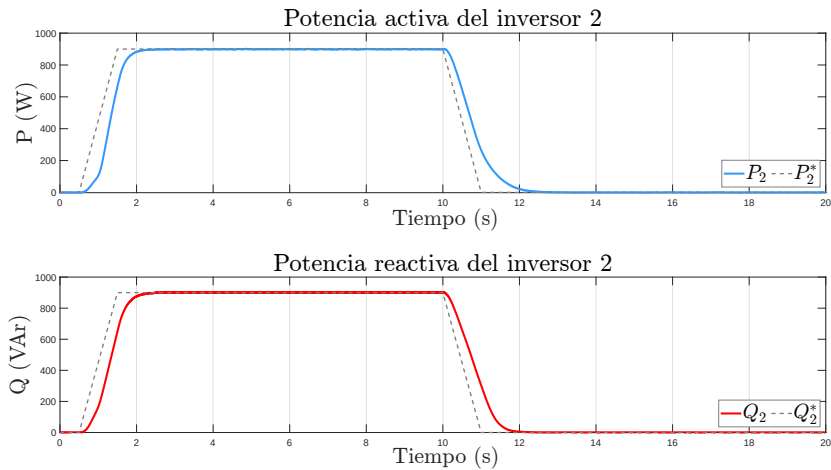


Figura 4.5: Potencia activa y reactiva del Inversor 2, medidas por el simulador en el PCC.

A su vez, estos datos también fueron leídos por dos analizadores de calidad de la energía. Como se observa en la Figura 3.42, se usaron analizadores de la marca Dranetz: el modelo PowerGuia 440s para medir el Inversor 1 y el modelo PowerGuide 4400 para el

Inversor 2. En la Figura 4.6 y Figura 4.7 se muestran las lecturas para la potencia activa y reactiva de los inversores 1 y 2, respectivamente. Estas lecturas se obtuvieron a un tiempo de muestreo de 1 s.

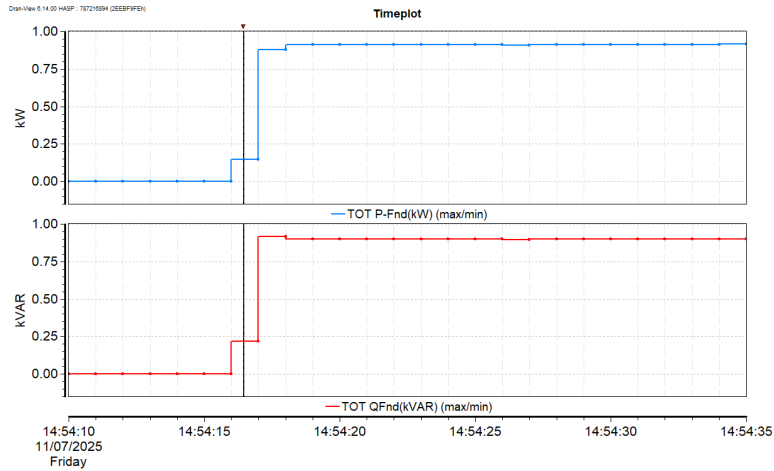


Figura 4.6: Potencia activa y reactiva del Inversor 1, medidas en el PCC a través del analizador PowerGuia 440s.

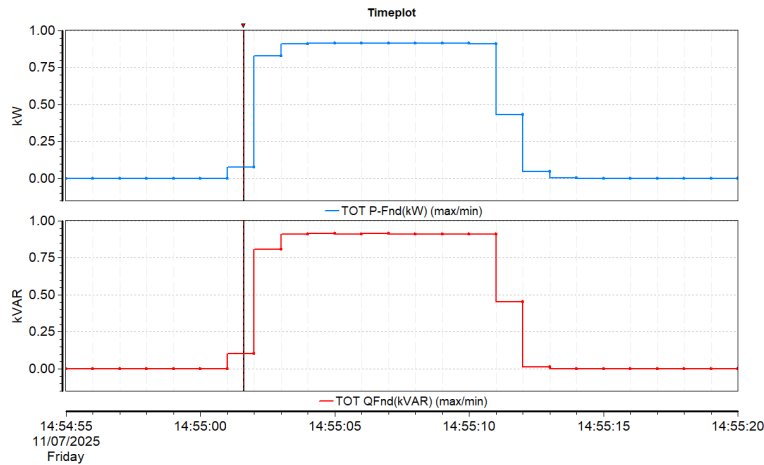


Figura 4.7: Potencia activa y reactiva del Inversor 2, medidas en el PCC a través del analizador PowerGuide 4400.

Se configuró en los analizadores un detector de eventos que detecta un cambio en el *Root Mean Square* (valor eficaz) (RMS) de la corriente, de modo que se registraron las formas de onda para el voltaje y la corriente de cada fase. De tal manera que, al ocurrir el cambio de referencia, es posible grabar estas formas de onda. En la Figura 4.8 se muestra el evento guardado por el analizador, donde se aprecia la respuesta transitoria de las corrientes trifásicas i_{s1} al momento de detectar el aumento del valor RMS de la corriente. En la Figura 4.9 se muestran las formas de onda de los voltajes del PCC y las corrientes i_{s1} al momento de llevar a cero las referencias P_2^* y Q_2^* del Inversor 2, donde se puede apreciar que el Inversor 1 sigue trabajando en su condición nominal. En la Figura 4.10 se muestra la respuesta que tiene el Inversor 1 en estado estacionario.

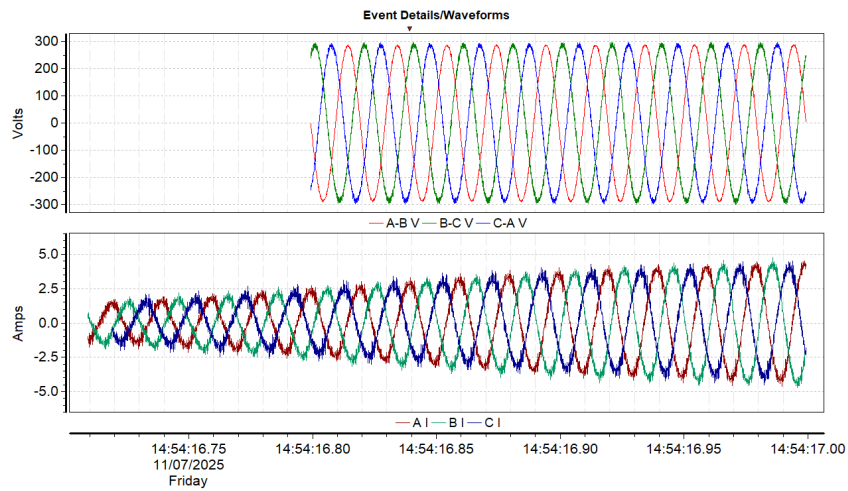


Figura 4.8: Captura del evento subida de corrientes i_{s1} en el PCC (PowerGuia 440s).

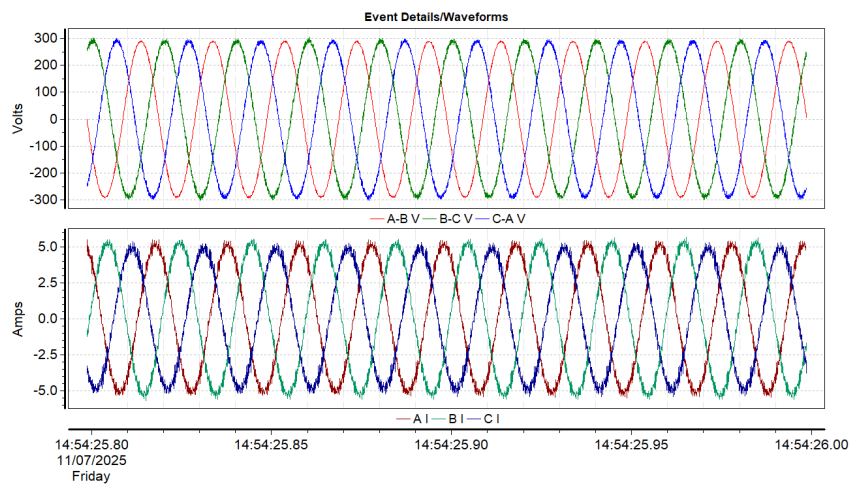


Figura 4.9: Captura de ondas de voltajes y corrientes i_{s1} en el PCC (PowerGuia 440s).

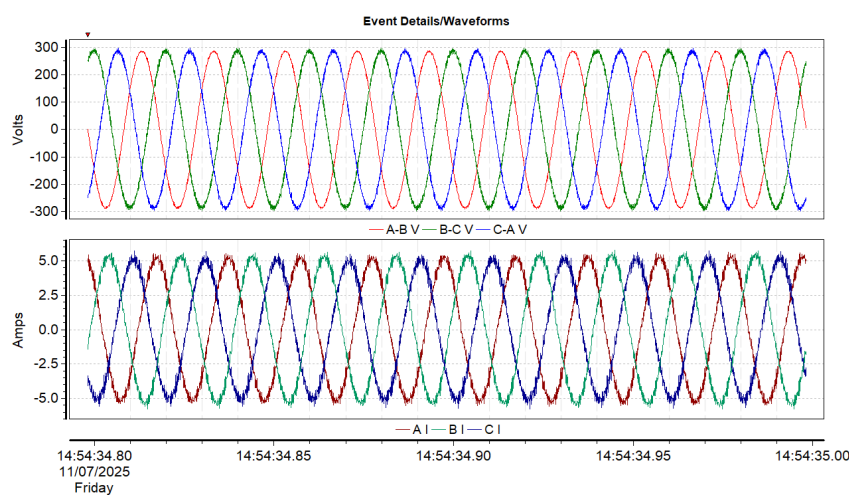


Figura 4.10: Captura del estado estacionario de las ondas de voltajes y corrientes i_{s1} en el PCC (PowerGuia 440s).

En cuanto al Inversor 2, en la Figura 4.11 se muestran los voltajes y corrientes del evento detectado por el analizador PowerGuide 4400, donde se detectó una subida en el valor RMS de las corrientes i_{s2} . En la Figura 4.12 se puede observar la captura de las formas de onda tras la detección de la caída en el valor RMS de las corrientes i_{s2} . Por último, en la Figura 4.13 se muestran los voltajes y corrientes en estado estacionario para la condición nominal, esto fue capturado durante 10 ciclos de la frecuencia fundamental.

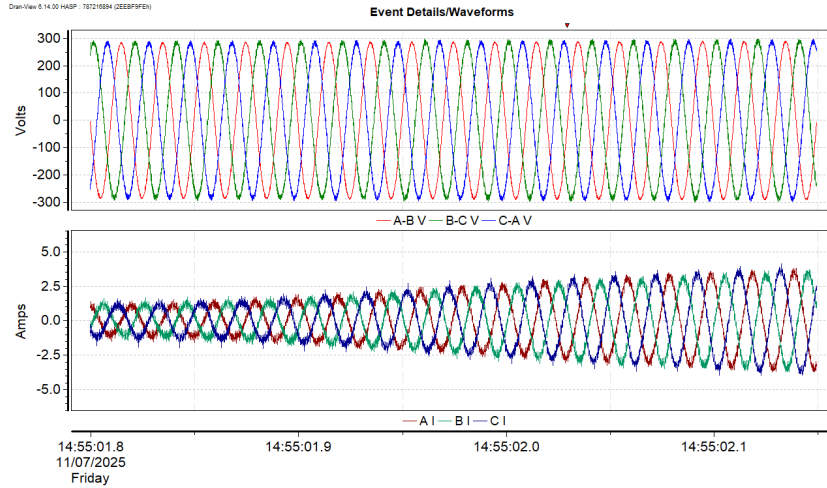


Figura 4.11: Captura del evento subida de corriente i_{s2} en el PCC (PowerGuide 4400).

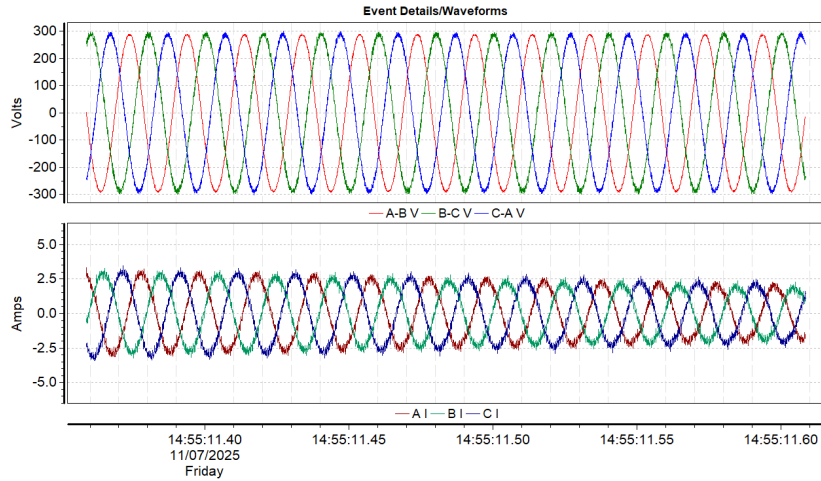


Figura 4.12: Captura del evento caída de corriente i_{s2} en el PCC (PowerGuide 4400).

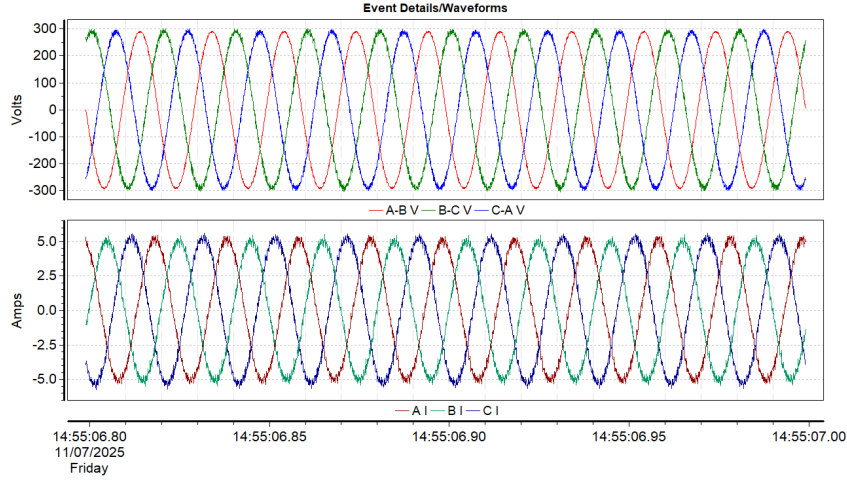


Figura 4.13: Captura del estado estacionario de las ondas de voltajes y corrientes i_{s2} en el PCC (PowerGuide 4400).

Además de registrar las variables fundamentales, los analizadores permitieron verificar la coherencia entre las mediciones capturadas por el simulador en tiempo real y los valores adquiridos por los equipos físicos, lo que proporcionó una validación cruzada del experimento.

En los resultados mostrados en esta sección se configuró un SCR de 20 y se varió el valor de la frecuencia de corte del filtro de realimentación de la corriente en un rango de 100 a 1000 Hz, obteniéndose un desempeño satisfactorio del sistema bajo estas condiciones. Sin embargo, al analizar escenarios con redes más débiles (es decir, con un menor valor de SCR [51]), se identificó un compromiso crítico en la selección de la frecuencia de corte. En particular, cuando el sistema opera con una red muy débil, el incremento de la frecuencia de corte puede inducir comportamientos no deseados y, en casos extremos, conducir a la inestabilidad del sistema. Esta observación resalta que la elección adecuada de la frecuencia de corte no es un parámetro trivial, sino un aspecto fundamental que determina la robustez y la estabilidad de la arquitectura de la simulación al momento de su implementación. Cabe señalar que, en este trabajo se empleó una interfaz del tipo V-ITM para la implementación PHIL, así como un circuito equivalente de Thévenin, caracterizado por su relación X/R y su SCR. Sin embargo, existen otras arquitecturas de interfaz que pueden modificar las características de estabilidad del sistema y, por tanto, influir en la selección y el diseño del filtro de realimentación.

En [52] se presenta un caso bajo un análisis experimental, junto con consideraciones a tomar en cuenta durante la implementación PHIL, con el objetivo de identificar una región de estabilidad del experimento. Donde los límites de estabilidad evidencian una dependencia tanto de la frecuencia de corte del filtro de realimentación de corriente como de la relación de cortocircuito del circuito eléctrico equivalente de la red. También se resalta que, para valores reducidos de SCR, el sistema conserva la estabilidad únicamente

cuando se emplean frecuencias de corte relativamente bajas, mientras que valores más elevados de SCR permiten anchos de banda mayores sin afectar el comportamiento estable del sistema. Adicionalmente, se resalta la diferencia observada entre relaciones X/R de 7 y 10, donde se confirma que las redes con carácter predominantemente inductivo imponen condiciones de estabilidad más restrictivas, las cuales deben ser consideradas de manera cuidadosa durante la etapa de diseño.

Con esto, además de enfatizar en la importancia de una correcta parametrización, también se abren las puertas hacia la exploración analítica orientada al ajuste del filtro de realimentación, con el fin de identificar el parámetro crítico del mismo. Ya sea en este tipo de experimentos o para otro tipo donde se haga uso de frecuencias más altas en el sistema. De tal manera que, lo estudiado aporta evidencia experimental y también plantea un campo de oportunidades para avanzar en el diseño de soluciones que fortalezcan la integración de recursos basados en inversores en redes eléctricas modernas.

Conclusiones

En esta tesis se ha presentado la implementación y validación de una microrred (MR) con fuentes de generación distribuida (GD) en un entorno de simulación en tiempo real, empleando esquemas CHIL y PHIL para evaluar estrategias de control digital y el desempeño de los convertidores de potencia. El trabajo se centró en la operación interconectada a la red de recursos basados en inversores, bajo un esquema convencional de control para inversores. En estos experimentos se consideraron características tanto de la red eléctrica como de los controladores, con el objetivo de evaluar este tipo de estructuras. De acuerdo con lo establecido en el estándar IEEE Std 2800™-2022 [51], la métrica de la relación de cortocircuito (SCR) puede emplearse como un indicador de la robustez de la red y tiene un impacto significativo en la estabilidad de esta misma. Asimismo, dicho estándar señala un parámetro relevante asociado a los controladores, relacionado con el tiempo de respuesta en el seguimiento de las referencias, el cual debe considerarse para garantizar la correcta operación de cada nivel de control.

Considerando condiciones cercanas a la práctica, y con el objetivo de ofrecer una plataforma segura y flexible para la experimentación y el análisis de sistemas eléctricos modernos. Los experimentos realizados permitieron validar la eficacia de los controladores PI implementados en la tarjeta CP1104, asegurando que la potencia transferida siguiera la demanda que impone las referencias de corriente, bajo distintos escenarios de operación. Asimismo, se validó la capacidad del simulador OP4510 junto con el amplificador OP8110, para emular la red principal y los comportamientos dinámicos de la MR, que contiene a los inversores trifásicos formados por los módulos PEB8024.

La investigación demuestra que la simulación en tiempo real constituye una herramienta clave para el análisis de las MR, permitiendo reducir riesgos y costos asociados a pruebas físicas. Además, proporciona un recurso valioso para la validación de estrategias de control y el estudio de fenómenos dinámicos en sistemas eléctricos, contribuyendo a la investigación académica y al desarrollo tecnológico industrial en el área de GD.

Limitaciones y trabajo a futuro

Si bien la tesis abarcó un esquema interconectado a la red de recursos de generación basados en inversores, en la cual no se incluyeron escenarios de microrred aislada ni la integración de sistemas de almacenamiento de energía. Ya que la experimentación se centró en un rango de potencia específico y bajo ciertas condiciones de robustez de red, se recomienda precaución al extrapolar los hallazgos a sistemas de mayor escala, con topologías distintas o con redes eléctricas más débiles. Adicionalmente, los resultados están sujetos a las limitaciones propias de los esquemas de simulación en tiempo real, como los retardos de comunicación, el ancho de banda de los dispositivos de potencia y la escala propia del paso de integración.

Como líneas de trabajo futuro, se sugiere integrar sistemas de almacenamiento de energía y explorar esquemas de control en microrredes aisladas, tales como control *Grid-Forming* o control predictivo. También resulta de interés extender el análisis del nivel secundario del esquema de control jerárquico, así como realizar estudios de estabilidad más exhaustivos bajo diferentes condiciones de red, ampliando así el alcance, la aplicabilidad de las plataformas de simulación en tiempo real y la replicabilidad de este tipo de experimentos.

Referencias

- [1] I. E. Agency, «Electricity 2025: Analysis and Forecast to 2027,» International Energy Agency, Technical Report, feb. de 2025, Versión revisada. dirección: <https://iea.blob.core.windows.net/assets/0f028d5f-26b1-47ca-ad2a-5ca3103d070a/Electricity2025.pdf>.
- [2] L. Freris, «Distributed generation: A definition,» *Energy*, vol. 26, n.º 7, págs. 461-464, 2001. DOI: 10.1016/S0378-7796(01)00101-8.
- [3] J. Arteaga, Y. López, J. López y J. Posada, «Decoding harmonics: total harmonic distortion in solar photovoltaic systems with integrated battery storage,» *Electricity*, vol. 6, n.º 2, 2025. DOI: 10.3390/electricity6020028.
- [4] T. Magesh, G. Devi y T. Lakshmanan, «Measurement and simulation of power quality issues in grid connected wind farms,» *Electric Power Systems Research*, vol. 210, págs. 108081, 2022. DOI: 10.1016/j.epsr.2022.108081.
- [5] S. M. Ahsan, H. A. Khan, A. Hussain, S. Tariq y N. A. Zaffar, «Harmonic Analysis of Grid-Connected Solar PV Systems with Nonlinear Household Loads in Low-Voltage Distribution Networks,» *Sustainability*, vol. 13, n.º 7, págs. 3709, 2021. DOI: 10.3390/su13073709.
- [6] A. Elkholy, «Harmonics assessment and mathematical modeling of power quality parameters for low voltage grid connected photovoltaic systems,» *Solar Energy*, vol. 183, págs. 315-326, 2019, ISSN: 0038-092X. DOI: 10.1016/j.solener.2019.03.009.
- [7] J. Wang, Y. Song, W. Li, J. Guo y A. Monti, «Development of a Universal Platform for Hardware In-the-Loop Testing of Microgrids,» *IEEE Transactions on Industrial Informatics*, vol. 10, n.º 4, págs. 2154-2165, nov. de 2014. DOI: 10.1109/TII.2014.2349271.
- [8] R. Lasseter, «MicroGrids,» en *2002 IEEE Power Engineering Society Winter Meeting. Conference Proceedings (Cat. No.02CH37309)*, vol. 1, 2002, 305-308 vol.1.

- [9] N. Hatziaargyriou, H. Asano, R. Iravani y C. Marnay, «Microgrids,» *IEEE Power and Energy Magazine*, vol. 5, n.º 4, págs. 78-94, jul. de 2007. DOI: 10.1109/MPAE.2007.376583.
- [10] D. T. Ton y M. A. Smith, «The U.S. Department of Energy's Microgrid Initiative,» U.S. Department of Energy, inf. téc., 2012, Technical Report, The Electricity Journal. dirección: <https://www.energy.gov/sites/prod/files/2016/06/f32/The%20US%20Department%20of%20Energy%27s%20Microgrid%20Initiative.pdf>.
- [11] Secretaría de Energía (SENER) y CENACE, *Bases del Mercado Eléctrico [DOF 08-09-15]*, Diario Oficial de la Federación, 8 de septiembre de 2015, Documento normativo del Mercado Eléctrico Mayorista (México), 2015. dirección: https://www.cenace.gob.mx/Docs/14_REGLAS/Bases/Bases%20del%20Mercado%20El%C3%A9ctrico%20%5BDOF%2008-09-15%5D%20.pdf.
- [12] J. Huang, C. Jiang y R. Xu, «A review on distributed energy resources and Micro-Grid,» *Renewable and Sustainable Energy Reviews*, vol. 12, n.º 9, págs. 2472-2483, 2008, ISSN: 1364-0321. DOI: 10.1016/j.rser.2007.06.004.
- [13] IEEE, *IEEE Standard for the Specification of Microgrid Controllers*, Standard IEEE 2030.7-2017, abr. de 2018. DOI: 10.1109/IEEESTD.2018.8340204.
- [14] R. H. Lasseter y P. Paigi, «Microgrid: A conceptual solution,» en *35th IEEE Power Electronics Specialists Conference (PESC)*, 2004, págs. 4285-4290. DOI: 10.1109/PESC.2004.1354758.
- [15] H. Tu, S. Zhao, Y. Liu, X. Wang y A. Monti, «A Hardware-in-the-Loop Real-Time Testbed for Microgrid Hierarchical Control,» en *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, USA, 2018, págs. 2053-2059. DOI: 10.1109/ECCE.2018.8557737.
- [16] K. Prabakar, R. Sebastian, A. Monti, S. Karagiannopoulos y P. Rodriguez, «Site-Specific Evaluation of Microgrid Controller Using Controller and Power-Hardware-in-the-Loop,» en *IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society*, Lisbon, Portugal, 2019, págs. 6463-6468. DOI: 10.1109/IECON.2019.8927354.
- [17] R. O. Salcedo, J. K. Nowocin, C. L. Smith et al., «Development of a Real-Time Hardware-in-the-Loop Power Systems Simulation Platform to Evaluate Commercial Microgrid Controllers,» MIT Lincoln Laboratory, Lexington, United States, Technical Report TR-1203, feb. de 2016, pág. 101.
- [18] Y. Liu, H. Tu, X. Wang y A. Monti, «Real-time cyber-physical system co-simulation testbed for microgrids,» *IET Cyber-Physical Systems: Theory and Applications*, vol. 13, n.º 3, págs. 147-154, 2018. DOI: 10.1049/iet-cps.2018.5040.

- [19] F. Baccino, A. Brissette, D. Ishchenko, A. Kondabathini y P. Serra, «Real-time hardware-in-the-loop modeling for microgrid applications,» en *2017 6th International Conference on Clean Electrical Power (ICCEP)*, Santa Margherita Ligure, Italy, 2017, págs. 152-157. DOI: 10.1109/ICCEP.2017.8004807.
- [20] H. Abedini, T. Caldognetto, P. Mattavelli y P. Tenti, «Real-Time Validation of Power Flow Control Method for Enhanced Operation of Microgrids,» *Energies*, vol. 13, n.º 22, 2020. DOI: 10.3390/en13225959.
- [21] S. S. R. Depuru, L. Wang y V. G. Agelidis, «Real-Time Simulation of Distributed Energy Systems and Microgrids,» *Energy Reports*, vol. 2, págs. 1-10, 2016. DOI: 10.1016/j.egyr.2016.01.001.
- [22] H. Kikusato, T. S. Ustun, M. Suzuki et al., «Microgrid Controller Testing Using Power Hardware-in-the-Loop,» *Energies*, vol. 13, n.º 8, 2020. DOI: 10.3390/en13082044.
- [23] H. Kikusato, T. S. Ustun, M. Suzuki et al., «Integrated Power Hardware-in-the-Loop and Lab Testing for Microgrid Controller,» en *2019 IEEE Innovative Smart Grid Technologies - Asia (ISGT Asia)*, Chengdu, China, 2019, págs. 2743-2747. DOI: 10.1109/ISGT-Asia.2019.8881576.
- [24] K. Prabakar, A. Pratt, D. Krishnamurthy y A. Maitra, «Hardware-in-the-Loop Test Bed and Test Methodology for Microgrid Controller Evaluation,» en *2018 IEEE/PES Transmission and Distribution Conference and Exposition (T&D)*, Denver, CO, USA, 2018, págs. 1-9. DOI: 10.1109/TDC.2018.8440246.
- [25] S. J. Oh, C. H. Yoo, I. Y. Chung y D. J. Won, «Hardware-in-the-Loop Simulation of Distributed Intelligent Energy Management System for Microgrids,» *Energies*, vol. 6, n.º 7, págs. 3263-3283, 2013. DOI: 10.3390/en6073263.
- [26] J.-H. Jeon, S.-B. Lee, J.-W. Park, Y.-J. Kang y S.-M. Kim, «Development of Hardware In-the-Loop Simulation System for Testing Operation and Control Functions of Microgrid,» *IEEE Transactions on Power Electronics*, vol. 25, n.º 12, págs. 2919-2929, dic. de 2010. DOI: 10.1109/TPEL.2010.2078518.
- [27] A. Banerji, S. K. Singh, R. K. Sharma, M. Kumar y R. Agarwal, «Microgrid: A review,» en *2013 IEEE Global Humanitarian Technology Conference: South Asia Satellite (GHTC-SAS)*, Trivandrum, India, 2013, págs. 27-35. DOI: 10.1109/GHTC-SAS.2013.6629883.
- [28] R. R. Shrivastwa, A. Hably, K. Melizi y S. Bacha, «Understanding Microgrids and Their Future Trends,» en *2019 IEEE International Conference on Industrial Technology (ICIT)*, Melbourne, VIC, Australia, 2019, págs. 1723-1728. DOI: 10.1109/ICIT.2019.8754952.

- [29] A. Mittal, A. Rajput, K. Johar y R. Kandari, «Microgrids, their types, and applications,» en *Microgrids*, J. M. Guerrero y R. Kandari, eds., Academic Press, 2022, cap. 1, págs. 3-40, ISBN: 9780323854634. DOI: 10.1016/B978-0-323-85463-4.00008-3.
- [30] M. A. Hossain, H. R. Pota, W. Issa y M. J. Hossain, «Overview of AC Microgrid Controls with Inverter-Interfaced Generations,» *Energies*, vol. 10, n.º 9, 2017. DOI: 10.3390/en10091300.
- [31] Y. Liu, L. Xu, L. Zhang, Y. Li y X. Zhang, «A review on microgrid central controller,» *Renewable and Sustainable Energy Reviews*, vol. 56, págs. 43-53, 2016. DOI: 10.1016/j.rser.2015.11.051.
- [32] A. H. Elmetwaly, A. A. ElDesouky, A. I. Omar y M. A. Saad, «Operation control, energy management, and power quality enhancement for a cluster of isolated microgrids,» *Ain Shams Engineering Journal*, vol. 13, n.º 5, 2022. DOI: 10.1016/j.asej.2022.101737.
- [33] J. G. D. Matos, F. S. e Silva y L. A. D. S. Ribeiro, «Power control in AC isolated microgrids with renewable energy sources and energy storage systems,» *IEEE Transactions on Industrial Electronics*, vol. 62, n.º 6, págs. 3490-3498, 2015. DOI: 10.1109/TIE.2014.2367122.
- [34] S. D'silva, M. Shadmand, S. Bayhan y H. Abu-Rub, «Towards Grid of Microgrids: Seamless Transition between Grid-Connected and Islanded Modes of Operation,» *IEEE Open Journal of the Industrial Electronics Society*, vol. 1, págs. 66-81, 2020. DOI: 10.1109/OJIES.2020.2988618.
- [35] Z. Shuai, Y. Sun, Z. J. Shen et al., «Microgrid stability: Classification and a review,» *Renewable and Sustainable Energy Reviews*, vol. 58, págs. 167-179, 2016. DOI: 10.1016/j.rser.2015.12.201.
- [36] M. Farrokhhabadi, C. A. Cañizares, J. W. Simpson-Porco et al., «Microgrid Stability Definitions, Analysis, and Examples,» *IEEE Transactions on Power Systems*, vol. 35, n.º 1, págs. 13-29, ene. de 2020. DOI: 10.1109/TPWRS.2019.2925703.
- [37] J. Bélanger y C. Dufour, «Modern Methodology of Electric System Design Using Rapid-Control Prototyping and Hardware-in-the-Loop,» en *Real-Time Simulation Technologies*, K. Popovici y P. J. Mosterman, eds., Taylor y Francis Group, 2013, págs. 219-239.
- [38] J. Bélanger, P. Venne y J.-N. Paquin, «The What, Where and Why of Real-Time Simulation,» Opal-RT Technologies, inf. téc., 2010, Technical report. dirección: https://blob.opal-rt.com/medias/L00161_0436.pdf.

- [39] C. Nuñez-Gutiérrez, «Power-Hardware-in-the-Loop Simulation for Applied Science, a Review to Highlight Its Merits and Challenges,» *Inventions*, vol. 10, n.º 1, 2025. DOI: 10.3390/inventions10010019.
- [40] M. G. Villalva, J. R. Gazoli y E. R. Filho, «Comprehensive Approach to Modeling and Simulation of Photovoltaic Arrays,» *IEEE Transactions on Power Electronics*, vol. 24, n.º 5, págs. 1198-1208, 2009. DOI: 10.1109/TPEL.2009.2013862.
- [41] M. H. Díaz-Araujo, A. Medina-Ríos, M. Madrigal-Martínez y L. A. Cleary-Balderas, «Analysis of Grid-Connected Photovoltaic Generation Systems in the Harmonic Domain,» *Energies*, vol. 12, n.º 24, 2019. DOI: 10.3390/en12244785.
- [42] J. M. Guerrero, J. C. Vasquez, J. Matas, L. G. de Vicuna y M. Castilla, «Hierarchical Control of Droop-Controlled AC and DC Microgrids—A General Approach Toward Standardization,» *IEEE Transactions on Industrial Electronics*, vol. 58, n.º 1, págs. 158-172, 2011. DOI: 10.1109/TIE.2010.2066534.
- [43] G. D. A. Tinajero, N. L. D. Aldana, A. C. Luna et al., «Extended-Optimal-Power-Flow-Based Hierarchical Control for Islanded AC Microgrids,» *IEEE Transactions on Power Electronics*, vol. 34, n.º 1, págs. 840-848, 2019. DOI: 10.1109/TPEL.2018.2813980.
- [44] G. Agundis-Tinajero, J. Segundo-Ramírez, N. Visairo-Cruz, M. Savaghebi, J. M. Guerrero y E. Barocio, «Power Flow Modeling of Islanded AC Microgrids with Hierarchical Control,» *International Journal of Electrical Power & Energy Systems*, vol. 105, págs. 28-36, 2019. DOI: 10.1016/j.ijepes.2018.08.002.
- [45] X. Feng, A. Shekhar, F. Yang, R. E. Hebner y P. Bauer, «Comparison of Hierarchical Control and Distributed Control for Microgrid,» *Electric Power Components and Systems*, vol. 45, n.º 10, págs. 1043-1056, 2017. DOI: 10.1080/15325008.2017.1318982.
- [46] J. J. Nedumgatt, K. B. Jayakrishnan, S. Umashankar, D. Vijayakumar y D. P. Kothari, «Perturb and observe MPPT algorithm for solar PV systems - modeling and simulation,» en *2011 Annual IEEE India Conference*, Hyderabad, India, 2011, págs. 1-6. DOI: 10.1109/INDCON.2011.6139513.
- [47] M. Esparza, J. Segundo-Ramírez, J. B. Kwon, X. Wang y F. Blaabjerg, «Modeling of VSC-Based Power Systems in the Extended Harmonic Domain,» *IEEE Transactions on Power Electronics*, vol. 32, n.º 8, págs. 5907-5916, 2017. DOI: 10.1109/TPEL.2017.2658340.
- [48] C. Gurrola, J. Segundo, M. Esparza y R. Cruz, «Optimal LCL-filter design method for grid-connected renewable energy sources,» *International Journal of Electrical Power & Energy Systems*, vol. 120, pág. 105998, 2020. DOI: 10.1016/j.ijepes.2020.105998.

- [49] K. Ogata, «Transient and Steady-State Response Analyses,» en *Modern Control Engineering*, 5.^a ed., Pearson, 2010, págs. 159-268.
- [50] A. Ghosh y A. Joshi, «A new approach to load balancing and power factor correction in power distribution system,» *IEEE Transactions on Power Delivery*, vol. 15, n.º 1, págs. 417-422, 2000. DOI: 10.1109/61.847283.
- [51] «IEEE Standard for Interconnection and Interoperability of Inverter-Based Resources (IBRs) Interconnecting with Associated Transmission Electric Power Systems,» *IEEE Std 2800-2022*, págs. 1-180, 2022. DOI: 10.1109/IEEESTD.2022.9762253.
- [52] N. Visairo-Cruz, J. S. Ramirez, C. Nuñez-Gutierrez, Y. L. Ruiz y D. M. G. Cabriaes, «Stability Boundary Analysis and Design Considerations for Power Hardware-in-the-Loop Simulations of Grid-Following Inverters Under Weak and Stiff Grids,» *Processes*, vol. 13, n.º 10, 2025. DOI: 10.3390/pr13103163.