



Universidad Autónoma de San Luis Potosí
Facultad de Ingeniería
Centro de Investigación y Estudios de Posgrado

Diseño de celdas estándar para la implementación de circuitos digitales integrados

T E S I S

Que para obtener el grado de:

Maestro en Ingeniería Eléctrica

Presenta:

Joel Elías Gonzales Quispe

Asesor:

Dr. Miguel Ángel Lastras Montaña



15 de junio de 2023

**ING. JOEL ELÍAS GONZALES QUISPE
P R E S E N T E.**

En atención a su solicitud de Temario, presentada por el **Dr. Miguel Ángel Lastras Montaña**, Asesor de la Tesis que desarrollará Usted con el objeto de obtener el Grado de **Maestro en Ingeniería Eléctrica**, me es grato comunicarle que en la sesión del H. Consejo Técnico Consultivo celebrada el día 15 de junio del presente, fue aprobado el Temario propuesto:

TEMARIO:

"Diseño de celdas estándar para la implementación de circuitos digitales integrados"

1. Introducción.
 2. Antecedentes.
 3. Diseño de celdas estándar.
 4. Caracterización y optimización de celdas estándar.
 5. Resultados y casos de aplicación.
 6. Conclusiones.
- Apéndice.
Referencias.

"MODOS ET CUNCTARUM RERUM MENSURAS AUDEBO"

A T E N T A M E N T E

DR. EMILIO JORGE GONZÁLEZ GALVÁN
DIRECTOR.



Declaración de autoría y originalidad de la tesis

Yo, Joel Elías Gonzáles Quispe, estudiante del Posgrado en Ingeniería Eléctrica de la Facultad de Ingeniería de la Universidad Autónoma de San Luis Potosí, como autor de la tesis “Diseño de celdas estándar para la implementación de circuitos digitales integrados”, Declaro que el trabajo presentado en esta disertación es, a mi leal saber y entender, original y propio, que se han citado las fuentes correspondientes y que en su ejecución se respetaron las disposiciones legales vigentes que protegen los derechos de autor y de propiedad intelectual e industrial. Las ideas, doctrinas, resultados y conclusiones a los que he llegado son de mi absoluta responsabilidad.

Resumen

El auge del uso de la electrónica en los diferentes sectores industriales ha influido en la necesidad de fabricación de más circuitos integrados, y en la urgencia de que estos diseños se hagan con mayor rapidez y eficiencia, tal como se pudo presenciar durante la crisis de los semiconductores en la pandemia por el COVID-19. Una de las maneras para agilizar el diseño de los circuitos integrados es a través del uso de celdas estándar. En esta tesis se presenta el diseño de una pequeña librería de celdas estándar para procesos de fabricación con un solo tipo de transistor, para ello se empleó la tecnología de fabricación que dispone el Centro de Ingeniería y Desarrollo Industrial (CIDESI), que tiene un proceso de $5\text{ }\mu\text{m}$ y dispone solamente de transistores NMOS, el estilo de diseño empleado fue una modificación del estilo de diseño Pseudo-CMOS, denominado *Pseudo-CMOS with Re-Pull-Down Transistor*. La librería realizada contiene las celdas básicas para la implementación de cualquier circuito combinacional o secuencial. Las celdas realizadas son las compuertas NOT, NAND, NOR y TRI-STATE NOT, cada una en 3 tamaños disponibles de acuerdo al tipo de implementación que se requiera hacer, esto es, optimizar en área, eficiencia energética o velocidad; también se realizó una celda estándar de un flip-flop tipo D, de un solo tamaño. Estas celdas se realizaron usando el software libre Electric para su diseño layout, y para su validación se empleó el software LTspice de la compañía Analog Devices y el software Spectre de la compañía Cadence Design Systems. Los diseños se realizaron considerando que estas celdas tengan un buen margen de ruido y buenas respuestas a nivel transiente. La funcionalidad y utilidad de las celdas diseñadas se demostró mediante la implementación de: un multiplexor de 2 a 1, un decodificador de 2 a 4, un sumador completo de 1 bit, un shift register de 4 bits, un sumador completo de 4 bits y un bloque lógico configurable de un FPGA. Todos estos diseños se realizaron con el software Electric, y se simularon en el software Spectre, obteniéndose los resultados adecuados en cada uno de ellos.

Abstract

The boom in the use of electronics in different industrial sectors has influenced the need to manufacture more integrated circuits, and the urgency for these designs to be made more quickly and efficiently, as was witnessed during the crisis of the semiconductors in the COVID-19 pandemic. One of the ways to speed up the design of integrated circuits is through the use of standard cells. This thesis presents the design of a small library of standard cells for manufacturing processes with a single type of transistor, for which the manufacturing technology available at the Center for Industrial Engineering and Development (CIDESI) was used, which disposes of a manufacturing process of $5\text{ }\mu\text{m}$ and has only NMOS transistors, the design style used was a modification of the Pseudo-CMOS design style, called *Pseudo-CMOS with Re-Pull-Down Transistor*. The library made contains the basic cells for the implementation of any combinational or sequential circuit. The cells made are NOT, NAND, NOR and TRI-STATE NOT, each one in 3 sizes available according to the type of implementation that is required, that is, to optimize area, energy efficiency or performance; a D-type flip-flop standard cell was also made, of only one size. These cells were made using the free software Electric for its layout design, and for their validation, the software LTspice from the company Analog Devices and the software Spectre from the company Cadence Design Systems were used. The designs were carried out considering these cells must have a good noise margin and good transient level responses. The functionality and usefulness of the designed cells was demonstrated by implementing: a 2 to 1 multiplexer, a 2 to 4 decoder, a 1-bit full adder, a 4-bit shift register, a 4-bit full adder and an FPGA configurable logic block. All these designs were made with the Electric software, and they were simulated in the Spectre software, obtaining the appropriate results in each of them.

Agradecimientos

En primer lugar agradezco a Dios, por haberme guiado y acompañado a lo largo de estos 2 años, por darme fuerzas en los momentos difíciles, por cada experiencia y momento de la vida y por todo lo que me enseña a través de ellas. Agradezco a mis padres, Segundo Gonzales y Bonifacia Quispe, quienes siempre me han brindado su apoyo incondicional para poder cumplir todos mis objetivos personales y académicos, y desde un inicio me apoyaron cuando decidí venir a estudiar a México. Su amor y su cariño brindado me han impulsado siempre a perseguir mis metas y nunca abandonarlas frente a las adversidades, y gracias a todo lo que me inculcaron de niño he llegado a ser la persona que soy ahora. A mis hermanos, Ruby y Branny, por sus consejos y apoyo para venir a estudiar a México y durante la realización de esta tesis. También, le agradezco muy profundamente a mi asesor, el Dr. Miguel Ángel Lastras Montaña, por permitirme trabajar con él, por su dedicación y paciencia, por su guía a lo largo de este período y por todos sus consejos académicos y profesionales, los llevaré grabados para siempre en la memoria. A todos mis docentes, que han sido también parte de este camino, por la paciencia en la enseñanza y por transmitirme los conocimientos necesarios para poder hoy estar aquí. Agradecerles a todos mis compañeros los cuales muchos de ellos se han convertido en mis amigos, gracias por las horas compartidas y los trabajos realizados en conjunto. Un agradecimiento especial al Dr. César Fernando Méndez Barrios, quien me apoyó mucho durante mi llegada a México y me ayudó a adaptarme más fácilmente al cambio de vida que implicó venir solo a un nuevo país, y por su amistad y consejos brindados desde entonces. Al Consejo Nacional de Ciencia y Tecnología (CONACYT) por el apoyo recibido durante todo el proceso de formación en el posgrado. Por último, agradecer a la Universidad Autónoma de San Luis Potosí, por la infraestructura brindada y por la exigencia académica inculcada en esta institución. Agradezco a cada directivo por su trabajo y por su gestión, sin lo cual no estarían las bases ni las condiciones para aprender conocimientos.

Índice general

1. Introducción	1
1.1. Formas de diseñar circuitos integrados	2
1.1.1. Circuitos integrados basados en celdas estándar	2
1.1.2. Circuitos integrados completamente personalizados	3
1.2. Estilo de diseño CMOS	3
1.3. Motivación	3
1.4. Objetivos	4
1.4.1. Objetivo general	4
1.4.2. Objetivos particulares	4
1.5. Organización del trabajo	5
2. Antecedentes	7
2.1. Proceso de fabricación de circuitos integrados	7
2.2. Diseño de compuertas NOT con un solo tipo de transistor	11
2.2.1. Diode-load	11
2.2.2. Biased-load	11
2.2.3. Pseudo-D	13
2.2.4. Pseudo-E	14
2.3. Definición de métricas para la caracterización	14
2.3.1. Margen de ruido	14
2.3.2. Métricas transientes	16
2.4. Técnicas de diseño layout	17
2.4.1. Estandarización de cuadros	17
2.4.2. Técnica de capa direccional	17
2.4.3. Reglas para una biblioteca de celdas estándar	18
2.5. Parásitos	19
2.5.1. Capacitancia parásita	19
2.5.2. Resistencia parásita	21

3. Diseño de celdas estándar	23
3.1. Diseño a nivel esquemático	23
3.1.1. Compuerta NOT	23
3.1.2. Compuertas NAND y NOR	25
3.1.3. Técnicas para mejorar la eficiencia energética	27
3.1.4. Diseño de compuertas Pseudo-CMOS RPDT	29
3.1.5. Pseudo-CMOS RPDT vs Pseudo-E	32
3.2. Diseño a nivel layout	33
4. Caracterización y optimización de celdas estándar	37
4.1. Análisis paramétrico de las dimensiones de los transistores	37
4.2. Optimización energética de las celdas estándar	44
4.2.1. Compuerta NOT	44
4.2.2. Compuerta NAND	46
4.2.3. Compuerta NOR	49
4.2.4. Compuerta TRI-STATE NOT	52
4.2.5. Flip-Flop D	55
5. Resultados y casos de aplicación	57
5.1. Celdas estándar	57
5.1.1. Compuerta NOT	57
5.1.2. Compuerta NAND	58
5.1.3. Compuerta NOR	58
5.1.4. Compuerta TRI-STATE NOT	59
5.1.5. Flip-flop D	59
5.2. Casos de aplicación	60
5.2.1. Multiplexor 2 a 1	60
5.2.2. Decodificador 2 a 4	60
5.2.3. Sumador completo binario	60
5.2.4. Shift register de 4 bits	61
5.2.5. Sumador de números de 4 bits	61
5.2.6. Bloque lógico configurable de un FPGA	61
6. Conclusiones	99
6.1. Trabajos a futuro	100
Apéndice A. Código en Matlab para el análisis paramétrico de las dimensiones de los transistores en el inversor Pseudo-CMOS RPDT	101
Referencias	111

Índice de figuras

1.1. Diseño layout de celdas estándar.	2
1.2. Compuerta NOT - CMOS.	4
2.1. Proceso de fabricación de un transistor tipo N, (a) porción rectangular de una oblea de silicio tipo P, (b) oblea de silicio con capa de óxido en la parte superior, (c) oblea de silicio con capa de óxido y polisilicio, (d) oblea de silicio con el gate formado.	8
2.2. Proceso de fabricación de un transistor tipo N, (a) oblea de silicio con el gate, antes de la implantación de iones, (b) transistor en oblea de silicio, (c) transistor en oblea de silicio con óxido aislante, (d) transistor en oblea de silicio con sus contactos.	9
2.3. Diseño de transistor en un proceso de fabricación, (a) vista en 3D, (b) vista superior.	10
2.4. Layout de un transistor en Electric con leyenda de los colores.	10
2.5. Inversor Diode-load, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [31].	12
2.6. Inversor Biased-load, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [26].	12
2.7. Inversor Pseudo-D, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [26].	13
2.8. Inversor Pseudo-E, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [26].	14
2.9. Margen de ruido.	15
2.10. Márgenes de ruido de inversor CMOS.	16
2.11. Enrutamiento usando una capa para cada dirección.	18
2.12. Saltos pequeños durante el enrutamiento.	18
2.13. Formación de capacitancias parásitas en un circuito integrado.	20
2.14. Cableado en paralelo para cables muy gruesos.	22
3.1. Esquemático de inversor Pseudo-E.	24
3.2. Simulación del inversor Pseudo-E a nivel transiente.	24

3.3.	Esquemático de la compuerta NAND Pseudo-E.	26
3.4.	Esquemático de la compuerta NOR Pseudo-E.	26
3.5.	Diseño esquemático del inversor Pseudo-CMOS RPDT.	28
3.6.	Diseño esquemático del inversor Pseudo-CMOS RPDT en LTspice.	29
3.7.	Diseño esquemático de la compuerta NAND Pseudo-CMOS RPDT en LTspice.	30
3.8.	Diseño esquemático de la compuerta NOR Pseudo-CMOS RPDT en LTspice.	30
3.9.	Diseño layout de la compuerta NOT Pseudo-CMOS RPDT en Electric. Tamaño: 0.22 mm $\times$ 0.44 mm.	34
3.10.	Diseño layout de la compuerta NAND Pseudo-CMOS RPDT en Electric. Tamaño: 0.27 mm $\times$ 0.44 mm.	35
3.11.	Diseño layout de la compuerta NOR Pseudo-CMOS RPDT en Electric. Tamaño: 0.25 mm $\times$ 0.44 mm.	36
4.1.	Análisis de la influencia del ancho del transistor M3 en el consumo potencia y los márgenes de ruido.	38
4.2.	Análisis de la influencia del ancho del transistor M3 en los tiempos de subida y bajada.	38
4.3.	Análisis de la influencia del ancho del transistor M5 en el consumo potencia y los márgenes de ruido.	39
4.4.	Análisis de la influencia del ancho del transistor M5 en los tiempos de subida y bajada.	39
4.5.	Análisis de la influencia del ancho del transistor M6 en el consumo potencia y los márgenes de ruido.	40
4.6.	Análisis de la influencia del ancho del transistor M6 en los tiempos de subida y bajada.	40
4.7.	Análisis de la influencia de la longitud del transistor M1 en el consumo potencia y los márgenes de ruido.	41
4.8.	Análisis de la influencia de la longitud del transistor M1 en los tiempos de subida y bajada.	41
4.9.	Análisis de la influencia de las longitudes de los transistores M1 y M3 en los márgenes de ruido.	42
4.10.	Análisis de la influencia de las longitudes de los transistores M1 y M3 en el consumo de potencia.	42
4.11.	Análisis de la influencia de las longitudes de los transistores M1 y M3 en los tiempos de subida y de bajada.	43
4.12.	Diseño esquemático de la compuerta TRI-STATE NOT Pseudo-CMOS RPDT en LTspice.	53
4.13.	Diseño esquemático del flip-flop tipo D Pseudo-CMOS RPDT en LTspice.	55
5.1.	Respuesta transiente de la compuerta NOT, opción 1.	58
5.2.	Diseño layout de la compuerta NOT, opción 2. Tamaño: 0.24 mm $\times$ 0.44 mm.	63

5.3. Respuesta transiente de la compuerta NOT, opción 2.	64
5.4. Respuesta transiente de la compuerta NOT, opción 3.	64
5.5. Diseño layout de la compuerta NOT, opción 3. Tamaño: 0.25 mm $\times$ 0.44 mm.	65
5.6. Respuesta transiente de la compuerta NAND, opción 1.	66
5.7. Respuesta transiente de la compuerta NAND, opción 2.	66
5.8. Diseño layout de la compuerta NAND, opción 2. Tamaño: 0.29 mm $\times$ 0.44 mm.	67
5.9. Diseño layout de la compuerta NAND, opción 3. Tamaño: 0.33 mm $\times$ 0.44 mm.	68
5.10. Respuesta transiente de la compuerta NAND, opción 3.	69
5.11. Respuesta transiente de la compuerta NOR, opción 1.	69
5.12. Diseño layout de la compuerta NOR, opción 2. Tamaño: 0.29 mm $\times$ 0.44 mm.	70
5.13. Respuesta transiente de la compuerta NOR, opción 2.	71
5.14. Respuesta transiente de la compuerta NOR, opción 3.	71
5.15. Diseño layout de la compuerta NOR, opción 3. Tamaño: 0.35 mm $\times$ 0.44 mm.	72
5.16. Respuesta transiente de la compuerta TRI-STATE NOT, opción 1.	73
5.17. Diseño layout de la compuerta TRI-STATE NOT, opción 1. Tamaño: 0.25 mm $\times$ 0.44 mm.	74
5.18. Diseño layout de la compuerta TRI-STATE NOT, opción 2. Tamaño: 0.27 mm $\times$ 0.44 mm.	75
5.19. Respuesta transiente de la compuerta TRI-STATE NOT, opción 2.	76
5.20. Respuesta transiente de la compuerta TRI-STATE NOT, opción 3.	76
5.21. Diseño layout de la compuerta TRI-STATE NOT, opción 3. Tamaño: 0.28 mm $\times$ 0.44 mm.	77
5.22. Respuesta transiente del flip-flop tipo D.	78
5.23. Diseño layout del flip-flop tipo D. Tamaño: 1.5 mm $\times$ 0.44 mm.	79
5.24. Diseño esquemático del multiplexor 2 a 1.	80
5.25. Diseño layout del multiplexor 2 a 1. Tamaño: 1.2 mm $\times$ 0.44 mm.	81
5.26. Respuesta transiente del multiplexor 2 a 1.	82
5.27. Diseño esquemático del decodificador 2 a 4.	83
5.28. Diseño layout del decodificador 2 a 4. Tamaño: 2.9 mm $\times$ 0.44 mm.	84
5.29. Respuesta transiente del decodificador 2 a 4.	85
5.30. Diseño esquemático del sumador completo binario.	86
5.31. Diseño layout del sumador completo binario. Tamaño: 2.9 mm $\times$ 0.44 mm.	87
5.32. Respuesta transiente del sumador completo binario.	88
5.33. Diseño esquemático del shift register de 4 bits.	89
5.34. Diseño layout del shift register de 4 bits. Tamaño: 1.7 mm $\times$ 1.7 mm.	90
5.35. Respuesta transiente del shift register de 4 bits.	91
5.36. Diseño esquemático del sumador de números de 4 bits.	92
5.37. Diseño layout del sumador de números de 4 bits. Tamaño: 3.1 mm $\times$ 1.7 mm.	93
5.38. Respuesta transiente del sumador de números de 4 bits.	94
5.39. Diseño esquemático del bloque lógico configurable.	95

5.40. Diseño layout del bloque lógico configurable. Tamaño: 5.7 mm × 1.7 mm. . .	96
5.41. Respuesta transiente del bloque lógico configurable.	97

Índice de tablas

2.1. Ejemplo de cálculo de capacitancias de los cables con sus respectivas características.	20
3.1. Comparativa entre Pseudo-E y Pseudo-CMOS RPDT en la compuerta NOT.	32
3.2. Comparativa entre Pseudo-E y Pseudo-CMOS RPDT en la compuerta NAND.	32
3.3. Comparativa entre Pseudo-E y Pseudo-CMOS RPDT en la compuerta NOR.	33
4.1. Parámetros de las compuertas NOT, nivel esquemático.	44
4.2. Métricas de las compuertas NOT, nivel esquemático.	44
4.3. Métricas de las compuertas NOT, nivel layout.	45
4.4. Parámetros finales de las compuertas NOT redimensionadas, nivel layout. . .	45
4.5. Métricas de las compuertas NOT redimensionadas, nivel layout.	45
4.6. Anchos de los transistores de la compuerta NAND, nivel esquemático.	46
4.7. Longitudes de los transistores de la compuerta NAND, nivel esquemático. . .	46
4.8. Métricas de las compuertas NAND, nivel esquemático. Caso 1.	46
4.9. Métricas de las compuertas NAND, nivel esquemático. Caso 2.	47
4.10. Métricas de las compuertas NAND, nivel esquemático. Caso 3.	47
4.11. Potencia consumida por la compuerta NAND, nivel esquemático.	47
4.12. Métricas de las compuertas NAND, nivel layout.	47
4.13. Anchos de los transistores de la compuerta NAND, nivel layout.	48
4.14. Longitudes de los transistores de la compuerta NAND, nivel layout.	48
4.15. Métricas de las compuertas NAND redimensionadas, nivel layout. Caso 1. . .	48
4.16. Métricas de las compuertas NAND redimensionadas, nivel layout. Caso 2. . .	48
4.17. Métricas de las compuertas NAND redimensionadas, nivel layout. Caso 3. . .	49
4.18. Potencia consumida por la compuerta NAND redimensionada, nivel layout. .	49
4.19. Anchos de los transistores de la compuerta NOR, nivel esquemático.	49
4.20. Longitudes de los transistores de la compuerta NOR, nivel esquemático. . . .	50
4.21. Métricas de las compuertas NOR, nivel esquemático. Casos 1 y 2.	50
4.22. Métricas de las compuertas NOR, nivel esquemático. Caso 3.	50
4.23. Potencia consumida por la compuerta NOR, nivel esquemático.	50
4.24. Métricas de las compuertas NOR, nivel layout.	51

4.25. Anchos de los transistores de la compuerta NOR, nivel layout.	51
4.26. Longitudes de los transistores de la compuerta NOR, nivel layout.	51
4.27. Métricas de las compuertas NOR redimensionadas, nivel layout. Casos 1 y 2.	52
4.28. Métricas de las compuertas NOR redimensionadas, nivel layout. Caso 3.	52
4.29. Potencia consumida por la compuerta NOR redimensionada, nivel layout.	52
4.30. Parámetros de las compuertas TRI-STATE NOT, nivel esquemático.	53
4.31. Métricas de las compuertas TRI-STATE NOT, nivel esquemático.	54
4.32. Métricas de las compuertas TRI-STATE NOT, nivel layout.	54
4.33. Parámetros finales de las compuertas TRI-STATE NOT redimensionadas, nivel layout.	54
4.34. Métricas de las compuertas TRI-STATE NOT redimensionadas, nivel layout.	54
4.35. Métricas del flip-flop tipo D, nivel layout.	55

Capítulo 1

Introducción

Aunque muchas personas quizás no lo noten, los circuitos integrados se han vuelto una parte fundamental en nuestra vida diaria, ya que son una parte básica de muchos dispositivos que se usan frecuentemente, tales como: celulares, televisores, laptops, microondas, etc. Todo esto tuvo su origen en diciembre de 1947, cuando un grupo de investigadores dirigidos por William Shockley en los Laboratorios Bell fabricó el primer transistor. Años después, en 1958, Jack Kilby creó el primer prototipo de circuito integrado en Texas Instruments. Aunque estos primeros inventos fueron hechos a base de germanio, con el tiempo, este material sería reemplazado por el silicio, dadas sus excelentes propiedades semiconductoras [1].

Con el pasar de los años, la tecnología de fabricación de silicio ha ido evolucionando progresivamente. Es así que se ha pasado de disponer de procesos de fabricación de $10\ \mu\text{m}$ a inicios de la década de 1970 a contar con procesos de $3\ \text{nm}$ a través de empresas como TSMC y Samsung en el momento de la escritura de este trabajo, siendo ambas empresas asiáticas [2, 3]. Lamentablemente, para los intereses del desarrollo de tecnología en México, el país no cuenta con procesos de fabricación avanzados. Sin embargo, debido al incremento de la demanda de semiconductores producida durante la pandemia COVID-19, y a la preocupación estadounidense porque China se convierta en una potencia dominante en esta industria, México tiene una oportunidad de crecer en este sector, ya que como dijo el secretario de Estado americano, Antony Blinken, Estados Unidos quiere invertir en México para el desarrollo de la industria de semiconductores [4]. No obstante, también hay que tener en cuenta que no todos los diseños de circuitos integrados son fabricados en silicio, existen industrias en desarrollo como la electrónica flexible, en la cual se utilizan materiales como el carbono, el IGZO (óxido de indio, galio y zinc), materiales orgánicos, etc.; los cuáles hacen que los diseños hechos con estos materiales tengan distintas propiedades de tamaño, velocidad, consumo de potencia, etc.

1.1. Formas de diseñar circuitos integrados

Entre las formas más comunes de diseñar circuitos integrados en la actualidad, se encuentran 2 maneras principales, de las cuales se hablará a continuación:

1.1.1. Circuitos integrados basados en celdas estándar

Estos circuitos integrados usan celdas lógicas prediseñadas y capas de máscara personalizadas. Éstas celdas lógicas prediseñadas (que pueden ser compuertas AND, OR, flip-flops, etc.) son conocidas como celdas estándar. Las celdas estándar son celdas digitales bien definidas y pre-caracterizadas utilizadas en el diseño de circuitos digitales para aplicaciones específicas (ASIC por sus siglas en inglés). Por construcción, todas estas celdas tienen la misma altura y pueden ser fácilmente colocadas en una fila de celdas estándar. La idea es que las celdas estándar son altamente reusables y pueden ayudar a disminuir considerablemente el tiempo necesario para diseñar un sistema ASIC. A pesar de que todas las celdas estándar tienen la misma altura, éstas pueden diferir en su ancho [5-13]. La Fig. 1.1 muestra la estructura básica, así como una implementación de un inversor y una compuerta NAND de 3 entradas, el significado de cada parte de los diseños layout se mostrarán más adelante en la Sección 2.1.

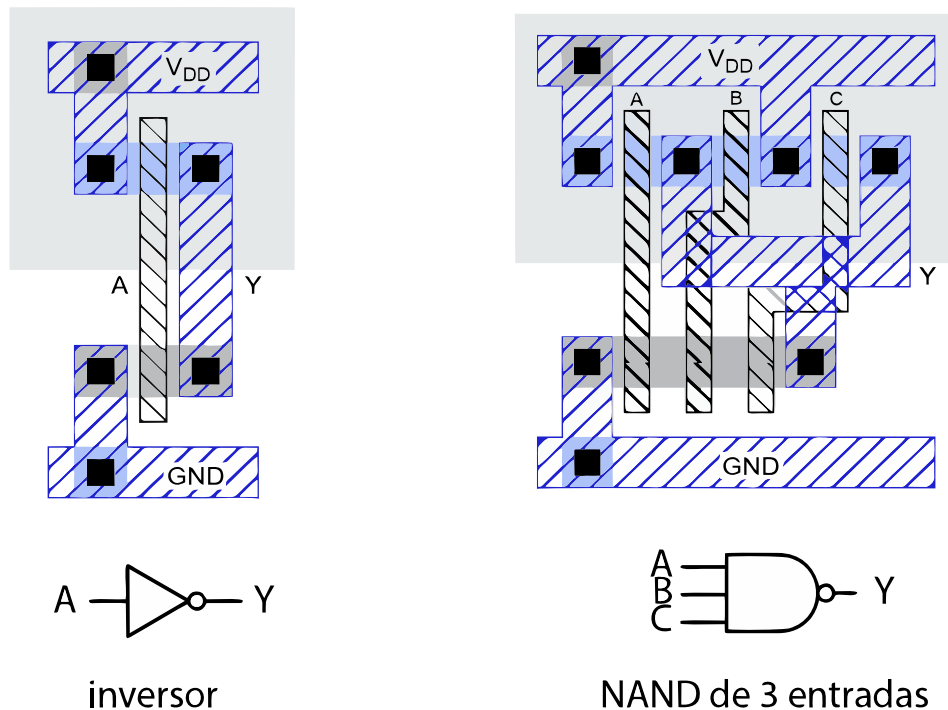


Figura 1.1: Diseño layout de celdas estándar.

La ventaja de estos diseños es que se ahorra tiempo, dinero, y se reducen riesgos al usar una librería de celdas que está prediseñada, probada previamente y pre-caracterizada. La desventaja es el tiempo de diseño o costo de comprar la librería [14-16].

1.1.2. Circuitos integrados completamente personalizados

Estos circuitos integrados están hechos de algunas celdas lógicas (pueden ser todas) personalizadas, y todas las capas de máscara personalizadas. Estos circuitos son los más caros en fabricar y diseñar, ya que los diseñadores pasan muchas horas aprovechando cada micrómetro cuadrado manualmente. Este enfoque puede ser empleado cuando no existen librerías de celdas disponibles, que sean adecuadas para el diseño que se quiere realizar, ya sea porque las celdas existentes no son suficientemente rápidas, no son suficientemente pequeñas, o consumen demasiada potencia. Sin embargo, cada vez se utiliza menos este enfoque por la complejidad que involucra [14, 17].

1.2. Estilo de diseño CMOS

En la electrónica digital actual, el estilo de diseño más usado es el CMOS (Complementary metal-oxide-semiconductor) [18], en especial las que se componen de transistores construidos sobre obleas de silicio donde se dispone con ambos modos de transistor: NMOS y PMOS. Como se puede apreciar en el diseño esquemático de la compuerta NOT que se ve en la [Fig. 1.2](#), el estilo de diseño CMOS aprovecha muy bien la complementariedad de ambos transistores, de tal manera que cuando el transistor superior (PMOS) está encendido, el transistor inferior (NMOS) está apagado y viceversa. Esta facultad, entre otras cosas, permite a los diseños realizados en CMOS tener un bajo consumo energético, debido a que la mayor parte del tiempo solo está encendido uno de los dos transistores. Solo se activan ambos transistores durante la transición de la señal de entrada, de nivel lógico bajo a nivel lógico alto o viceversa.

Otra característica a destacar de este estilo de diseño es el buen margen de ruido que se obtiene, nuevamente gracias a la tenencia de transistores complementarios. Una discusión del efecto del margen de ruido se presentará en el [Cap. 2](#).

1.3. Motivación

Dado lo expuesto anteriormente, es muy recomendable usar el estilo de diseño CMOS cuando se tiene ambos tipos de transistores. Sin embargo, existen algunas tecnologías donde aplicar este estilo de diseño, tan usado en los microprocesadores, es inviable o poco óptimo y es necesario recurrir a diseños con un solo tipo de transistor. Tal es el caso de los TFTs (Thin-film transistor) que se usan en la creciente industria de la electrónica flexible [1]. Los

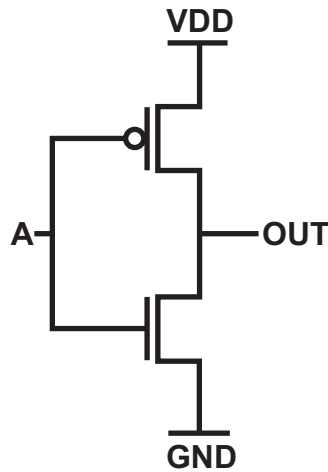


Figura 1.2: Compuerta NOT - CMOS.

diseños realizados con esta tecnología usan generalmente un solo tipo de transistor (ya sea NMOS o PMOS), dependiendo de las propiedades del material [19]. Cabe destacar que, si bien, en la tecnología TFT se pueden fabricar ambos tipos de transistores, usualmente un tipo de transistor es más lento y menos confiable, o se requiere una integración de procesos compleja [20].

Otro caso de uso de este tipo de diseños se encuentra en las tecnologías emergentes, donde solo se dispone de un solo tipo de transistor, debido a que por algún motivo no se ha podido desarrollar el transistor con polaridad opuesta. Este es el caso del CIDESI (Centro de Ingeniería y Desarrollo Industrial), quien solo cuenta con la tecnología de fabricación de transistores NMOS a $5\text{ }\mu\text{m}$ [21]. Es por este tipo de casos en los que es necesario contar con un estilo de diseño que use un solo tipo de transistor.

1.4. Objetivos

1.4.1. Objetivo general

En esta tesis se propone desarrollar una librería de celdas estándar para diseños con un solo tipo de transistor y que pueda ser usada en procesos de diferentes tecnologías. Se plantea que esta librería disponga de las siguientes celdas: NOT, NAND, NOR, TRI-STATE NOT y FLIP-FLOP D; las celdas dispondrán de varios tamaños, para sus usos en distintos casos de optimización.

1.4.2. Objetivos particulares

Adicionalmente, se pretende lograr los siguientes objetivos:

- Disminuir el consumo energético de las celdas, con respecto a las propuestas realizadas en estudios anteriores.
- Obtener un buen margen de ruido y robustez en las celdas, similar a lo que se tiene en diseños CMOS.
- Lograr la mayor optimización posible en velocidad y en área consumida en cada celda diseñada.
- Implementar las celdas diseñadas en casos de aplicación, para mostrar su funcionamiento.

1.5. Organización del trabajo

A continuación, se expone la progresión seguida en este documento. En el [Cap. 2](#), se expone los trabajos realizados previamente en diseños con un solo tipo de transistor, así como algunas definiciones y técnicas que se usarán en los capítulos posteriores. En el [Cap. 3](#), se detalla el diseño esquemático y layout, las consideraciones usadas en ellas; y los métodos usados para mejorar la eficiencia energética. En el [Cap. 4](#), se realiza un análisis paramétrico del estilo de diseño escogido, y se optimiza energéticamente las celdas. En el [Cap. 5](#), se muestran los resultados de simulación obtenidos por cada celda, así como algunos casos de aplicación realizadas con ellas. Finalmente, en el [Cap. 6](#) se detallan las conclusiones obtenidas de este trabajo, y algunos trabajos a futuro a realizar.

Capítulo 2

Antecedentes

2.1. Proceso de fabricación de circuitos integrados

En esta sección se describirá la serie de pasos típica que se usa para la fabricación de circuitos integrados.

El proceso inicia con una oblea de silicio puro tipo P. En la Fig. 2.1a se muestra la imagen de una porción rectangular de la oblea de silicio. La oblea es introducida en un horno y calentada típicamente entre los 900 y 1200 °C hasta formar una capa delgada de óxido en la parte superior, como se aprecia en la Fig. 2.1b. Luego, se coloca la oblea en un reactor con gas silano (SiH_4), y se calienta nuevamente hasta formar una capa de silicio policristalino, también conocido como polisilicio, en un proceso llamado deposición de vapor químico, el polisilicio debe estar fuertemente dopado para ser un buen conductor; la Fig. 2.1c muestra el resultado después de este proceso, con el polisilicio mostrado en color rosado. El siguiente paso es remover parte del polisilicio y el óxido para formar el gate del transistor; esto se hace usando un material fotorresistente y la máscara de polisilicio. Se coloca primero el fotorresistente, y es expuesto a la luz a través de la máscara de polisilicio. La parte del fotorresistente suavizado es removido, y luego el polisilicio y el óxido son retirados con ácido fluorhídrico, dejando solo la parte del polisilicio y el óxido que formarán el gate del transistor. El fotorresistente restante se remueve a través de una mezcla de ácidos llamada *piranha etch*. La Fig. 2.1d muestra el resultado después de este paso.

El proceso continúa con la colocación de una capa de óxido y luego se realiza el estampado con la máscara de difusión N, como se aprecia en la Fig. 2.2a. Esto se hace así para exponer las áreas donde los dopantes son necesarios. A continuación, se sigue con la adición de dopantes al sustrato (oblea de silicio tipo P) a través de un proceso denominado implantación de iones, el cual consiste en acelerar los iones dopantes a través de un campo eléctrico y arrojarlos sobre el sustrato, el óxido y el polisilicio cubren las zonas del sustrato que no deben ser dopadas; de esta manera, el drenaje y el surtidor son formados y quedan auto-alineados con el gate. Como se puede observar en la Fig. 2.2b, la región verde formada representa al surtidor y al drenaje

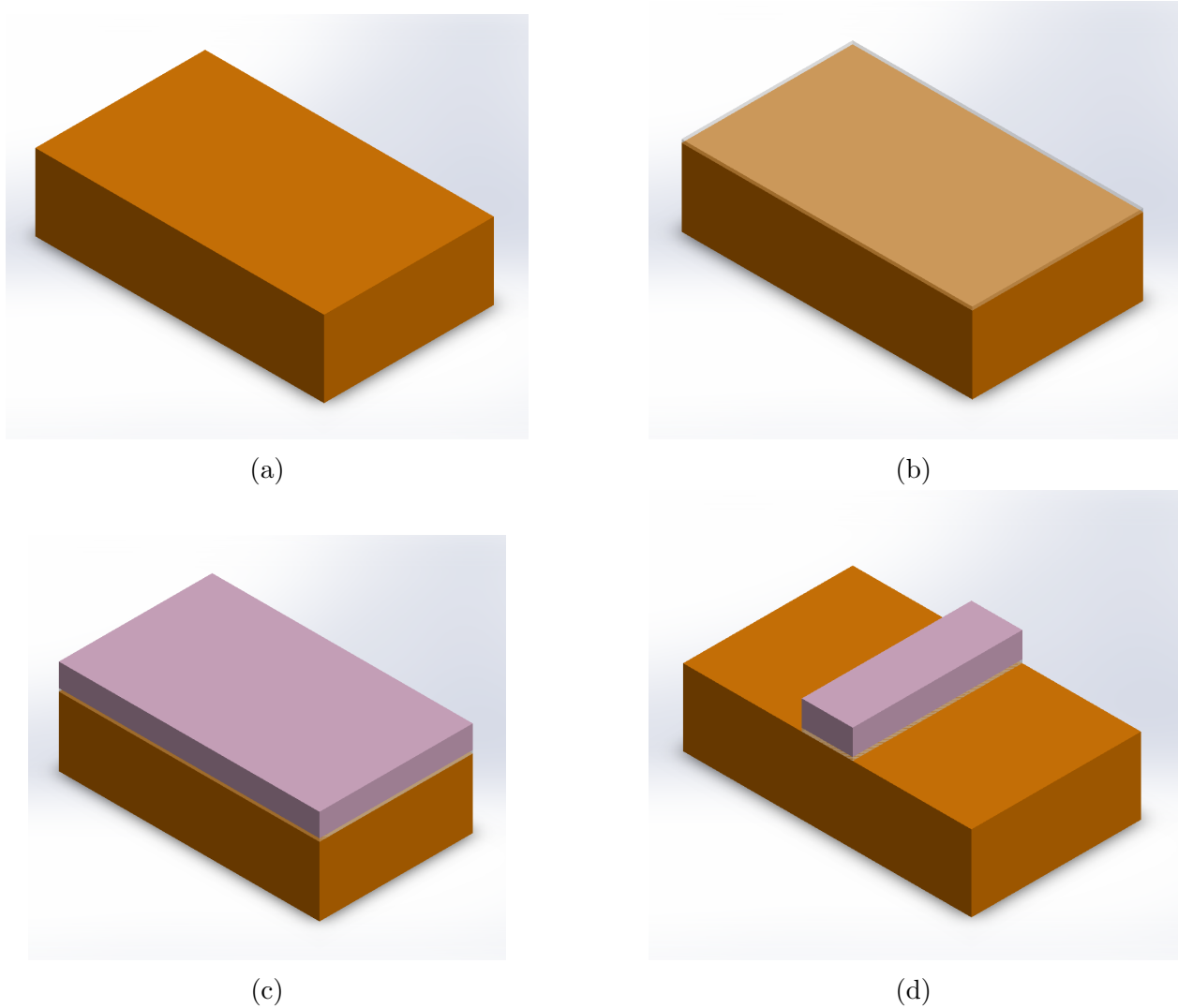


Figura 2.1: Proceso de fabricación de un transistor tipo N, (a) porción rectangular de una oblea de silicio tipo P, (b) oblea de silicio con capa de óxido en la parte superior, (c) oblea de silicio con capa de óxido y polisilicio, (d) oblea de silicio con el gate formado.

de difusión N, nuevamente el óxido es retirado con ácido fluorhídrico. Después, se vuelve a hacer crecer óxido, cubriéndose totalmente para aislar el sustrato y el polisilicio del metal, y luego usando la máscara de contactos se remueve como en los casos anteriores, las áreas donde irá el metal para los contactos; en la Fig. 2.2c se observa el resultado luego de este paso. Se sigue con el llenado de contactos, depositando el metal en las áreas de óxido removidas; en la Fig. 2.2d se observa el metal de los contactos de color negro, los cuales también son conocidos como vías. Finalmente, usando la máscara de metal se deposita nuevamente el

metal para formar los cables necesarios en el circuito, haciendo también contacto con las vías previamente formadas [5, 22-25]. La Fig. 2.3a muestra el final del proceso como vista en 3D.

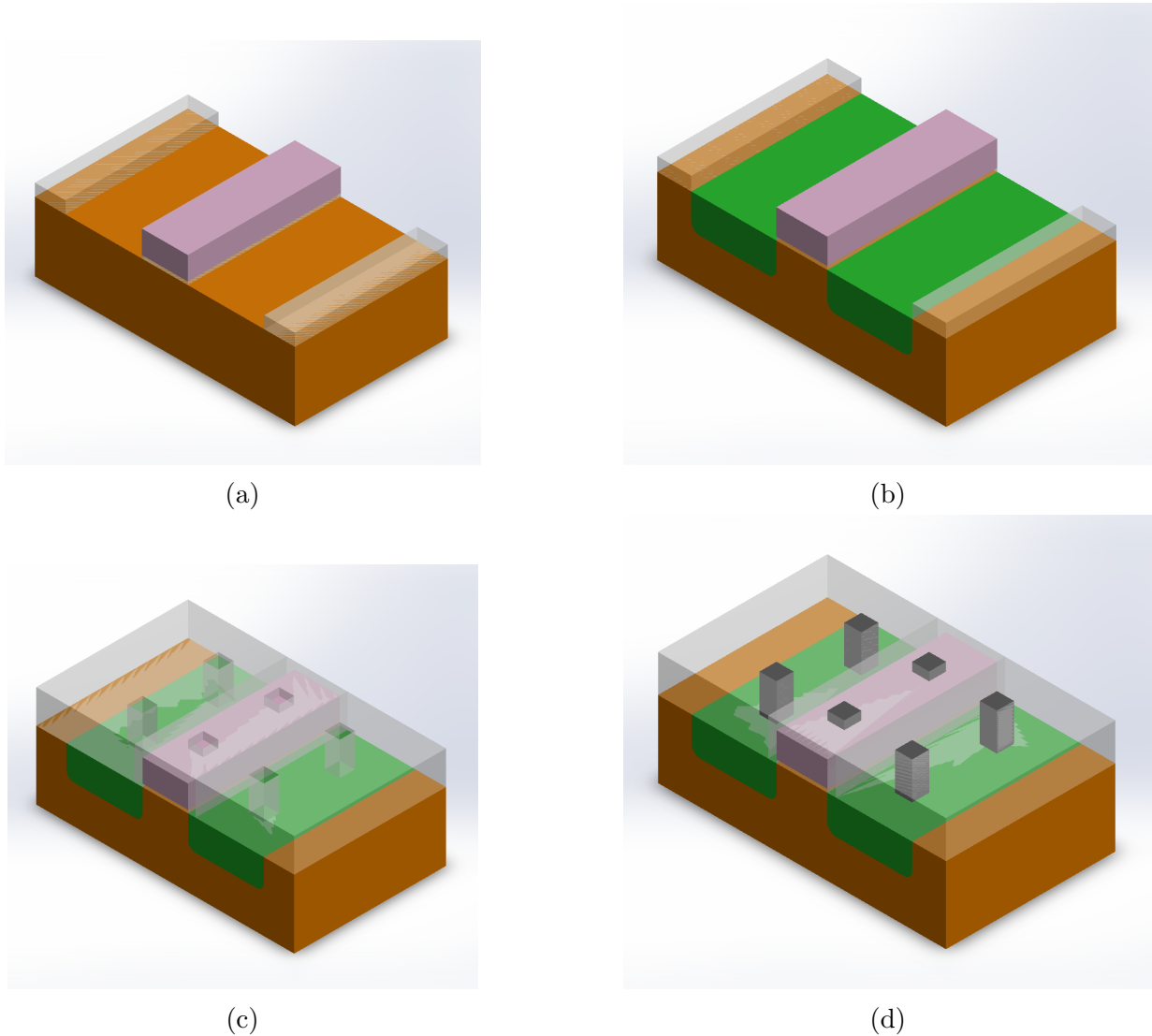


Figura 2.2: Proceso de fabricación de un transistor tipo N, (a) oblea de silicio con el gate, antes de la implantación de iones, (b) transistor en oblea de silicio, (c) transistor en oblea de silicio con óxido aislante, (d) transistor en oblea de silicio con sus contactos.

A manera de ilustración se muestra una vista superior del transistor en la Fig. 2.3b. Como ya se ha dicho anteriormente, el color celeste representa a la capa del metal, el color rosado a la capa del polisilicio, y el color verde a la capa de la difusión N. En esta imagen se omite el color de la oblea de silicio puro tipo P, ya que se sobreentiende que este material está en la parte inferior por todo el diseño, y además así es como se muestra en los software de diseño

layout, cabe mencionar que los diseños layout son siempre una vista superior del circuito.

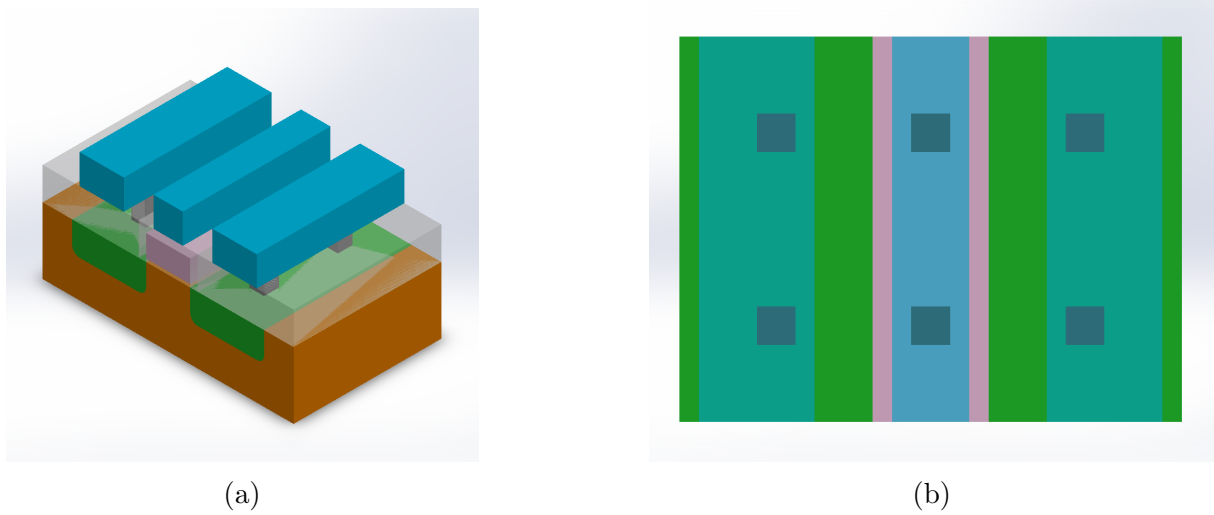


Figura 2.3: Diseño de transistor en un proceso de fabricación, (a) vista en 3D, (b) vista superior.

Por último, se muestra en la [Fig. 2.4](#) el diseño layout de un transistor en el software Electric (software con el que se trabajó durante esta tesis), se muestra también en la imagen, una leyenda que detalla lo que representa cada color.

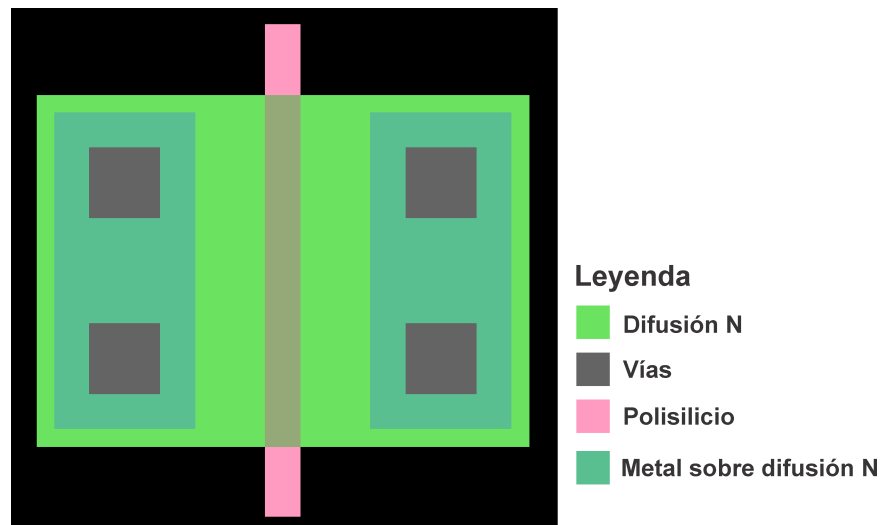


Figura 2.4: Layout de un transistor en Electric con leyenda de los colores.

2.2. Diseño de compuertas NOT con un solo tipo de transistor

Entre los diseños de inversores con un solo tipo de transistor que se han estudiados previamente, en [1, 19, 20, 26-35] se puede encontrar análisis y comparativas de los estilos de diseño más destacados, de los cuáles se detallará líneas abajo.

En un transistor tipo N, cuando se quiere pasar los valores de voltaje del drenaje al surtidor, el transistor logra pasar los valores lógicos ‘0’ muy bien, pero produce una caída de voltaje al pasar los valores lógicos ‘1’, por lo que se dice que el transistor tipo N tiene una alta capacidad de pull-down, pero una baja capacidad de pull-up. En el transistor tipo P sucede lo contrario, es decir, tiene una baja capacidad de pull-down, pero una alta capacidad de pull-up.

Por lo mencionado arriba, la consecuencia de reemplazar un transistor tipo N por uno tipo P en diseños con solo transistores tipo P, es que el transistor tipo P tendrá una capacidad de pull-down inherentemente menor, lo cual afectará negativamente a su velocidad, haciéndolo más lento.

2.2.1. Diode-load

En este inversor, el gate y el drenaje del transistor de carga (el transistor inferior en la Fig. 2.5a) están cortocircuitados a tierra; de esta manera, cuando la entrada es alta, solo el transistor de abajo se enciende y la salida es llevada a nivel bajo; por otro lado, cuando la entrada es baja, se produce un divisor de tensión entre las resistencias de los transistores por lo que la salida tenderá al lado donde hay menor resistencia. Por lo tanto, para obtener un adecuado voltaje de oscilación se debe tener una relación de tamaño grande entre la resistencia de manejo y la resistencia de carga; sin embargo, esto crea una compensación que causa que estos inversores sufran de bajo margen de ruido y ganancia. En el layout mostrado en la Fig. 2.5a, el color celeste representa al metal, el color verde a la difusión P y el color rosado al polisilicio; el color verde oscuro representa las vías.

2.2.2. Biased-load

Para mejorar la velocidad del inversor, un método comúnmente usado es añadir una fuente de energía adicional, en este caso, se añade una fuente VSS negativa al gate del transistor de carga, como se puede observar en la Fig. 2.6a, para mejorar la capacidad de pull-down. De esta manera, cuando la entrada es alta, solo el transistor de carga está encendido, por lo tanto la salida es baja. Por otro lado, cuando la entrada es baja, ambos transistores se encienden, y en este caso, la salida dependerá de la fuente de voltaje VSS y el divisor de voltaje formado por las resistencias de los transistores, teniendo en cuenta que mientras más negativa sea la fuente más baja será la resistencia del transistor de carga. Todo esto conlleva

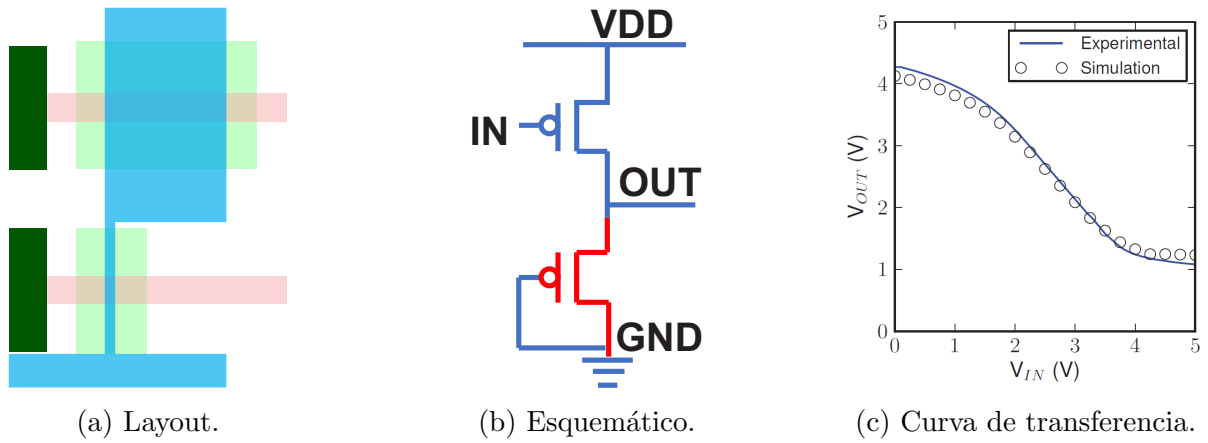


Figura 2.5: Inversor Diode-load, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [31].

a que cuando se incrementa negativamente V_{SS} y la entrada es baja, es difícil mantener una salida alta, ya que el transistor de manejo competirá con la baja resistencia del transistor de carga. Esto se puede apreciar en su curva de transferencia mostrada en la Fig. 2.6c. En el layout mostrado en la Fig. 2.5a, el color celeste representa al metal, el color verde a la difusión P y el color rosado al polisilicio; el color verde oscuro representa las vías.

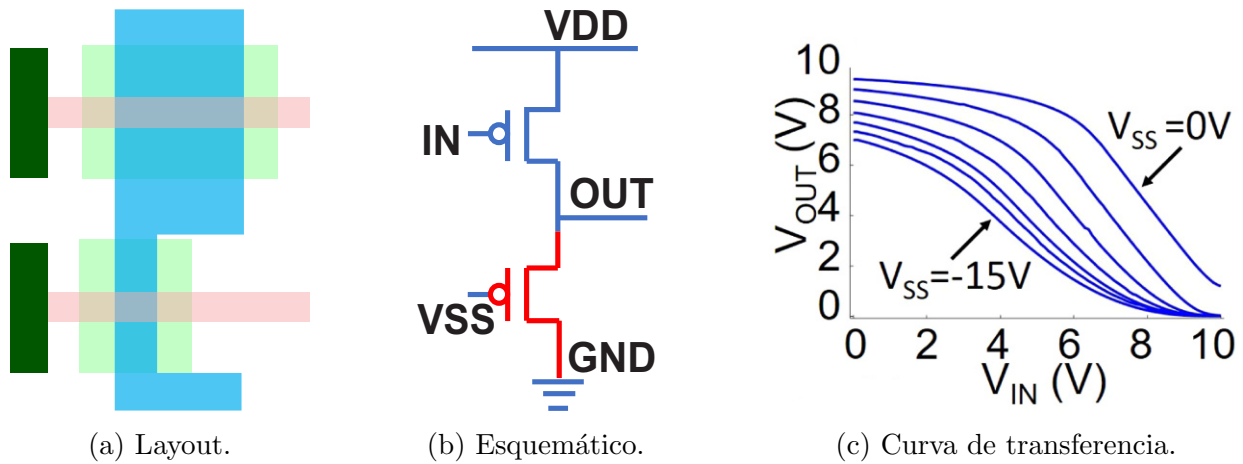


Figura 2.6: Inversor Biased-load, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [26].

2.2.3. Pseudo-D

Este diseño añade una etapa de desplazamiento de nivel, constando así de 4 transistores; de esta manera, el voltaje del gate del transistor de carga en la segunda etapa indirectamente depende del voltaje VSS. Esto permite a VSS controlar el umbral de conmutación y obtener una mejor oscilación de voltaje. Si se analiza el circuito mostrado en la Fig. 2.7b, cuando la entrada es alta, ambos transistores de la primera etapa están apagados, por lo que el voltaje de salida de esta etapa dependerá de la relación de tamaño de estos transistores y del voltaje VSS. En la segunda etapa, el transistor de manejo estará apagado y todo dependerá del transistor de carga, es así que con una adecuada relación de tamaño de los transistores de la primera etapa y fuente VSS, se podrá activar el transistor de carga de la segunda etapa y se obtendrá una salida baja. En el otro caso, cuando la entrada es baja, en la primera etapa solo se activa el transistor superior, por lo tanto la salida de esta etapa será alta; luego, en la segunda etapa, nuevamente se activará solo el transistor de manejo, obteniéndose así una salida alta. Sin embargo, debido a que el transistor de carga está siempre apagado por tener el gate y el surtidor cortocircuitados, la salida de la primera etapa no conmutará hasta que se apague el transistor de manejo, es decir, cuando el voltaje de entrada está muy cerca al nivel alto (aproximadamente V_{DD} - voltaje umbral del transistor), esto resulta en que el umbral de conmutación de la salida será siempre en un voltaje de entrada cercano a V_{DD} , por lo que el control sobre este umbral será deficiente como se puede observar en la curva de transferencia de la figura Fig. 2.7c. Por lo tanto, se obtendrá un pobre margen de ruido y una velocidad más lenta en el inversor. En el layout mostrado en la Fig. 2.5a, el color celeste representa al metal, el color verde a la difusión P y el color rosado al polisilicio; el color verde oscuro representa las vías.

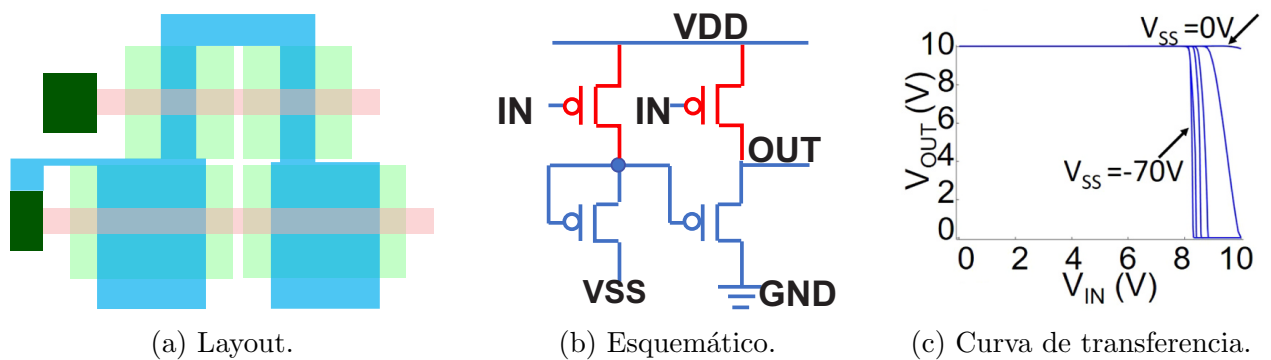


Figura 2.7: Inversor Pseudo-D, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [26].

2.2.4. Pseudo-E

En esta otra forma de diseño con desplazamiento de nivel, se cortocircuita el gate y el drenaje (en vez del gate y el surtidor del caso anterior) y se conecta a VSS. Esto permitirá que el transistor de carga de la primera etapa esté siempre activo. Si se analiza el circuito mostrado en la Fig. 2.8b, cuando la entrada es alta, solo el transistor inferior de la primera etapa se activa, por lo que la salida de la primera etapa será cercana a VSS (aproximadamente $VSS + \text{voltaje umbral del transistor}$); luego, en la segunda etapa, nuevamente solo se activará el transistor de carga, obteniéndose un nivel bajo en la salida. Por otro lado, cuando el nivel de entrada es bajo, en la primera etapa ambos transistores están encendidos, de esta manera la salida de esta etapa dependerá de la relación de tamaño de los transistores y de la fuente de voltaje VSS, con una configuración adecuada se puede tener una salida lo suficientemente baja como para no activar el transistor de la siguiente etapa. En la segunda etapa, teniendo en cuenta que se tenga una configuración óptima en la primera etapa, se tendría activo solo el transistor superior y así se tendría una salida alta. Como se puede observar en la curva de transferencia de la Fig. 2.8c, en esta compuerta sí se puede controlar el umbral de conmutación variando el voltaje VSS, lográndose un margen de ruido más alto, así mismo se tiene una velocidad más rápida que el caso anterior. En el layout mostrado en la Fig. 2.5a, el color celeste representa al metal, el color verde a la difusión P y el color rosado al polisilicio; el color verde oscuro representa las vías.

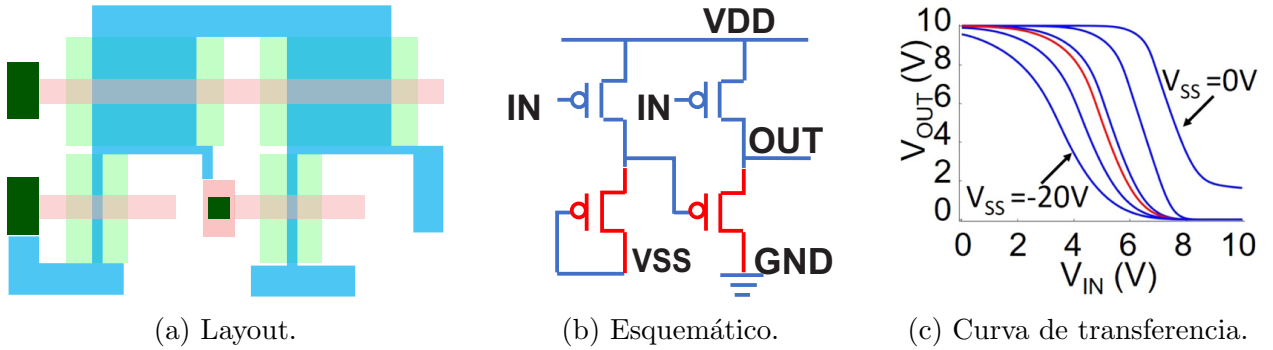


Figura 2.8: Inversor Pseudo-E, (a) diseño layout, (b) diseño esquemático, (c) curva de transferencia obtenida de [26].

2.3. Definición de métricas para la caracterización

2.3.1. Margen de ruido

Este parámetro permite determinar el voltaje de ruido permisible en la entrada de una compuerta para que la salida no sea corrompida. La especificación comúnmente más usada

para describir el margen de ruido usa 2 parámetros: el margen de ruido bajo (NML, por sus siglas en inglés), y el margen de ruido alto (NMH, por sus siglas en inglés). NML es definido como la diferencia entre el voltaje de entrada bajo máximo que puede ser reconocido por la entrada de la compuerta y el voltaje de salida bajo máximo que puede ser generado por la salida de la compuerta [36].

$$NM_L = V_{IL} - V_{OL} \quad (2.1)$$

El valor de NMH es la diferencia entre el voltaje de salida alto mínimo que puede ser generado por la salida de la compuerta y el voltaje de entrada alto mínimo reconocido por la entrada de la compuerta.

$$NM_H = V_{OH} - V_{IH} \quad (2.2)$$

donde:

V_{IH} = Voltaje de entrada alto mínimo

V_{IL} = Voltaje de entrada bajo máximo

V_{OH} = Voltaje de salida alto mínimo

V_{OL} = Voltaje de salida bajo máximo

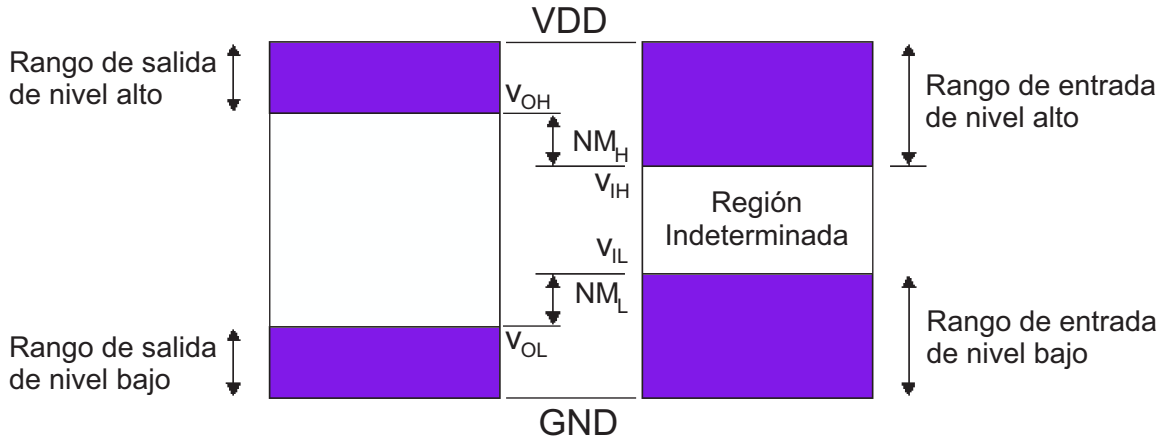


Figura 2.9: Margen de ruido.

La región entre V_{IL} y V_{IH} es llamada *región indeterminada* o *zona prohibida* y no representa un nivel lógico digital válido. Por lo tanto, es generalmente deseable tener V_{IH} lo más cercano posible a V_{IL} y cercanos al valor medio entre VDD y GND. Esto implica que la curva de transferencia debe conmutar abruptamente, es decir, debería haber una ganancia alta en la región de transición. Para propósitos de cálculo de los márgenes de ruido, la curva de transferencia del inversor y la definición de los niveles de voltaje V_{IL} , V_{OL} , V_{IH} y V_{OH} son

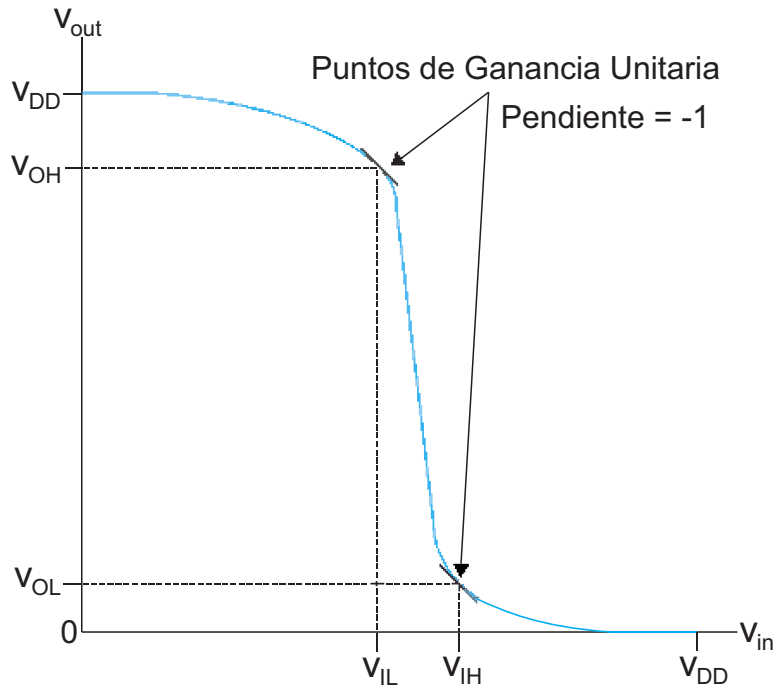


Figura 2.10: Márgenes de ruido de inversor CMOS.

mostrados en la Fig. 2.10. Los niveles lógicos son definidos en el punto de ganancia unitario, donde la pendiente es -1.

Una compuerta con márgenes de ruido iguales maximiza la inmunidad a fuentes de ruido arbitrarias. Ya que las fuentes de ruido tienden a escalar con el suministro de voltaje, otra forma de cuantificar los márgenes de ruido es a través de porcentajes, de la siguiente manera:

$$\%NM_{H,L} = 100 \frac{NM_{H,L}}{V_{DD}} \quad (2.3)$$

2.3.2. Métricas transientes

- **Tiempo de subida:** t_r , tiempo en que una señal de salida de una compuerta asciende del 20 % al 80 % del valor de la fuente de alimentación.
- **Tiempo de bajada:** t_f , tiempo en que una señal de salida de una compuerta desciende del 80 % al 20 % del valor de la fuente de alimentación.
- **Tiempo de retraso de propagación:** t_{pd} , tiempo máximo desde que la entrada cruza el 50 % hasta que la salida cruza el 50 % del valor de la fuente de alimentación.

2.4. Técnicas de diseño layout

Para que las herramientas de automatización layout sean capaces de ubicar y conectar componentes, es necesario tener reglas. Las librerías de celdas estándar deben ser diseñadas siguiendo ciertas pautas y patrones predecibles para ser usadas con los software de automatización. Es por eso que se usa una variedad de técnicas de estandarización para construir una librería especialmente diseñada para este propósito. En esta sección se detallarán algunas de ellas [25, 37-40].

2.4.1. Estandarización de cuadros

Tener un sistema de layout estandarizado permite el cableado automático y garantiza la ubicación general de las celdas estándar, alineando todo en una cuadrícula estándar.

Los software de enrutamiento clásico están basados en cuadros, un enrutador basado en cuadros tiene 2 restricciones. Los cables solo pueden tener ciertos anchos, y pueden ser solo ubicados en un cuadro predefinido. Para determinar el tamaño del cuadro se debe tener en cuenta dos parámetros: El ancho de cable mínimo y el espaciado mínimo entre cables. El tamaño del cuadro será la distancia centro a centro entre 2 cables con ancho mínimo y espaciado mínimo entre ellos. Es decir, el tamaño del cuadro será la suma del ancho de cable mínimo con el espaciado mínimo entre cables.

2.4.2. Técnica de capa direccional

Cuando se está enrutando un circuito integrado, una de las dificultades que se puede tener es que los cables se bloqueen a entre sí al cruzarse un cable con otro. Es por ello que es importante tener un segundo metal para poder dar saltos de un metal a otro y así evitar esos problemas. La manera en la que se pasa de una capa a otra es a través de lo que se llama una vía. Sin embargo, aún existe la posibilidad de que los cables queden atrapados o bloqueados si no se administra bien los metales que se tienen disponibles. Una buena práctica para ello es designar un metal para cableados horizontales y otro metal para cableados verticales, cambiando de metal cada vez que se cambia de dirección. En la Fig. 2.11 se muestra un diseño layout en la cual se usa el metal 1 (de color azul) para cableados horizontales y el metal 2 (de color rosa) para cableados verticales. De esta manera, se administra y se aprovecha mejor el espacio que se tiene en cada capa.

Al usar esta técnica de cablear cada dirección en una capa, surge la disyuntiva de qué hacer si el cambio de dirección es solo por uno o dos cuadros y luego se retorna a la primera dirección. En ese caso, lo más conveniente es mantenerse en la misma capa, tal como se muestra en la Fig. 2.12, hay algunas razones que indican que esta es la mejor opción. Primero, el espacio utilizado en el primer metal va a ser prácticamente el mismo y no se ganará un espacio extra, además que, existe la posibilidad de que el pequeño espacio que se estaría usando en el segundo metal pueda ser necesitado luego y no pueda ser usado. Segundo, por otro lado

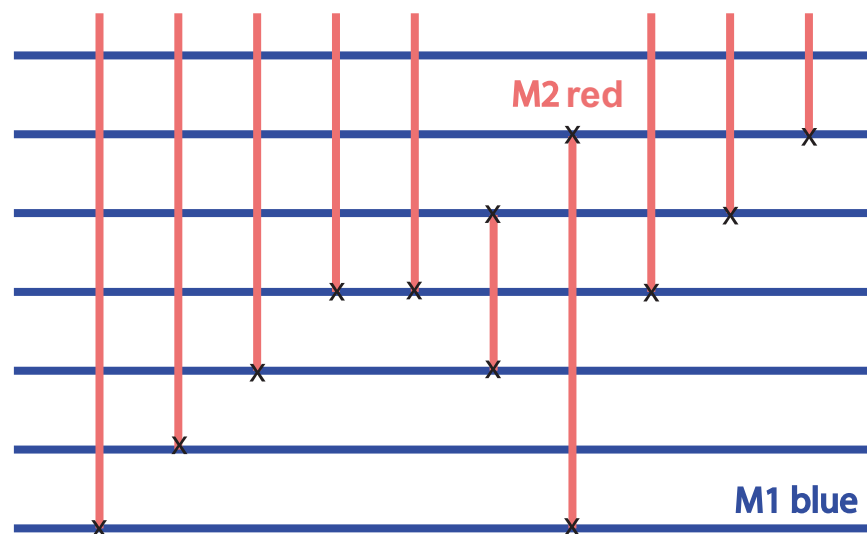


Figura 2.11: Enrutamiento usando una capa para cada dirección.

el usar vías le quita confiabilidad al circuito, ya que pueden introducir altas resistencias, y en algunos casos grabarse de manera defectuosa. Es por ello que no es recomendable hacer cambios de metal por uno o dos cuadros.

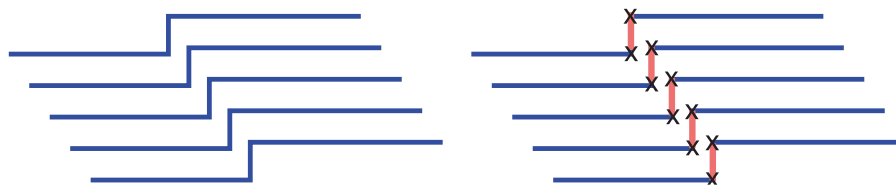


Figura 2.12: Saltos pequeños durante el enrutamiento.

2.4.3. Reglas para una biblioteca de celdas estándar

Cuando se diseña una biblioteca de celdas estándar, se debe establecer un conjunto de reglas a nivel layout que sean la base para desarrollar la biblioteca, cada celda diseñada debe seguir estas reglas. A continuación, se mencionarán algunas reglas comúnmente usadas en estos diseños.

- Las celdas deben ser de altura fija y ancho variable, así como los rieles de potencia deben tener un grosor fijo. De esta manera se puede conectar fácilmente, y enrutar mejor por el software.
- Es recomendable que los rieles de potencia sean más gruesos, de 2 a 3 cuadros, ya que éstos transportarán más amperaje.

- Es útil extender un pozo N común para varias celdas contiguas así como los rieles de potencia, de esta manera se ahorra el espacio que se desperdiciaría al separarse los pozos N, por el espaciado mínimo entre pozos N.
- Se debe finalizar el diseño de la celda a medio cuadro del borde de la celda, de esta manera se podrá colocar una celda al lado de otra respetando el espaciado mínimo.
- Cuando se tienen pocos metales, una buena técnica es dejar espacio de ruteo arriba y debajo de los rieles de alimentación para el cableado, es lo que se llama canales de ruteo. Ya que el espacio necesario para el cableado no siempre es el mismo, existen ruteadores de canales que pueden calcular automáticamente el espacio necesario entre cada compuerta.
- Conectar a tierra las entradas de celdas estándar con un diodo pequeño polarizado inversamente. Particularmente las celdas con entradas flotando.

2.5. Parásitos

En esta sección se hará una breve explicación de la formación de los parásitos, los efectos que tienen en los circuitos y como se puede reducirlos [37, 41-43].

2.5.1. Capacitancia parásita

Las capacitancias parásitas se forman en cada parte del circuito, ya que hay metales por todos lados, formando así capacitancias paralelas. Se pueden formar entre cables paralelos de una misma capa, entre cables paralelos de diferentes capas, entre los metales con el sustrato, etc. En la Fig. 2.13 se muestra una vista frontal de un circuito integrado, en la cual se indican las capacitancias que se forman entre el sustrato (de color rosado) y las otras capas (de color verde), que pueden ser metales, polisilicio, difusión N, difusión P, etc. Es por ello que aunque sean pequeñas es importante tenerlas en cuenta.

Los circuitos integrados que trabajan a frecuencias más altas son los más sensibles a las capacitancias parásitas. A partir de una frecuencia de 20 MHz es recomendable preocuparse por las capacitancias parásitas que se están formando en el circuito, de otro modo, pueden dañar tu circuito.

Algunas de las maneras de reducir las capacitancias parásitas son:

- Reducir la longitud de los cables.
- Usar el metal de nivel más alto, el que está más lejos del sustrato. Ya que el sustrato se encuentra por toda la superficie, va a formar capacitancias con todos los cables de cada metal, y como la capacitancia es inversamente proporcional a la distancia, si se

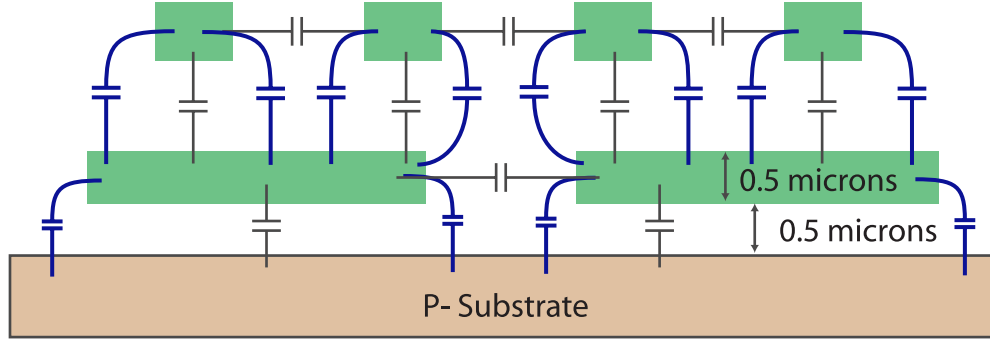


Figura 2.13: Formación de capacitancias parásitas en un circuito integrado.

Metal	M1	M2	M3	M4
Ancho Min. (μm)	0.8	0.8	2.4	6.5
Cap./Unidad de área (fF/ μm^2)	5	3	2.5	1.5
Cap. para un cable de $10\ \mu\text{m}$	40	24	66	97.5

Tabla 2.1: Ejemplo de cálculo de capacitancias de los cables con sus respectivas características.

usa cables en metales más lejanos, las capacitancias formadas serán más pequeñas. Sin embargo, no siempre va a ser así, pues depende de las características del metal que se disponga en cada capa. Por lo que también se debe calcular que metal tiene menos capacitancia. En la [Tabla 2.1](#) se muestra un ejemplo de cálculo de las capacitancias parásitas para un cable de $10\ \mu\text{m}$ de un proceso con 4 capas de metal, con las características allí dadas. El cálculo se realizó de la siguiente manera:

$$Cap\ parásita = (Ancho\ min)(Longitud\ del\ cable)(Cap./unidad\ de\ área). \quad (2.4)$$

Como se puede observar en este ejemplo, el metal en el que se obtiene la capacitancia parásita más pequeña, no es en el metal más lejano del sustrato (metal M4), sino en el metal M2.

- Procurar colocar cerca los bloques de los circuitos que se conectan entre ellos, para evitar cruzar muchos cables sobre los circuitos y generar más capacitancias.
- En caso de tener partes o bloques muy sensibles en el circuito, una opción viable es cablear alrededor del bloque, en vez de pasar por encima del bloque. De esta manera, en ese bloque no se generan muchas capacitancias.

2.5.2. Resistencia parásita

Cada cable va a tener una resistencia parásita asociada, en este caso se debe tomar en cuenta la cantidad de corriente que va a pasar por el cable para saber que grosor debe tener. Este amperaje va a influir en la caída de voltaje que puede ocurrir en un cable. Es recomendable calcular esa caída en celdas o bloques sensibles a cambios de voltaje. A continuación se muestran las ecuaciones que nos permiten ese cálculo:

$$V = I \cdot R \quad (2.5)$$

$$R = \frac{\text{Resistencia}}{\text{cuadrado}} \cdot N^{\circ} \text{ cuadrados} \quad (2.6)$$

$$N^{\circ} \text{ cuadrados} = \frac{\text{longitud del cable}}{\text{ancho del cable}} \quad (2.7)$$

$$\text{Ancho del cable} = \frac{I}{\text{Capacidad de densidad de corriente}} \quad (2.8)$$

donde:

V = Caída de voltaje en el cable

I = Corriente que pasará a través del cable

R = Resistencia parásita del cable

Algunas recomendaciones a tener en cuenta son:

- Cuando se tiene un riel de energía que alimenta un conjunto de bloques, y el bloque que consume más corriente está más alejado de la fuente de alimentación, una opción viable es hacer un cableado independiente para este bloque. De esta manera, la caída de voltaje provocada por ese bloque no afectará a los otros bloques.
- Si la caída de voltaje obtenida en un cable es más grande que 10 mV, es recomendable verificar que los bloques asociados a ese cable no sean sensibles a cambios de voltaje.
- Cuando se tienen cables con espesores grandes, se puede reducir ese espesor cableando varios cables en paralelo por distintos metales. En la [Fig. 2.14](#) se muestra una vista frontal de un circuito en la cual se realiza un cableado en paralelo usando 3 capas de metal (M1, M2 y M3) desde el pad hasta el device.

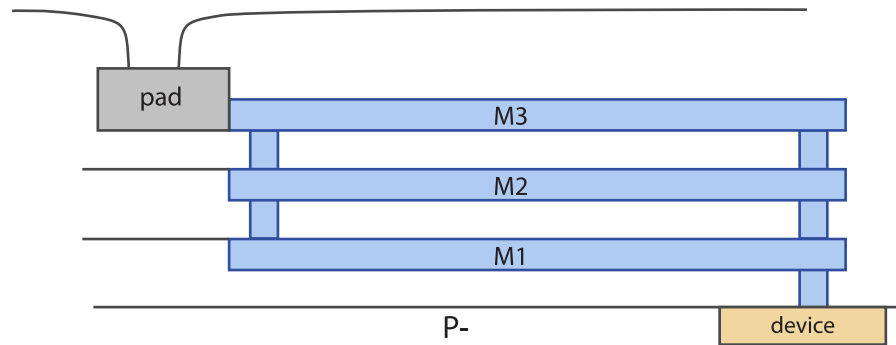


Figura 2.14: Cableado en paralelo para cables muy gruesos.

Por lo general, los parásitos no nos van a dar una ventaja. No es confiable hacer un diseño pensando en los parásitos como datos exactos, ya que ellos pueden variar más o menos alrededor del 50 %. Sin embargo, se puede obtener algo de ellos, cuando se quiere mucha capacitancia sin importar la cantidad, se puede colocar los cables de alimentación y tierra uno encima del otro, esto dará una capacitancia de desacoplo de alimentación gratuita.

Capítulo 3

Diseño de celdas estándar

Dado lo mencionado en la [Sección 2.2](#) se escogió el estilo de diseño Pseudo-E por su margen de ruido y velocidad superiores a las otras propuestas. Se utilizó el proceso de fabricación del CIDESI (Centro de Ingeniería y Desarrollo Industrial), que cuenta solo con transistores NMOS a $5\text{ }\mu\text{m}$, los archivos relacionados a este proceso para hacer las simulaciones tanto a nivel esquemático como layout se obtuvieron de [21].

3.1. Diseño a nivel esquemático

Se inició haciendo el diseño a nivel esquemático usando el estilo de diseño Pseudo-E con el software LTspice. Se buscaron características tales como una adecuada curva de transferencia y un buen comportamiento a nivel transiente. Para ello se establecieron los siguientes objetivos deseados:

- Margen de ruido, tanto a nivel alto como a nivel bajo (NM_H y NM_L), no menor al 20 %.
- Tiempo de subida (T_s) y de bajada (T_b) similares.
- Optimizar en consumo energético y tamaño de la celda.

3.1.1. Compuerta NOT

Se tomó en cuenta el análisis realizado sobre el inversor Pseudo-E en [44] para ajustar los parámetros adecuados en las simulaciones. Se estableció la fuente de alimentación VDD a 1.8 V y se realizaron simulaciones variando el ancho de los transistores M2, M3 y M4 (según se ve en la [Fig. 3.1](#)) y la fuente de voltaje VSS. Se realizaron 2 tipos de simulaciones, uno para analizar su curva de transferencia, y el otro para analizar su comportamiento a nivel transiente. En la simulación transiente, se colocaron 5 inversores en serie (tal como se aprecia

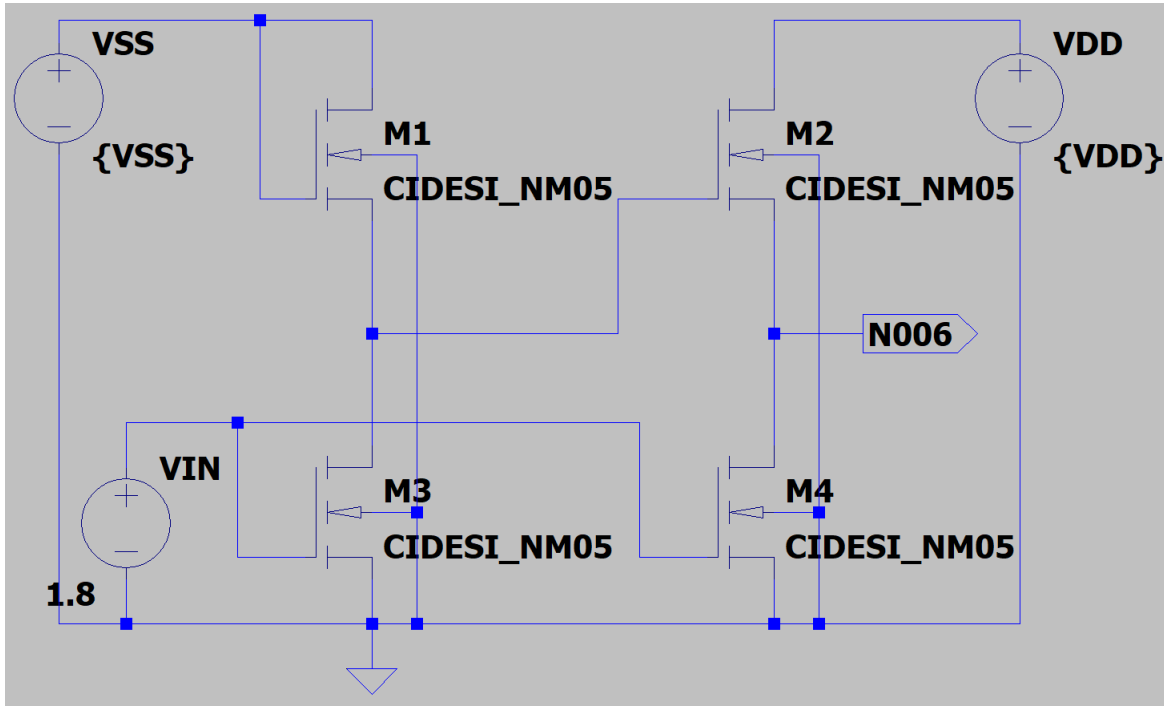


Figura 3.1: Esquemático de inversor Pseudo-E.

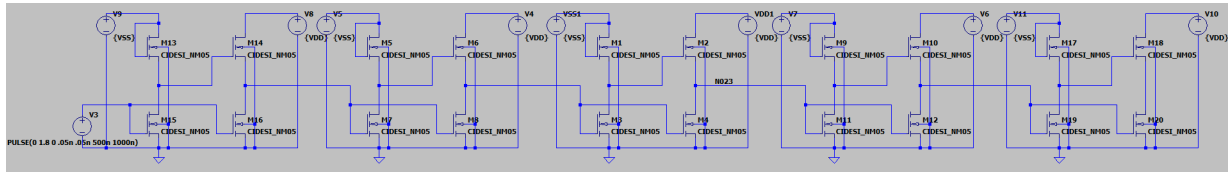


Figura 3.2: Simulación del inversor Pseudo-E a nivel transiente.

en la Fig. 3.2) y se midieron los datos otorgados por el inversor central; de esta manera, se simula al inversor con una carga, tal como estaría en un circuito.

De las simulaciones realizadas, a continuación se detallará el resultado más destacado junto con sus métricas obtenidas:

- Ancho de los transistores: $M1 = 5 \mu\text{m}$, $M2 = 5 \mu\text{m}$, $M3 = 45 \mu\text{m}$ y $M4 = 10 \mu\text{m}$.
- Fuente de alimentación VSS: 4.1 V.
- Área de la celda: $325 \mu\text{m}^2$.
- Márgenes de ruido: $NM_L = 20 \%$, $NM_H = 23 \%$.
- Tiempo de subida: 0.77 ns.

- Tiempo de bajada: 0.82 ns.
- Potencia: 2.1 mW a 100 MHz, 2.0 mW a 1 MHz.

El área de la celda mostrada aquí se calculó del resultado de la suma de las áreas de cada transistor. Y el área de un transistor se calculó de la multiplicación de su ancho con su longitud. El valor del área de la celda mostrada aquí no es un valor exacto ya que en el diseño layout habrá otros componentes que pueden acrecentar el tamaño de la celda, como por ejemplo las vías.

3.1.2. Compuertas NAND y NOR

Para el diseño de estas compuertas se debe tener en cuenta que en este caso ambas tienen 2 entradas, por lo que se debe abarcar los siguientes casos:

- Caso 1: Cuando VIN1 cambia y VIN2 permanece fijo.
- Caso 2: Cuando VIN2 cambia y VIN1 permanece fijo.
- Caso 3: Cuando VIN1 y VIN2 cambian al mismo tiempo.

También se debe tener en cuenta que estas compuertas tienen 2 transistores más, lo cual añadirá más variables a manejar; sin embargo, el diseño de estas celdas es similar a la del inversor y se puede analizar de manera similar. En estas simulaciones se volvió a usar la fuente VDD a 1.8 V, y se fijó también la fuente VSS a 4.1 V, como se obtuvo en los resultados del inversor. En las figuras Fig. 3.3 y Fig. 3.4 se muestran los diseños esquemáticos de las compuertas NAND y NOR en el software LTspice.

Se buscó obtener buenos resultados para los tres casos mencionados. Para la compuerta NAND, el mejor resultado obtenido se detalla a continuación:

- Ancho de los transistores: M1 = 5 μm , M2 = 5 μm , M3 y M5 = 115 μm , y M4 y M6 = 5 μm .
- Área de la celda: 1250 μm^2 .
- Márgenes de ruido:
 - Caso 1: $NM_L = 22\%$, $NM_H = 30\%$.
 - Caso 2: $NM_L = 20\%$, $NM_H = 40\%$.
 - Caso 3: $NM_L = 28\%$, $NM_H = 23\%$.
- Métricas transientes:

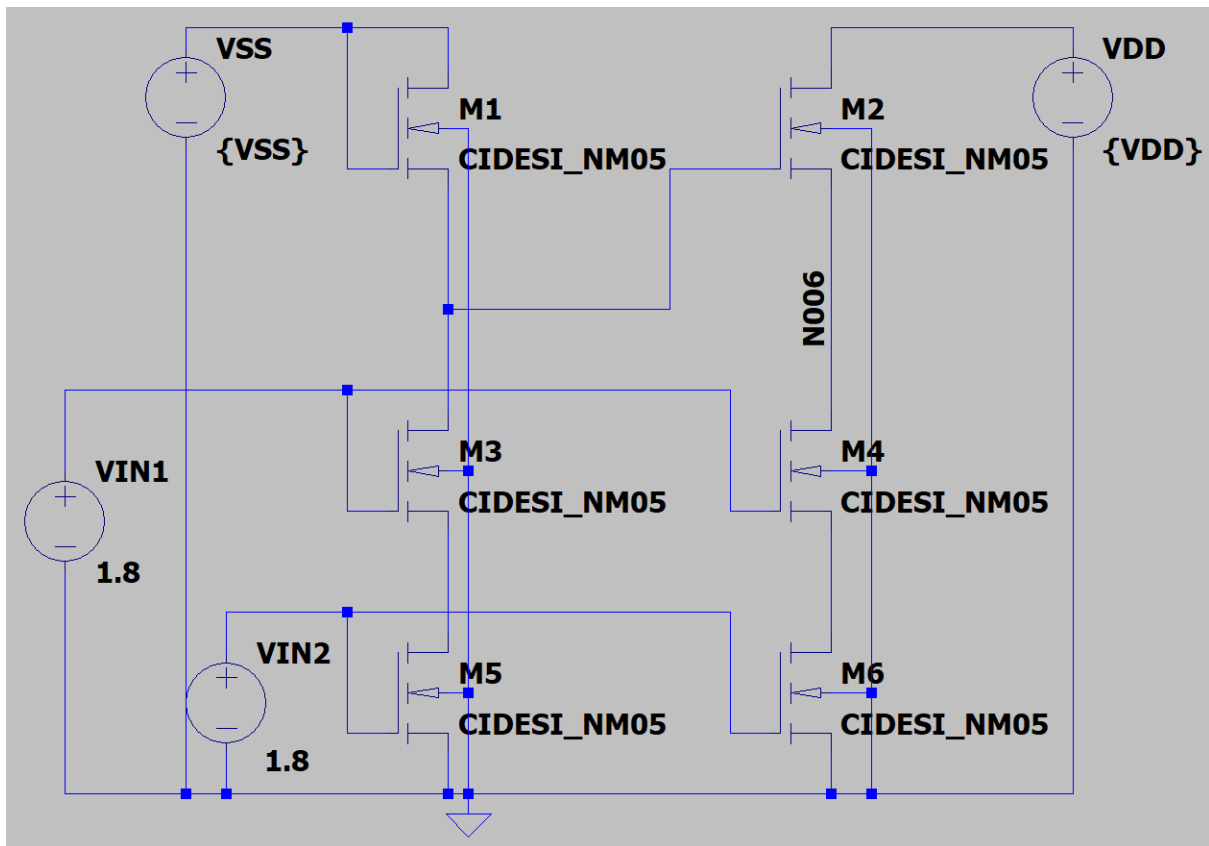


Figura 3.3: Esquemático de la compuerta NAND Pseudo-E.

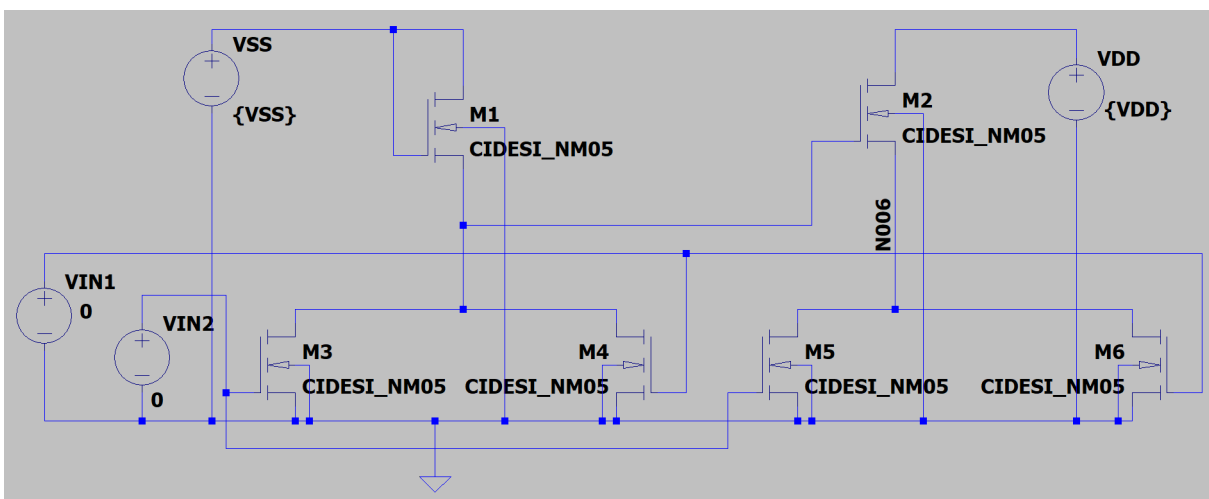


Figura 3.4: Esquemático de la compuerta NOR Pseudo-E.

- Caso 1: $T_s = 0.92$ ns, $T_b = 1.9$ ns.
- Caso 2: $T_s = 1.6$ ns, $T_b = 2.1$ ns.
- Caso 3: $T_s = 0.97$ ns, $T_b = 2.1$ ns.
- Potencia: 1.2 mW a 50 MHz, 1.1 mW a 1 MHz.

Para la compuerta NOR, el resultado más destacado que se obtuvo se detalla a continuación:

- Ancho de los transistores: M1 = 5 μm , M2 = 5 μm , M3 y M4 = 50 μm , y M5 y M6 = 5 μm .
- Área de la celda: 600 μm^2 .
- Márgenes de ruido:
 - Caso 1: $NM_L = 25\%$, $NM_H = 21\%$.
 - Caso 2: $NM_L = 25\%$, $NM_H = 21\%$.
 - Caso 3: $NM_L = 22\%$, $NM_H = 40\%$.
- Métricas transientes:
 - Caso 1: $T_s = 0.81$ ns, $T_b = 1.1$ ns.
 - Caso 2: $T_s = 0.81$ ns, $T_b = 1.1$ ns.
 - Caso 3: $T_s = 0.76$ ns, $T_b = 0.70$ ns.
- Potencia: 3.2 mW a 50 MHz, 3.2 mW a 1 MHz.

3.1.3. Técnicas para mejorar la eficiencia energética

Como se puede observar en los resultados de las compuertas hechas en el estilo de diseño Pseudo-E, existe un problema latente con el consumo de potencia de cada uno de ellos, esto se debe a que el transistor de carga (transistor M1) está siempre activo, por ello cuando se activan los transistores de manejo, se abre un conducto de VSS a GND que hace que se consuma mucha potencia estática.

Una de las maneras de disminuir la potencia estática consumida en la primera etapa sería disminuyendo la corriente que pasa por allí, eso se puede hacer aumentando la resistencia de los transistores, ya que a mayor resistencia, menor corriente. Para aumentar la resistencia se podría disminuir el ancho de los transistores; sin embargo, no se puede disminuirlos tanto, ya que de ello depende el buen funcionamiento de las compuertas en Pseudo-E como se describió en la [Sección 2.2.4](#). Por lo que se deben buscar otras maneras para mejorar la eficiencia energética.

La primera propuesta para mejorar la eficiencia energética se encontró en [45], aquí se presenta un inversor Pseudo-CMOS (Pseudo-E) con algunas modificaciones, llamado *Pseudo-CMOS with Re-Pull-Down Transistor* (de aquí en adelante se le llamará Pseudo-CMOS RPDT por simplificación). Como se puede observar en la Fig. 3.5, esta propuesta tiene dos transistores adicionales entre la primera y segunda etapa. La función de estos transistores es generar un segundo camino hacia tierra para la primera etapa y otorgarle mayor capacidad de pull-down al inversor. Tener mayor capacidad de pull-down permitirá reducir el ancho de los transistores de manejo M3 y M6 (según se ven en la Fig. 3.5), lo cual como se mencionó anteriormente, se necesitaba para reducir el consumo energético. Se debe tener en cuenta también que el transistor M3 en general consume más que el transistor M6, ya que si se hace pequeño el transistor M5, la corriente que pase por M6 siempre será menor a la corriente que pase por M3. Entonces se puede disminuir el ancho del transistor M3 ya que el transistor M6 aporta mayor capacidad de pull-down al inversor y además consume menos energía.

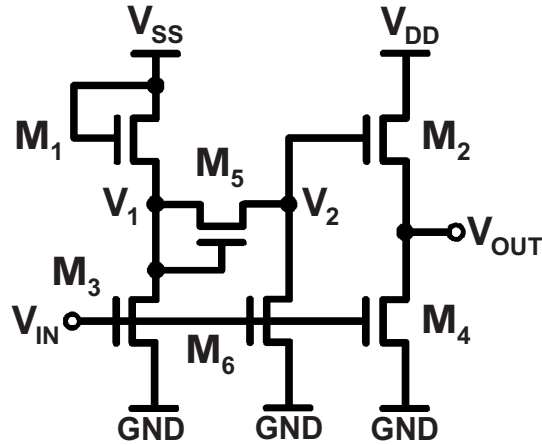


Figura 3.5: Diseño esquemático del inversor Pseudo-CMOS RPDT.

Los resultados de las simulaciones realizadas en [45] muestran que esta propuesta reduce el consumo de potencia en un 30.8% comparado con el inversor Pseudo-CMOS.

La propuesta descrita arriba es muy prometedora; sin embargo, no es suficiente. Ya que es necesario aumentar la resistencia de los transistores para disminuir el amperaje que pasa a través de ellos, y así disminuir la potencia consumida; otra propuesta para ello es aumentar la longitud de los transistores, en especial del transistor de carga de la primera etapa, el cual consume más energía. Por lo general, la longitud de los transistores se mantiene en el valor mínimo posible por el proceso de fabricación, ya que aumentarlo hace que el circuito sea más lento, además que consume más área. Sin embargo, dado que el consumo energético es alto, se puede mejorar un poco la eficiencia energética en detrimento de la velocidad.

3.1.4. Diseño de compuertas Pseudo-CMOS RPDT

Se hizo el diseño esquemático de las compuertas en el software LTspice teniendo en cuenta los objetivos mencionados anteriormente. Se establecieron las fuentes de alimentación VDD a 1.8 V y VSS a 4.1 V como se hizo en Pseudo-E.

Para la compuerta NOT se realizaron simulaciones variando el ancho de los transistores M2, M3, M4, M5 y M6 (según se muestra en el diseño esquemático de la Fig. 3.6)

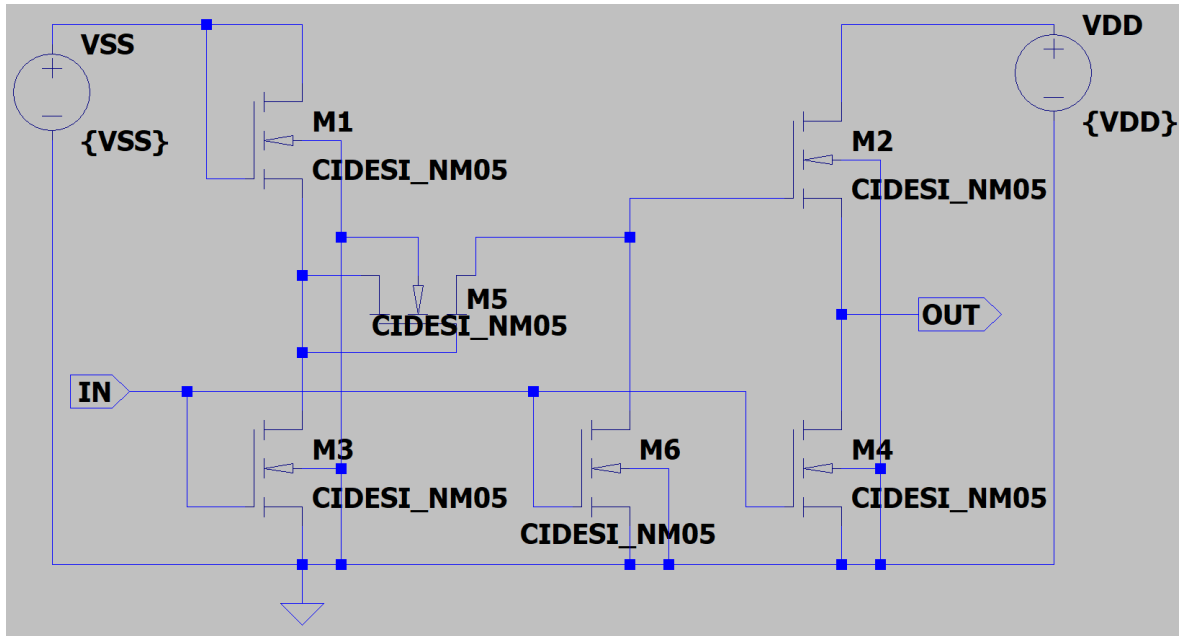


Figura 3.6: Diseño esquemático del inversor Pseudo-CMOS RPDT en LTspice.

El mejor resultado obtenido en ambas (simulación de curva de transferencia y simulación a nivel transiente) se detalla a continuación:

- Ancho de los transistores: $M1 = 5 \mu\text{m}$, $M2 = 10 \mu\text{m}$, $M3 = 5 \mu\text{m}$ y $M4 = 5 \mu\text{m}$, $M5 = 5 \mu\text{m}$ y $M6 = 5 \mu\text{m}$.
- Área de la celda: $175 \mu\text{m}^2$.
- Márgenes de ruido: $NM_L = 23\%$, $NM_H = 23\%$.
- Tiempo de subida: 0.40 ns.
- Tiempo de bajada: 0.37 ns.
- Potencia: 0.93 mW a 100 MHz, 0.91 mW a 1 MHz.

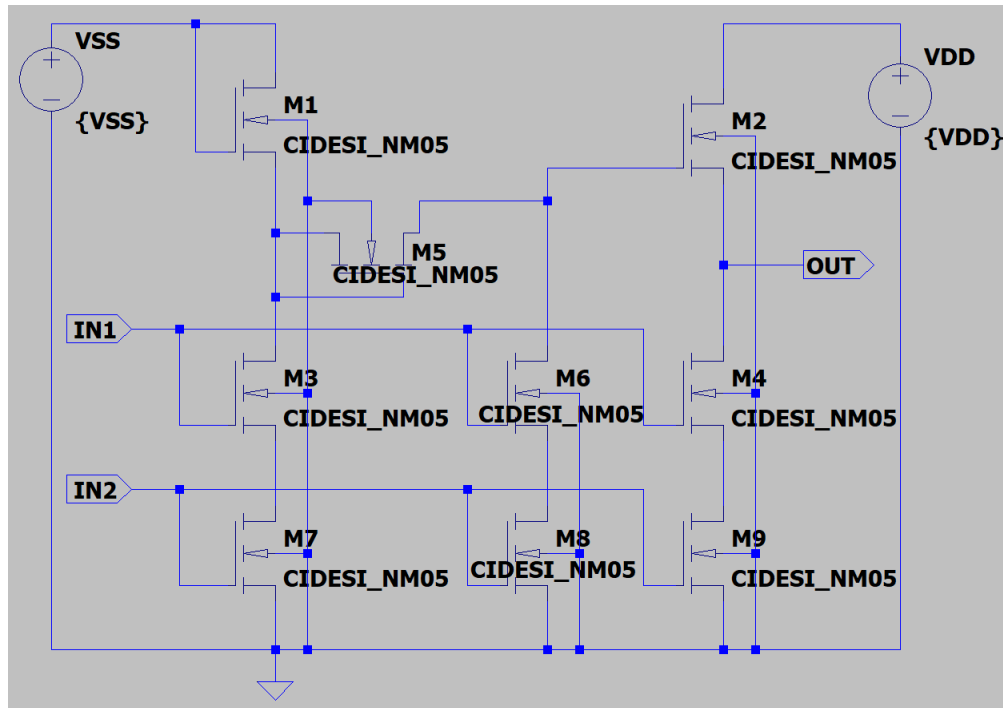


Figura 3.7: Diseño esquemático de la compuerta NAND Pseudo-CMOS RPDT en LTspice.

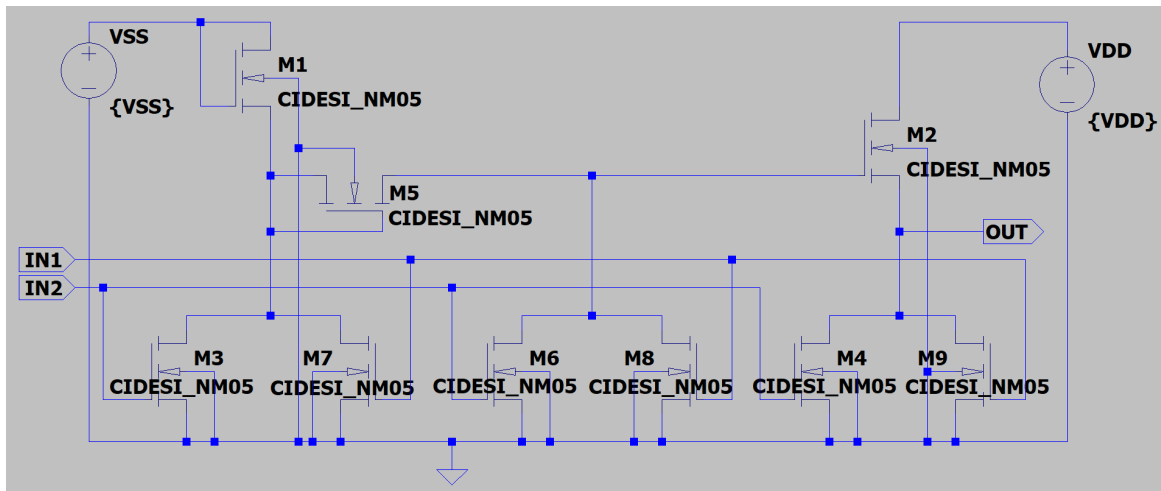


Figura 3.8: Diseño esquemático de la compuerta NOR Pseudo-CMOS RPDT en LTspice.

El diseño de las compuertas NAND y NOR se hizo en base a la compuerta NOT, y se muestran en las figuras Fig. 3.7 y Fig. 3.8.

El resultado más sobresaliente para la compuerta NAND se detalla a continuación:

- Ancho de los transistores: $M1 = 5 \mu\text{m}$, $M2 = 20 \mu\text{m}$, $M3$ y $M7 = 40 \mu\text{m}$, $M4$ y

M9 = 5 μm , M5 = 5 μm , M6 y M8 = 5 μm .

- Área de la celda: 650 μm^2 .
- Márgenes de ruido:
 - Caso 1: $NM_L = 20\%$, $NM_H = 28\%$.
 - Caso 2: $NM_L = 21\%$, $NM_H = 36\%$.
 - Caso 3: $NM_L = 27\%$, $NM_H = 20\%$.
- Métricas transientes:
 - Caso 1: $T_s = 0.48\text{ ns}$, $T_b = 0.57\text{ ns}$.
 - Caso 2: $T_s = 0.69\text{ ns}$, $T_b = 0.63\text{ ns}$.
 - Caso 3: $T_s = 0.49\text{ ns}$, $T_b = 0.63\text{ ns}$.
- Potencia: 0.77 mW a 50 MHz, 0.73 mW a 1 MHz.

El resultado más sobresaliente para la compuerta NOR se detalla a continuación:

- Ancho de los transistores: M1 = 5 μm , M2 = 10 μm , M3 y M7 = 5 μm , M4 y M9 = 5 μm , M5 = 5 μm , M6 y M8 = 5 μm .
- Área de la celda: 250 μm^2 .
- Márgenes de ruido:
 - Caso 1: $NM_L = 23\%$, $NM_H = 23\%$.
 - Caso 2: $NM_L = 23\%$, $NM_H = 23\%$.
 - Caso 3: $NM_L = 21\%$, $NM_H = 40\%$.
- Métricas transientes:
 - Caso 1: $T_s = 0.42\text{ ns}$, $T_b = 0.37\text{ ns}$.
 - Caso 2: $T_s = 0.42\text{ ns}$, $T_b = 0.37\text{ ns}$.
 - Caso 3: $T_s = 0.41\text{ ns}$, $T_b = 0.25\text{ ns}$.
- Potencia: 1.6 mW a 50 MHz, 1.6 mW a 1 MHz.

3.1.5. Pseudo-CMOS RPDT vs Pseudo-E

Para demostrar la mejora en los resultados con el estilo de diseño Pseudo-CMOS RPDT, se hará una comparación entre ellos por cada compuerta. A continuación se muestra una comparativa de la compuerta NOT en la [Tabla 3.1](#):

Métrica	Pseudo-E	Pseudo-CMOS RPDT	% de mejora
Área de la celda	325 μm^2	175 μm^2	46 %
Tiempo de subida	0.77 ns	0.40 ns	48 %
Tiempo de bajada	0.82 ns	0.37 ns	55 %
Potencia (100MHz)	2.1 mW	0.93 mW	55 %

Tabla 3.1: Comparativa entre Pseudo-E y Pseudo-CMOS RPDT en la compuerta NOT.

En la [Tabla 3.2](#) se detalla la comparativa para el caso de la compuerta NAND.

Métrica		Pseudo-E	Pseudo-CMOS RPDT	% de mejora
Área de la celda		1250 μm^2	650 μm^2	48 %
Caso 1	Tiempo de subida	0.92 ns	0.48 ns	48 %
	Tiempo de bajada	1.9 ns	0.57 ns	71 %
Caso 2	Tiempo de subida	1.6 ns	0.69 ns	56 %
	Tiempo de bajada	2.1 ns	0.63 ns	70 %
Caso 3	Tiempo de subida	0.97 ns	0.49 ns	49 %
	Tiempo de bajada	2.1 ns	0.63 ns	70 %
Potencia (50 MHz)		1.2 mW	0.77 mW	38 %

Tabla 3.2: Comparativa entre Pseudo-E y Pseudo-CMOS RPDT en la compuerta NAND.

En la [Tabla 3.3](#) se detalla la comparativa para el caso de la compuerta NOR.

En estas comparativas no se tomó en cuenta las métricas de margen de ruido, ya que como en ambos estilos de diseño se consideró como objetivo tenerlos por encima del 20 %, los resultados iban a ser similares.

Finalmente, como se puede observar en las tablas hay un buen porcentaje de mejora, tanto en el área de la celda, como los tiempos de subida y de bajada, y la eficiencia energética. Por lo tanto, es válido decir que el estilo de diseño Pseudo-CMOS RPDT es mejor que el Pseudo-E.

Métrica		Pseudo-E	Pseudo-CMOS RPDT	% de mejora
Área de la celda		600 μm^2	250 μm^2	58 %
Caso 1	Tiempo de subida	0.81 ns	0.42 ns	48 %
	Tiempo de bajada	1.1 ns	0.37 ns	66 %
Caso 1	Tiempo de subida	0.81 ns	0.42 ns	48 %
	Tiempo de bajada	1.1 ns	0.37 ns	66 %
Caso 3	Tiempo de subida	0.76 ns	0.41 ns	46 %
	Tiempo de bajada	0.70 ns	0.25 ns	64 %
Potencia (50 MHz)		3.2 mW	1.6 mW	51 %

Tabla 3.3: Comparativa entre Pseudo-E y Pseudo-CMOS RPDT en la compuerta NOR.

3.2. Diseño a nivel layout

El diseño layout se hizo en el software Electric, para ello se tomaron en cuenta una serie de consideraciones de lo mencionado en el [Cap. 2](#), las cuales son las siguientes:

- Cableado basado en cuadros.
- Uso de un metal para cableados horizontales y otro metal para cableados verticales.
- En caso el cambio de metal sea para solo uno o dos cuadros, permanecer en el mismo metal.
- Las celdas deben ser de altura fija y ancho variable.
- Rieles de potencia de 5 cuadros de grosor.
- Finalizar el diseño de la celda a medio cuadro del borde de la celda, de esta manera se podrá colocar una celda al lado de otra respetando el espaciado mínimo.

Se realizó el diseño layout de las compuertas NOT, NAND y NOR, las cuales se ven en las figuras [Fig. 3.9](#), [Fig. 3.10](#) y [Fig. 3.11](#). Es importante mencionar que el proceso de fabricación del CIDESI solo cuenta con una capa de metal aluminio y la incorporación de un segundo metal está en desarrollo. En este diseño se tomó en cuenta la disponibilidad de 2 capas de metal, y se consideró en la segunda capa de metal propiedades similares a la primera capa. La [Fig. 3.9](#) muestra una leyenda, la cuál es válida también para las demás imágenes layout.

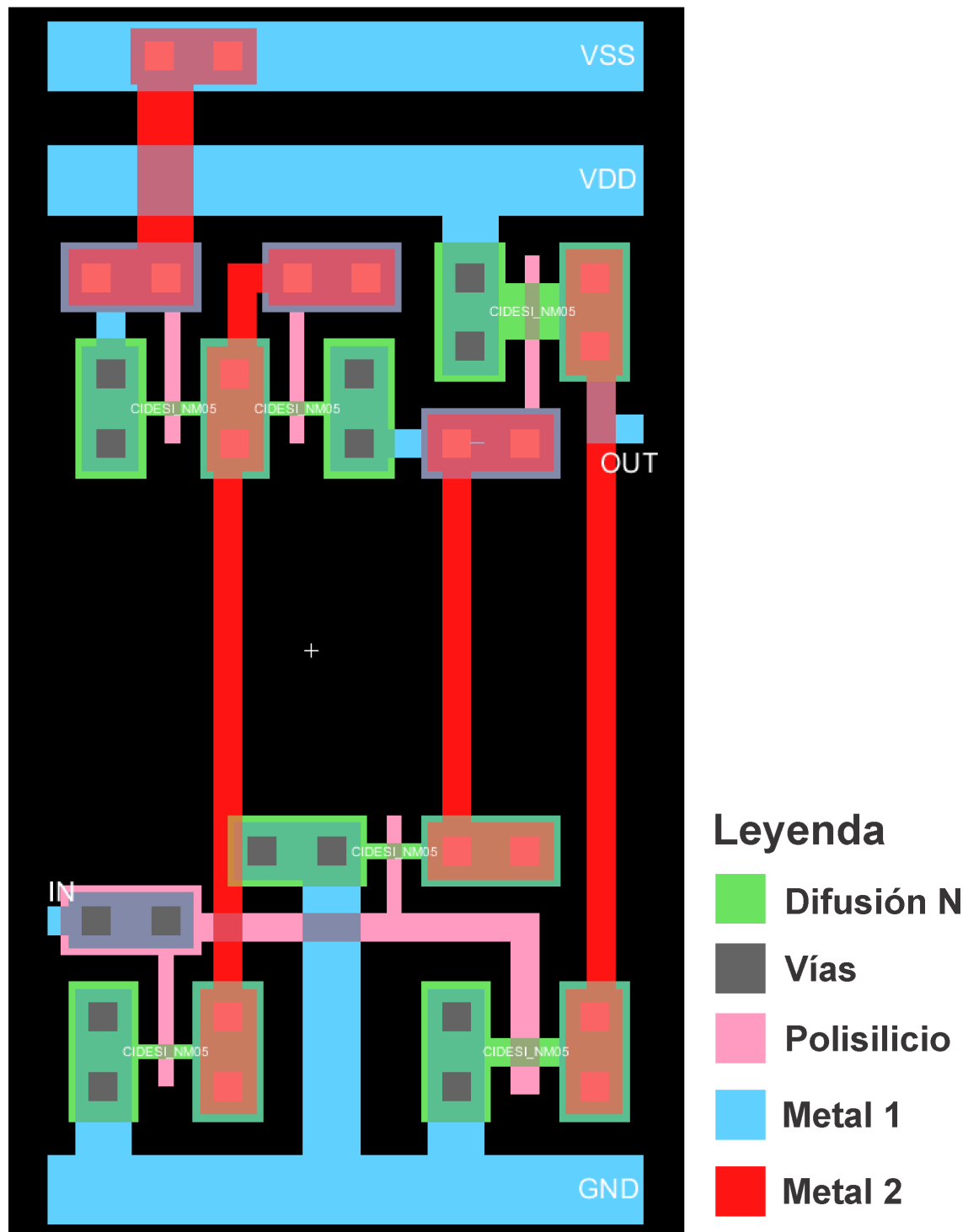


Figura 3.9: Diseño layout de la compuerta NOT Pseudo-CMOS RPDT en Electric. Tamaño: 0.22 mm $\times$ 0.44 mm.

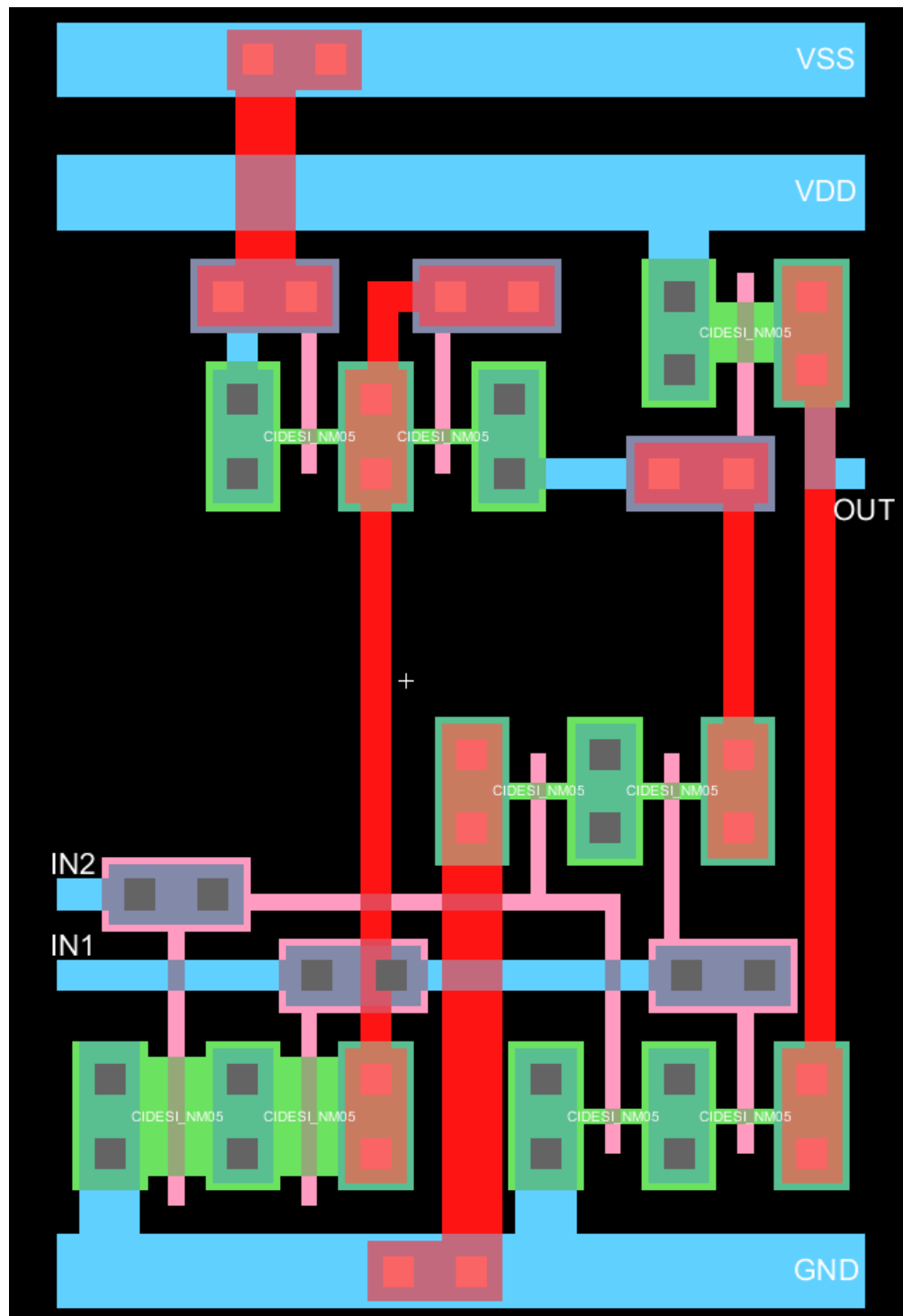


Figura 3.10: Diseño layout de la compuerta NAND Pseudo-CMOS RPDT en Electric. Tamaño: 0.27 mm $\times$ 0.44 mm.

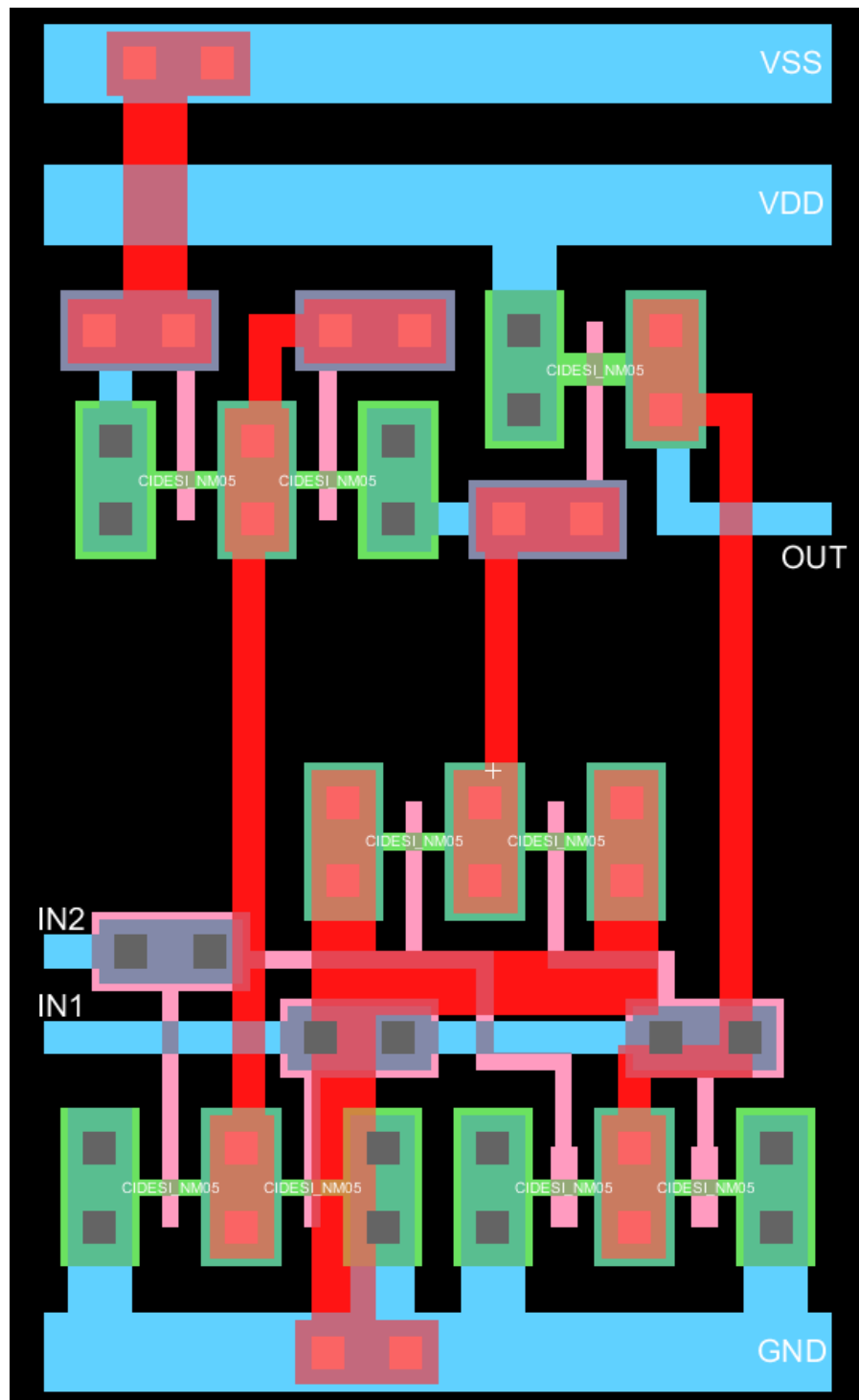


Figura 3.11: Diseño layout de la compuerta NOR Pseudo-CMOS RPDT en Electric. Tamaño: 0.25 mm $\times$ 0.44 mm.

Capítulo 4

Caracterización y optimización de celdas estándar

4.1. Análisis paramétrico de las dimensiones de los transistores

Para entender mejor como afecta cada transistor en el diseño del inversor Pseudo-CMOS RPDT se realizó un análisis paramétrico de como el ancho y la longitud de cada transistor influye en: Los márgenes de ruido, tiempos de subida y de bajada, y la potencia. Para ello se hicieron varias simulaciones variando sólo uno de los parámetros y se graficó en el software Matlab. El código usado en Matlab para las gráficas se puede revisar en el [Apéndice A](#). De esta manera también se pudo observar que longitudes de transistores influían más en la mejora de la eficiencia energética. También se hicieron simulaciones variando 2 parámetros (por ejemplo: ancho del transistor M2 y ancho del transistor M3), observándose así la variación de los márgenes de ruido, potencia, y tiempos de subida y de bajada en estos casos.

A continuación se mostrarán las imágenes de los análisis de los parámetros que se consideren más importantes.

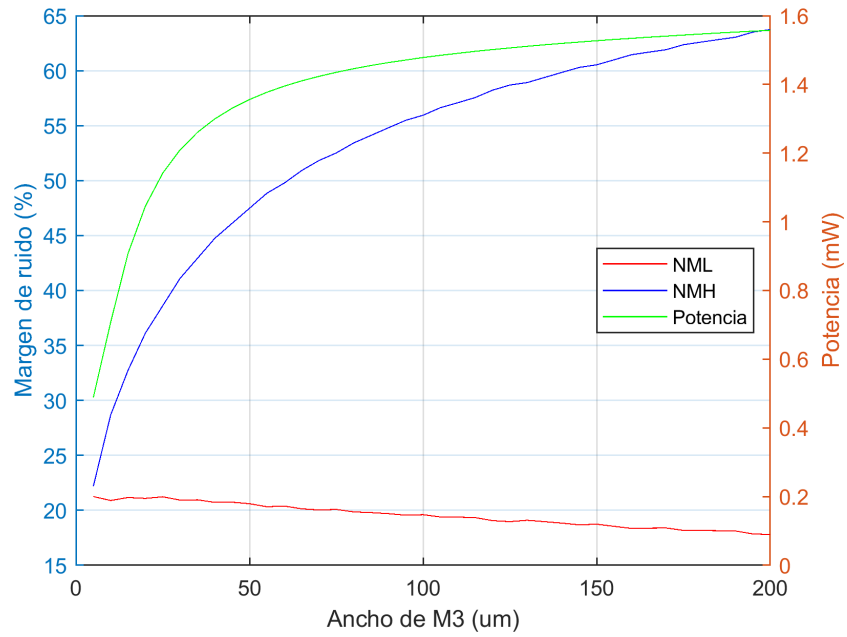


Figura 4.1: Análisis de la influencia del ancho del transistor M3 en el consumo potencia y los márgenes de ruido.

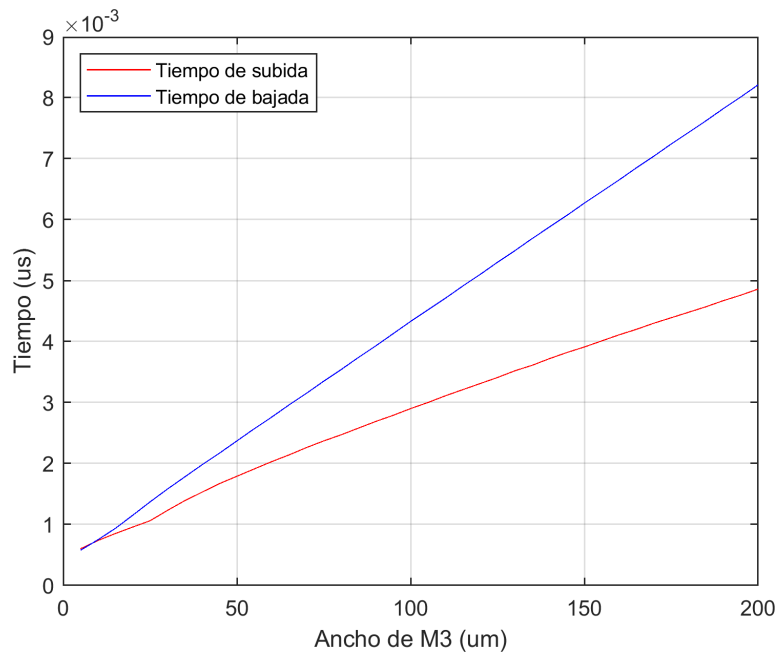


Figura 4.2: Análisis de la influencia del ancho del transistor M3 en los tiempos de subida y bajada.

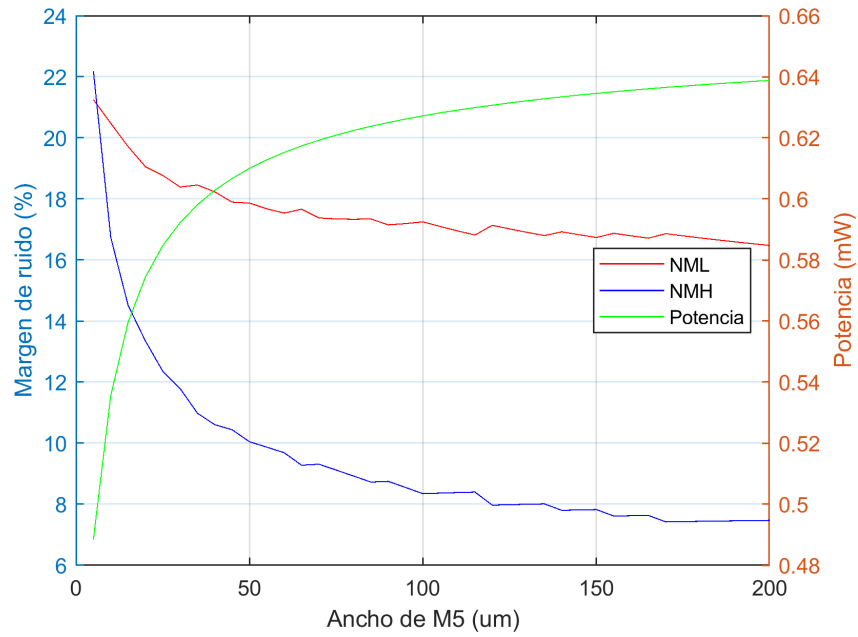


Figura 4.3: Análisis de la influencia del ancho del transistor M5 en el consumo potencia y los márgenes de ruido.

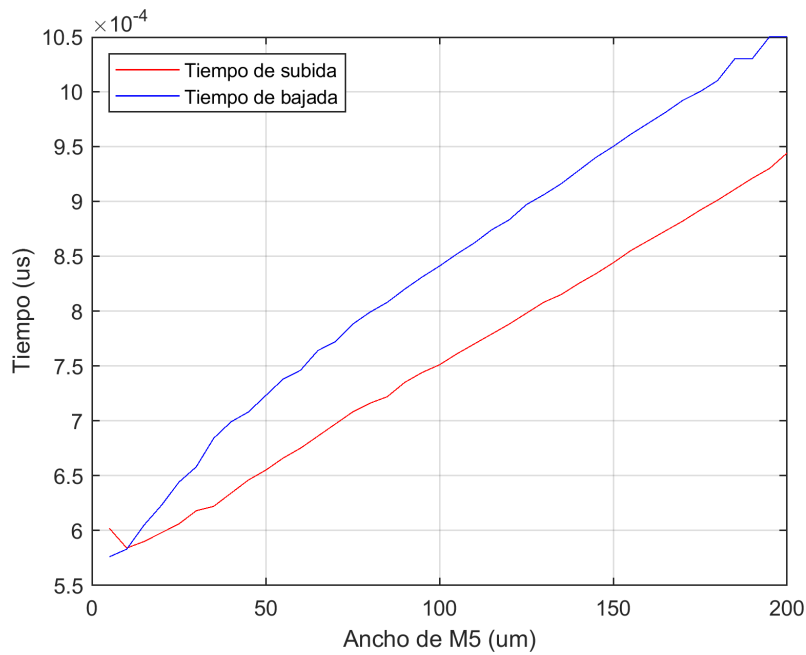


Figura 4.4: Análisis de la influencia del ancho del transistor M5 en los tiempos de subida y bajada.

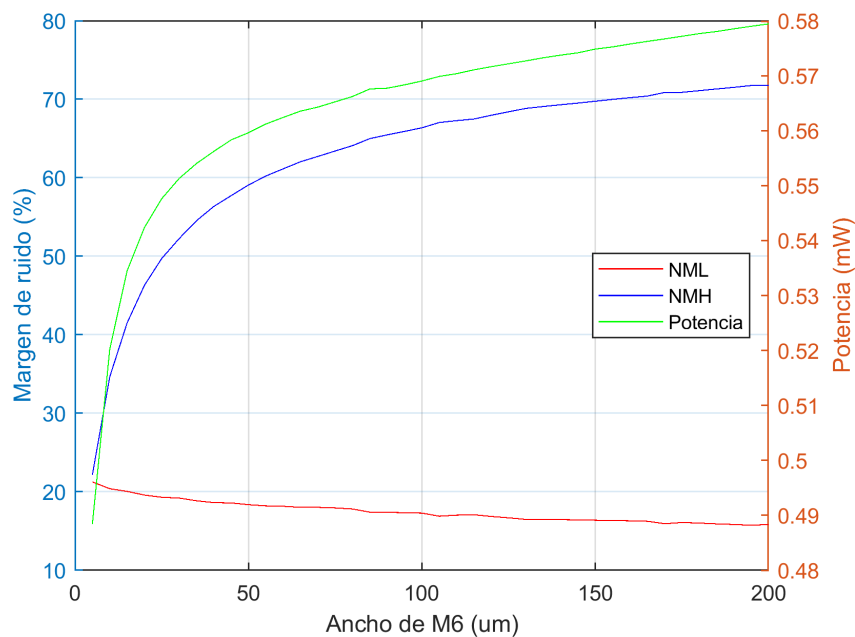


Figura 4.5: Análisis de la influencia del ancho del transistor M6 en el consumo potencia y los márgenes de ruido.

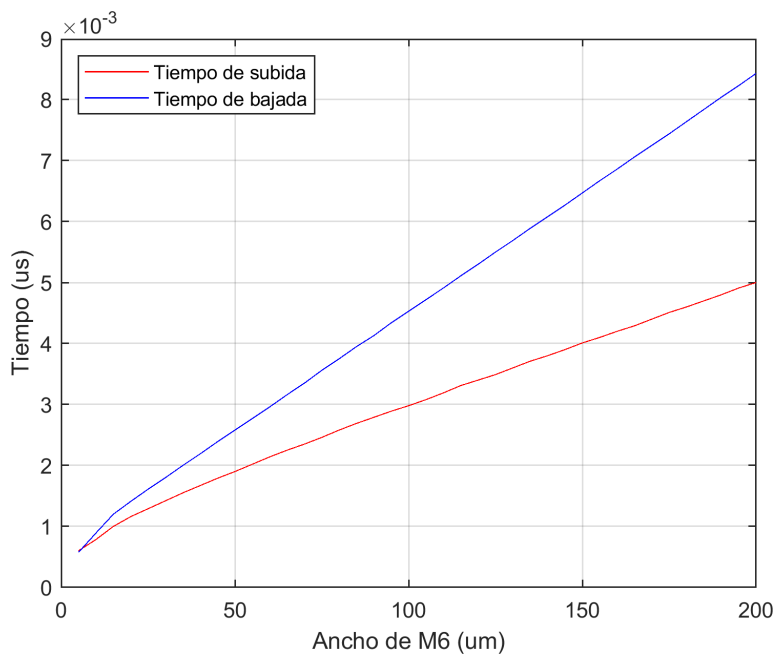


Figura 4.6: Análisis de la influencia del ancho del transistor M6 en los tiempos de subida y bajada.

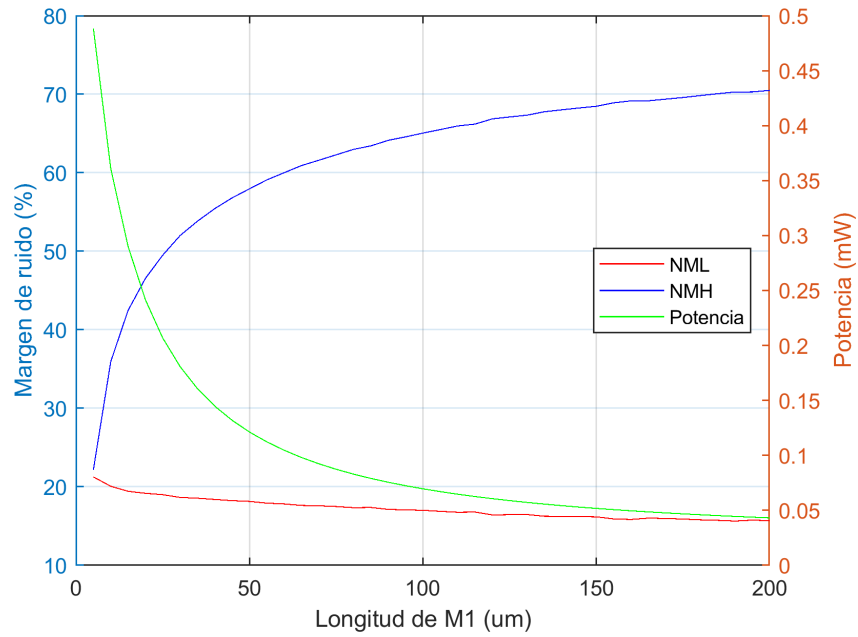


Figura 4.7: Análisis de la influencia de la longitud del transistor M1 en el consumo potencia y los márgenes de ruido.

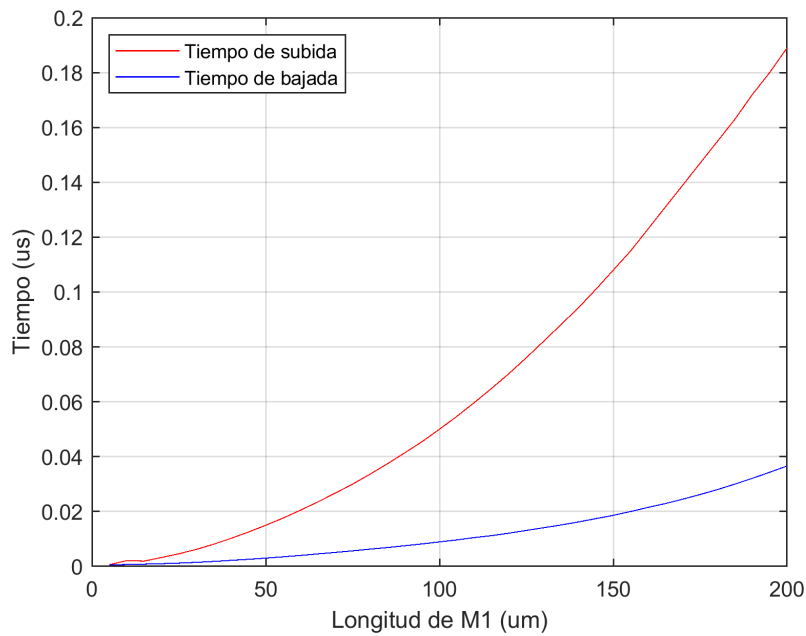


Figura 4.8: Análisis de la influencia de la longitud del transistor M1 en los tiempos de subida y bajada.

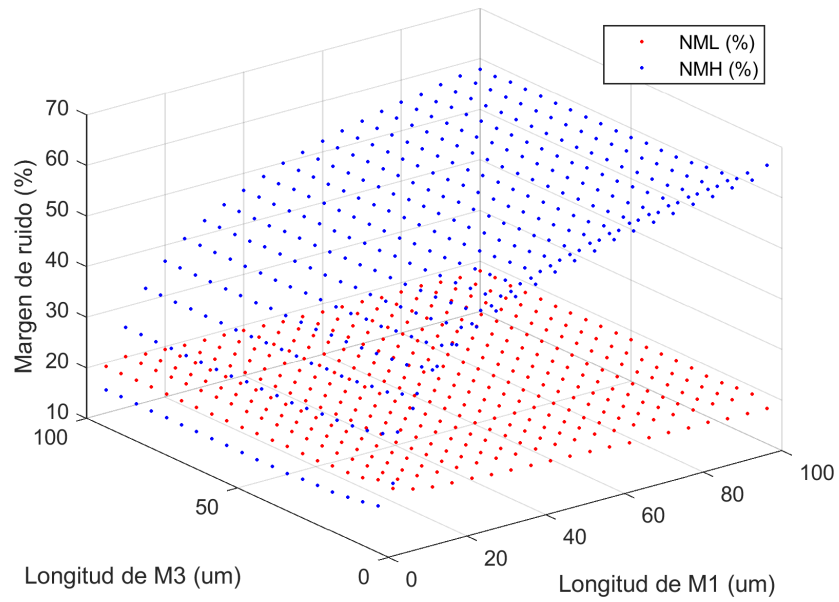


Figura 4.9: Análisis de la influencia de las longitudes de los transistores M1 y M3 en los márgenes de ruido.

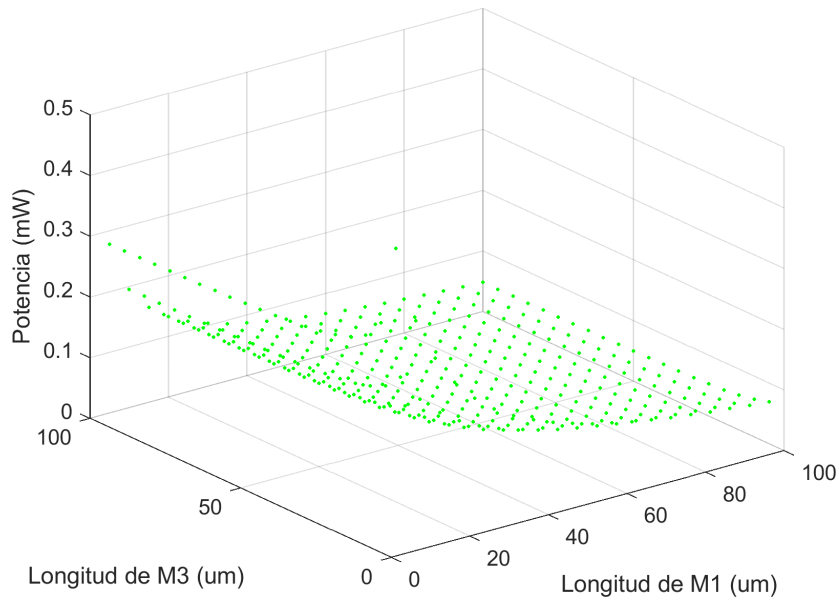


Figura 4.10: Análisis de la influencia de las longitudes de los transistores M1 y M3 en el consumo de potencia.

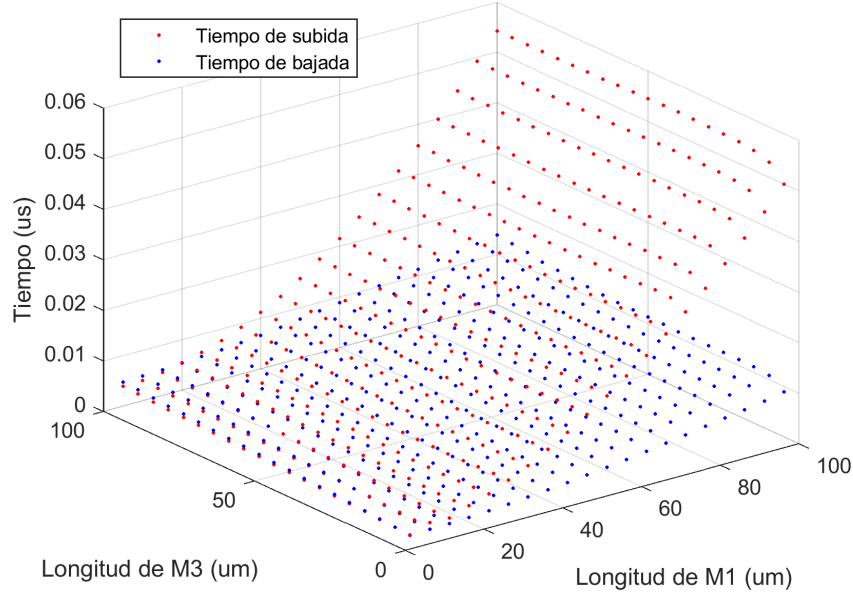


Figura 4.11: Análisis de la influencia de las longitudes de los transistores M1 y M3 en los tiempos de subida y de bajada.

En las figuras Fig. 4.1 y Fig. 4.2 se muestra que el incremento del ancho del transistor M3 ayuda a mejorar el margen de ruido alto; sin embargo, produce un considerable incremento en el consumo de potencia, como se había mencionado en la Sección 3.1.3, también un ligero decremento en el margen de ruido bajo y un incremento en las métricas transientes. Por lo que en general este parámetro debe permanecer lo más bajo posible, a menos que se tenga una alta necesidad de mejorar el margen de ruido alto.

En las figuras Fig. 4.3 y Fig. 4.4 se muestra que el incremento del ancho del transistor M5 empeora los márgenes de ruido, y aumenta el consumo de potencia y los tiempos de subida y de bajada. Por lo que este parámetro debe permanecer en el valor más bajo posible, no hay ningún motivo para aumentar este parámetro.

En las figuras Fig. 4.5 y Fig. 4.6 se puede observar que el incremento del ancho del transistor M6 tiene un efecto similar al ancho del transistor M3, sin embargo el incremento de consumo de potencia es menor. Por lo tanto, si se quiere mejorar el margen de ruido alto, es preferible incrementar el ancho del transistor M6 en vez del ancho del transistor M3.

En las figuras Fig. 4.7 y Fig. 4.8, se puede apreciar que el incremento de la longitud del transistor M1, permite mejorar el margen de ruido alto y la eficiencia energética, sin embargo decremента ligeramente el margen de ruido bajo y empeora considerablemente las métricas transientes.

En las figuras Fig. 4.9, Fig. 4.10 y Fig. 4.11 se puede observar que incrementando las longitudes de los transistores M1 y M3 se puede tener una mejora en el margen de ruido alto, casi sin afectar al margen de ruido bajo, además reducen considerablemente la potencia consumida, sin embargo, se tiene un efecto negativo sobre la velocidad.

4.2. Optimización energética de las celdas estándar

Luego de comprender con mayor profundidad la influencia de los parámetros de los transistores en la celda se hizo una serie de simulaciones variando las longitudes de los transistores, para obtener celdas más eficientes energéticamente (como se comentó en la [Sección 3.1.3](#)). Las mediciones realizadas se hicieron a una frecuencia de trabajo de 1 MHz.

4.2.1. Compuerta NOT

Se empezó con la compuerta NOT con el diseño a nivel esquemático en el software de acceso gratuito LTspice. Se eligieron 3 opciones: la propuesta eficiente energéticamente, la propuesta más rápida y la propuesta equilibrada. Se tomó en cuenta siempre tratar de reducir el área usada a lo mínimo posible. Los parámetros de estas tres opciones se pueden observar en la [Tabla 4.1](#).

	Anchos (μm)						Longitudes (μm)					
Opciones	M1	M2	M3	M4	M5	M6	M1	M2	M3	M4	M5	M6
Opción 1	5	10	5	5	5	5	5	5	5	5	5	5
Opción 2	5	10	5	5	5	5	30	5	10	14	5	5
Opción 3	5	10	5	5	5	5	30	5	25	10	15	15

Tabla 4.1: Parámetros de las compuertas NOT, nivel esquemático.

Las métricas obtenidas con estas configuraciones a nivel esquemático se pueden ver en la [Tabla 4.2](#).

Opciones	NM_L	NM_H	Potencia (μW)	T_s (ns)	T_b (ns)
Opción 1	23 %	23 %	905	0.40	0.35
Opción 2	23 %	47 %	240	4.1	4.1
Opción 3	26 %	27 %	142	4.5	3.8

Tabla 4.2: Métricas de las compuertas NOT, nivel esquemático.

Luego se hicieron las simulaciones a nivel layout. Se usó el software libre Electric para hacer los diseños y obtener el netlist con la extracción de parásitos. Para las simulaciones se usó el software Spectre del entorno de Cadence, el cual es un software propietario ampliamente usado en la industria. Los resultados se pueden apreciar en la [Tabla 4.3](#). Por otro lado, se debe mencionar que no se hicieron simulaciones de curva de transferencia a nivel layout debido a que este tipo de simulaciones no se ven afectados por los parásitos que introduce el layout.

Opciones	Potencia (μ W)	T_s (ns)	T_b (ns)
Opción 1	420	35	25
Opción 2	147	113	86
Opción 3	88	147	76

Tabla 4.3: Métricas de las compuertas NOT, nivel layout.

Como se puede apreciar en los resultados de la [Tabla 4.3](#), los tiempos de subida y de bajada han aumentado debido a los parásitos, y se tiene un buen porcentaje de diferencia entre el tiempo de subida y de bajada. Por lo tanto, como se dijo anteriormente, se tratará de igualar esos valores para tener una curva transiente simétrica. Para ello, se varió un poco las dimensiones de los transistores, cuidando también que los márgenes de ruido no se reduzcan debajo del 20 %.

Luego del redimensionamiento, los valores finales de los transistores quedaron como se ve en la [Tabla 4.4](#).

Opciones	Anchos (μ m)						Longitudes (μ m)					
	M1	M2	M3	M4	M5	M6	M1	M2	M3	M4	M5	M6
Opción 1	5	20	5	10	5	5	5	5	5	10	5	5
Opción 2	5	10	5	5	5	5	30	5	10	20	5	5
Opción 3	5	10	5	5	5	5	30	5	25	25	15	15

Tabla 4.4: Parámetros finales de las compuertas NOT redimensionadas, nivel layout.

A continuación, se mostrarán también las métricas obtenidas con estas dimensiones de los transistores en la [Tabla 4.5](#). En esta ocasión si se muestran los márgenes de ruido, ya que hubo un redimensionamiento, lo cual si afecta a la curva de transferencia, y se muestra también el área ocupada por la celda.

Opciones	NM_L	NM_H	Potencia (μ W)	T_s (ns)	T_b (ns)	Área (mm^2)
Opción 1	24 %	20 %	426	30	29	0.094
Opción 2	24 %	46 %	149	115	117	0.10
Opción 3	25 %	26 %	88	155	150	0.11

Tabla 4.5: Métricas de las compuertas NOT redimensionadas, nivel layout.

Como se muestra en la [Tabla 4.5](#), en las 3 opciones el margen de ruido es de al menos el 20 %, la potencia va decayendo de la opción 1 a la opción 3, al contrario de las métricas

transientes, las cuales van aumentando. Por último el área se incrementa ligeramente. Todo ello cumple con lo que se planteó lograr en la [Sección 3.1](#).

4.2.2. Compuerta NAND

Se continuó con la compuerta NAND con las mismas consideraciones, teniendo en cuenta que en esta compuerta se deben evaluar los tres casos mencionados en la [Sección 3.1.2](#). Los resultados de los parámetros obtenidos luego de las simulaciones esquemáticas, se pueden observar en la [Tabla 4.6](#) (anchos) y la [Tabla 4.7](#) (longitudes).

	Anchos (μm)					
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	20	40	5	5	5
Opción 2	5	20	40	5	5	5
Opción 3	5	20	40	5	5	5

Tabla 4.6: Anchos de los transistores de la compuerta NAND, nivel esquemático.

	Longitudes (μm)					
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	5	5	5	5	5
Opción 2	15	5	15	5	10	10
Opción 3	30	5	30	10	15	10

Tabla 4.7: Longitudes de los transistores de la compuerta NAND, nivel esquemático.

Los valores de las métricas obtenidas con estas dimensiones a nivel esquemático para el primer caso, se pueden ver en la [Tabla 4.8](#); para el segundo caso, en la [Tabla 4.9](#); y para el tercer caso, en la [Tabla 4.10](#).

Opciones	NM_L	NM_H	Potencia (mW)	T_s (ns)	T_b (ns)
Opción 1	20 %	28 %	1.4	0.51	0.55
Opción 2	22 %	28 %	0.37	1.6	1.0
Opción 3	22 %	35 %	0.18	4.1	2.3

Tabla 4.8: Métricas de las compuertas NAND, nivel esquemático. Caso 1.

Opciones	NM_L	NM_H	Potencia (mW)	T_s (ns)	T_b (ns)
Opción 1	21 %	36 %	1.5	0.68	0.59
Opción 2	22 %	37 %	0.37	3.9	1.5
Opción 3	23 %	42 %	0.19	13	3.5

Tabla 4.9: Métricas de las compuertas NAND, nivel esquemático. Caso 2.

Opciones	NM_L	NM_H	Potencia (mW)	T_s (ns)	T_b (ns)
Opción 1	27 %	20 %	1.4	0.58	0.60
Opción 2	28 %	20 %	0.37	2.0	1.5
Opción 3	27 %	27 %	0.18	5.5	4.3

Tabla 4.10: Métricas de las compuertas NAND, nivel esquemático. Caso 3.

Los valores de potencia consumida para un ciclo de las cuatro combinaciones de entradas (00, 01, 10 y 11) se muestran en la [Tabla 4.11](#).

Opciones	Potencia (μ W)
Opción 1	725
Opción 2	186
Opción 3	94

Tabla 4.11: Potencia consumida por la compuerta NAND, nivel esquemático.

Luego se continuó con las simulaciones a nivel layout, con las mismas dimensiones. Los resultados para cada uno de los casos se pueden observar en la [Tabla 4.12](#).

	Caso 1		Caso 2		Caso 3		
Opciones	T_s (ns)	T_b (ns)	T_s (ns)	T_b (ns)	T_s (ns)	T_b (ns)	Potencia (μ W)
Opción 1	34	38	31	38	30	38	420
Opción 2	89	51	76	50	76	50	127
Opción 3	169	86	142	87	140	87	61

Tabla 4.12: Métricas de las compuertas NAND, nivel layout.

Como se puede observar en la [Tabla 4.12](#), en las opciones 2 y 3, hay una diferencia considerable entre los tiempos de subida y de bajada; por lo tanto, se tratará de igualar esos

	Anchos (μm)					
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	20	40	5	5	5
Opción 2	5	20	20	5	5	5
Opción 3	5	20	40	5	5	5

Tabla 4.13: Anchos de los transistores de la compuerta NAND, nivel layout.

	Longitudes (μm)					
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	5	5	5	5	5
Opción 2	15	5	7	10	10	10
Opción 3	30	5	30	16	15	10

Tabla 4.14: Longitudes de los transistores de la compuerta NAND, nivel layout.

tiempos variando las dimensiones de los transistores. En la [Tabla 4.13](#) y la [Tabla 4.14](#) se muestran las dimensiones finales para cada una de las opciones.

A continuación, se mostrarán también las métricas obtenidas con estas nuevas dimensiones. Aquí nuevamente se mostrarán los márgenes de ruido debido al cambio de tamaño. Esto se puede observar en la [Tabla 4.15](#) (caso 1), en la [Tabla 4.16](#) (caso 2) y en la [Tabla 4.17](#) (caso 3).

Opciones	NM_L	NM_H	T_s (ns)	T_b (ns)
Opción 1	20 %	28 %	34	38
Opción 2	24 %	31 %	88	85
Opción 3	22 %	34 %	170	146

Tabla 4.15: Métricas de las compuertas NAND redimensionadas, nivel layout. Caso 1.

Opciones	NM_L	NM_H	T_s (ns)	T_b (ns)
Opción 1	21 %	36 %	31	38
Opción 2	25 %	39 %	76	85
Opción 3	23 %	41 %	142	146

Tabla 4.16: Métricas de las compuertas NAND redimensionadas, nivel layout. Caso 2.

Opciones	NM_L	NM_H	T_s (ns)	T_b (ns)
Opción 1	27 %	20 %	30	38
Opción 2	29 %	24 %	76	85
Opción 3	26 %	27 %	140	146

Tabla 4.17: Métricas de las compuertas NAND redimensionadas, nivel layout. Caso 3.

Finalmente, se muestran la potencia consumida para un ciclo de las cuatro combinaciones de entradas y el área ocupada por la celda en la [Tabla 4.18](#).

Opciones	Potencia (μ W)	Área (mm^2)
Opción 1	420	0.12
Opción 2	135	0.13
Opción 3	59	0.14

Tabla 4.18: Potencia consumida por la compuerta NAND redimensionada, nivel layout.

Como se muestra en la [Tabla 4.15](#), [Tabla 4.16](#), [Tabla 4.17](#) y [Tabla 4.18](#), en las 3 opciones y en los 3 casos el margen de ruido es de al menos el 20 %, la potencia va decayendo de la opción 1 a la opción 3, al contrario de las métricas transientes, las cuales van aumentando. Por último el área se incrementa ligeramente. Todo ello cumple con lo que se planteó lograr en la [Sección 3.1](#).

4.2.3. Compuerta NOR

Se continuó con la compuerta NOR, teniéndose en cuenta las mismas consideraciones que en la compuerta NAND. Los resultados de los parámetros obtenidos luego de las simulaciones esquemáticas, se pueden observar en la [Tabla 4.19](#) (anchos) y la [Tabla 4.20](#) (longitudes).

Anchos (μ m)						
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	10	5	5	5	5
Opción 2	5	10	5	5	5	5
Opción 3	5	10	5	5	5	5

Tabla 4.19: Anchos de los transistores de la compuerta NOR, nivel esquemático.

Los valores de las métricas obtenidas con estas dimensiones a nivel esquemático para el primer y segundo caso, se pueden ver en la [Tabla 4.21](#); y para el tercer caso, en la [Tabla 4.22](#).

	Longitudes (μm)					
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	5	5	5	5	5
Opción 2	15	5	15	5	10	10
Opción 3	30	5	30	10	15	10

Tabla 4.20: Longitudes de los transistores de la compuerta NOR, nivel esquemático.

Los resultados del primer y segundo caso son los mismos ya que como es una compuerta NOR, cualquier cambio en las entradas, ya sea una u otra, tendrán el mismo efecto en todas las métricas.

Opciones	NM_L	NM_H	Potencia (μW)	T_s (ns)	T_b (ns)
Opción 1	23 %	23 %	905	0.41	0.36
Opción 2	25 %	25 %	256	1.5	0.73
Opción 3	26 %	35 %	139	4.5	1.3

Tabla 4.21: Métricas de las compuertas NOR, nivel esquemático. Casos 1 y 2.

Opciones	NM_L	NM_H	Potencia (mW)	T_s (ns)	T_b (ns)
Opción 1	21 %	40 %	1.3	0.41	0.24
Opción 2	24 %	40 %	0.36	1.5	0.44
Opción 3	25 %	48 %	0.18	4.0	0.84

Tabla 4.22: Métricas de las compuertas NOR, nivel esquemático. Caso 3.

A continuación, se muestra los valores de potencia consumida para un ciclo de las cuatro combinaciones de entradas en la [Tabla 4.23](#).

Opciones	Potencia (mW)
Opción 1	1.6
Opción 2	0.44
Opción 3	0.23

Tabla 4.23: Potencia consumida por la compuerta NOR, nivel esquemático.

Luego, se continuó con las simulaciones a nivel layout para observar el efecto que tienen los parásitos. Los resultados de cada uno de los casos se pueden observar en la [Tabla 4.24](#).

	Caso 1		Caso 2		Caso 3		
Opciones	T_s (ns)	T_b (ns)	T_s (ns)	T_b (ns)	T_s (ns)	T_b (ns)	Potencia (μ W)
Opción 1	36	26	36	26	36	16	723
Opción 2	83	40	83	40	83	23	246
Opción 3	140	51	140	51	141	29	133

Tabla 4.24: Métricas de las compuertas NOR, nivel layout.

Como se puede observar en la [Tabla 4.12](#), existe una diferencia considerable entre los tiempos de subida y de bajada en los tres casos; por lo tanto, se tratará de igualar esos tiempos variando las dimensiones de los transistores. En la [Tabla 4.25](#) y la [Tabla 4.26](#) se muestran las dimensiones finales para cada una de las opciones.

	Anchos (μ m)					
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	10	5	5	5	5
Opción 2	5	10	5	5	5	5
Opción 3	5	10	5	5	5	5

Tabla 4.25: Anchos de los transistores de la compuerta NOR, nivel layout.

	Longitudes (μ m)					
Opciones	M1	M2	M3 y M7	M4 y M9	M5	M6 y M8
Opción 1	5	5	5	8	5	5
Opción 2	15	5	15	17	10	10
Opción 3	30	5	30	28	15	10

Tabla 4.26: Longitudes de los transistores de la compuerta NOR, nivel layout.

A continuación, se mostrarán las métricas obtenidas con estas nuevas dimensiones. Aquí nuevamente se mostrarán los márgenes de ruido debido al cambio de tamaño. Esto se puede observar en la [Tabla 4.27](#) (casos 1 y 2) y en la [Tabla 4.28](#) (caso 3).

Opciones	NM_L	NM_H	T_s (ns)	T_b (ns)
Opción 1	24 %	21 %	37	40
Opción 2	26 %	23 %	83	85
Opción 3	25 %	34 %	141	150

Tabla 4.27: Métricas de las compuertas NOR redimensionadas, nivel layout. Casos 1 y 2.

Opciones	NM_L	NM_H	T_s (ns)	T_b (ns)
Opción 1	24 %	38 %	36	24
Opción 2	26 %	39 %	83	46
Opción 3	25 %	48 %	140	81

Tabla 4.28: Métricas de las compuertas NOR redimensionadas, nivel layout. Caso 3.

Finalmente, se muestran la potencia consumida para un ciclo de las cuatro combinaciones de entradas y el área ocupada por la celda en la [Tabla 4.29](#).

Opciones	Potencia (μW)	Área (mm^2)
Opción 1	724	0.11
Opción 2	244	0.13
Opción 3	131	0.15

Tabla 4.29: Potencia consumida por la compuerta NOR redimensionada, nivel layout.

Como se muestra en la [Tabla 4.27](#), [Tabla 4.28](#) y [Tabla 4.29](#), en las 3 opciones y en los 3 casos el margen de ruido es de al menos el 20 %, la potencia va decayendo de la opción 1 a la opción 3, al contrario de las métricas transientes, las cuales van aumentando. Por último el área se incrementa ligeramente. Todo ello cumple con lo que se planteó lograr en la [Sección 3.1](#).

4.2.4. Compuerta TRI-STATE NOT

Se diseñó también la compuerta TRI-STATE NOT. Ya que es similar al inversor, se tomó el mismo diseño y se agregó un transistor al final, para habilitar o deshabilitar la salida. Debido a que solo se tiene un transistor, no se pudo poner ambos transistores en la etapa de activación de la señal de salida; esto conllevará a tener una señal de salida que no llegue al nivel alto totalmente, pero aún será funcional.

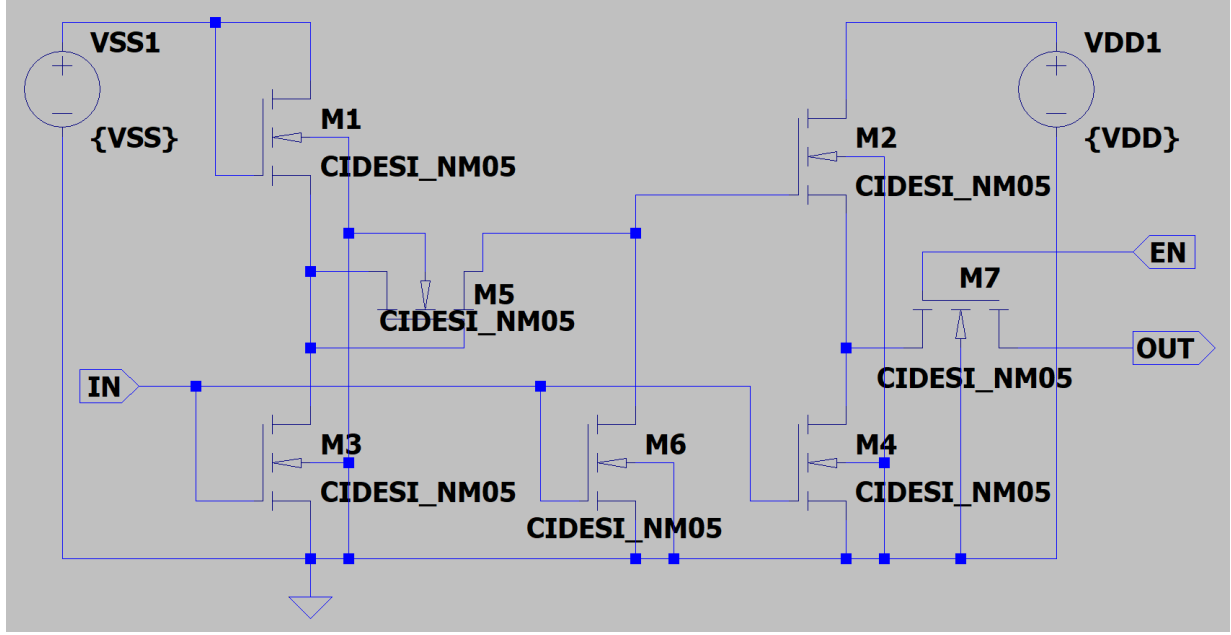


Figura 4.12: Diseño esquemático de la compuerta TRI-STATE NOT Pseudo-CMOS RPDT en LTspice.

El diseño esquemático de la compuerta TRI-STATE NOT en el software LTspice se puede observar en la Fig. 4.12.

Luego, se continuó con las simulaciones a nivel esquemático teniéndose en cuenta las mismas consideraciones de las celdas anteriores. Las dimensiones obtenidas se pueden observar en la Tabla 4.30.

		Anchos (μm)						Longitudes (μm)						
Opciones	M1	M2	M3	M4	M5	M6	M7	M1	M2	M3	M4	M5	M6	M7
Opción 1	5	10	5	5	5	5	50	5	5	5	8	5	5	5
Opción 2	5	10	5	5	5	5	50	30	5	10	15	5	5	5
Opción 3	5	10	5	5	5	5	50	30	5	25	14	15	15	5

Tabla 4.30: Parámetros de las compuertas TRI-STATE NOT, nivel esquemático.

Las métricas obtenidas de las simulaciones con estas dimensiones a nivel esquemático se pueden observar en la Tabla 4.31.

Luego se hicieron las simulaciones a nivel layout para observar la influencia de los parásitos. Los resultados se pueden apreciar en la Tabla 4.32. Nuevamente se omitieron las simulaciones de márgenes de ruido, debido a que no son afectados por los parásitos.

Como se puede observar en los resultados de la Tabla 4.32, existe una diferencia

Opciones	NM_L	NM_H	Potencia (μW)	T_s (ns)	T_b (ns)
Opción 1	24 %	21 %	904	2.6	2.5
Opción 2	23 %	47 %	240	6.1	5.8
Opción 3	26 %	27 %	142	5.5	5.3

Tabla 4.31: Métricas de las compuertas TRI-STATE NOT, nivel esquemático.

Opciones	Potencia (μW)	T_s (ns)	T_b (ns)
Opción 1	369	57	53
Opción 2	109	133	104
Opción 3	47	162	95

Tabla 4.32: Métricas de las compuertas TRI-STATE NOT, nivel layout.

considerable entre los tiempos de subida y de bajada en las opciones 2 y 3; por lo cual, fue necesario hacer un ajuste de las dimensiones. Luego del redimensionamiento, las dimensiones finales obtenidas se pueden ver en la [Tabla 4.33](#).

Opciones	Anchos (μm)							Longitudes (μm)						
	M1	M2	M3	M4	M5	M6	M7	M1	M2	M3	M4	M5	M6	M7
Opción 1	5	10	5	5	5	5	50	5	5	5	8	5	5	5
Opción 2	5	10	5	5	5	5	50	30	5	10	19	5	5	5
Opción 3	5	10	5	5	5	5	50	30	5	25	23	15	15	5

Tabla 4.33: Parámetros finales de las compuertas TRI-STATE NOT redimensionadas, nivel layout.

Finalmente, se muestran las métricas obtenidas con estas dimensiones finales de los transistores en la [Tabla 4.34](#).

Opciones	NM_L	NM_H	Potencia (μW)	T_s (ns)	T_b (ns)	Área (mm^2)
Opción 1	24 %	21 %	369	57	52	0.11
Opción 2	23 %	46 %	97	132	132	0.12
Opción 3	25 %	27 %	32	163	162	0.12

Tabla 4.34: Métricas de las compuertas TRI-STATE NOT redimensionadas, nivel layout.

Es importante mencionar que no se evaluó el caso cuando la entrada de habilitación de la compuerta TRI-STATE NOT esté desactivada, ya que como la salida permanece invariante,

no hay métricas transientes a evaluar y tampoco márgenes de ruido. Con respecto a la potencia, debido a que el consumo es mayormente estático el resultado será prácticamente el mismo.

Como se muestra en la [Tabla 4.34](#), en las 3 opciones el margen de ruido es de al menos el 20 %, la potencia va decayendo de la opción 1 a la opción 3, al contrario de las métricas transientes, las cuales van aumentando. Por último el área se incrementa ligeramente. Todo ello cumple con lo que se planteó lograr en la [Sección 3.1](#).

4.2.5. Flip-Flop D

Para el flip-flop D, se utilizó un diseño con compuertas NOT y TRI-STATES NOT. El diseño esquemático se puede observar en la [Fig. 4.13](#).

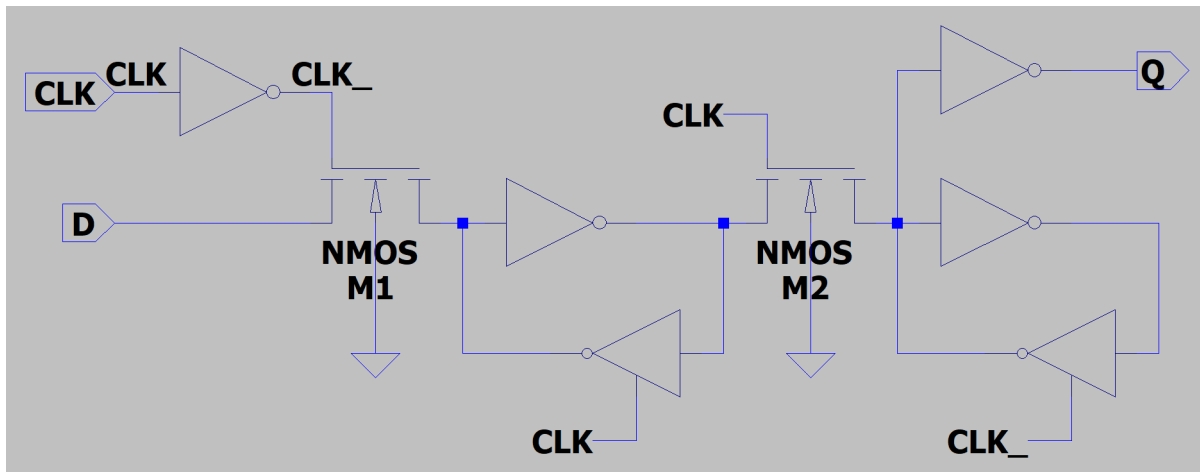


Figura 4.13: Diseño esquemático del flip-flop tipo D Pseudo-CMOS RPDT en LTspice.

Ya que el diseño se hizo con las compuertas NOT y TRI-STATES NOT realizados previamente, se puede garantizar unos márgenes de ruido superiores al 20 %; por lo tanto, no será necesario realizar estas simulaciones. Los resultados de las simulaciones transientes y de potencia, así como el área del diseño se pueden observar en la [Tabla 4.35](#)

Opciones	Potencia (mW)	T_s (ns)	T_b (ns)	Área (mm^2)
Opción 1	2.5	41	41	0.66

Tabla 4.35: Métricas del flip-flop tipo D, nivel layout.

Como se puede observar en la tabla, gracias a tener tiempos de subida y bajada similares en las compuertas utilizadas, el flip-flop tipo D que se hizo usando esas compuertas, también tiene transientes similares.

Capítulo 5

Resultados y casos de aplicación

5.1. Celdas estándar

En esta sección se mostrarán los diseños layout finales de cada una de las celdas, así como sus señales de respuesta a las simulaciones transientes. Los resultados se obtuvieron utilizando un netlist creado con la extracción de parásitos en el software Electric, y los transientes de la simulación se realizaron en el software Spectre. Se utilizó los archivos de diseño del CIDESI para estos procesos. Debido a que llevar a la fabricación estos diseños es demasiado costoso y muy demorado, los resultados experimentales quedaron como trabajo a futuro.

Para las simulaciones realizadas se tomó en cuenta los siguientes valores de fuente de alimentación: Fuente VSS = 4.1 V y fuente VDD = 1.8 V. Los valores de las dimensiones de los transistores para cada celda fueron las dimensiones finales obtenidas en la [Sección 4.2](#).

5.1.1. Compuerta NOT

El diseño layout de la primera opción ya se mostró en la [Sección 3.2](#); por lo tanto, solo se mostrará su simulación transiente. En la [Fig. 5.1](#) se muestra el comportamiento de sus señales de entrada y de salida. Se observa que cuando la señal de entrada es '1' lógico, la salida toma el valor lógico '0', y cuando la entrada pasa a ser '0' lógico, la salida toma el valor lógico '1', obteniéndose un buen comportamiento en la compuerta NOT. La frecuencia de la señal de entrada fue de 1 MHz. Las dimensiones de los transistores usados para las 3 opciones de esta compuerta se pueden observar en la [Tabla 4.4](#).

A continuación se muestra el diseño layout de la segunda opción en la [Fig. 5.2](#), nuevamente se vuelve a mostrar una leyenda en esta imagen, la cuál es válida también para los demás layout. La respectiva respuesta transiente se observa en la [Fig. 5.3](#), nuevamente se observa un adecuado funcionamiento de la compuerta NOT, como lo descrito en el caso anterior. La frecuencia de trabajo fue de 1 MHz.

Finalmente, se muestra el diseño layout de la tercera opción en la [Fig. 5.5](#) con su respectiva

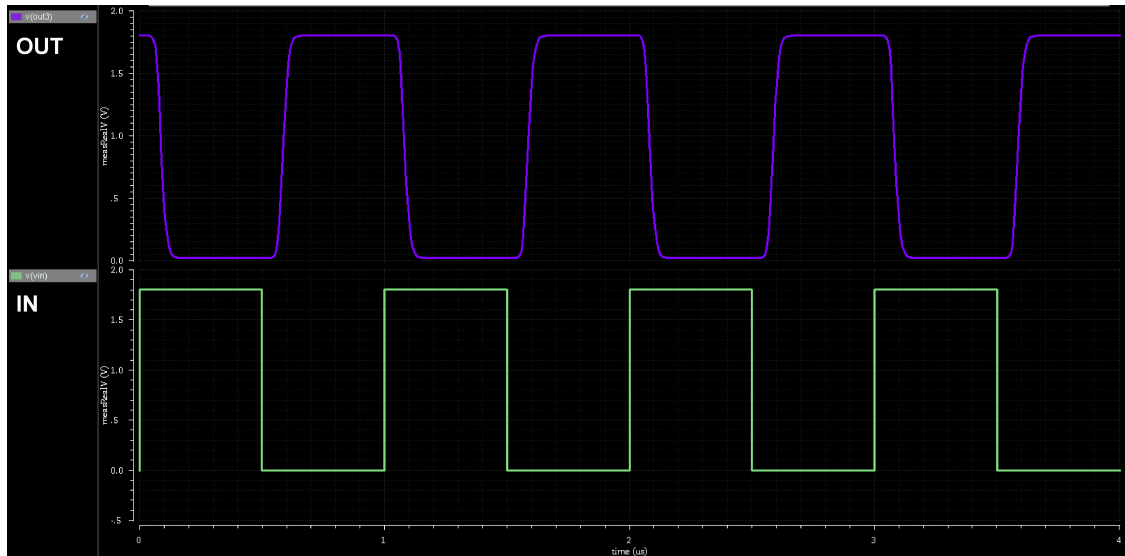


Figura 5.1: Respuesta transiente de la compuerta NOT, opción 1.

respuesta transiente en la Fig. 5.4, nuevamente se observa un adecuado funcionamiento de la compuerta NOT, como lo descrito en el caso anterior. La frecuencia de trabajo fue de 500 kHz.

5.1.2. Compuerta NAND

El diseño layout de la primera opción ya se mostró en la Sección 3.2; por lo tanto, solo se mostrará su simulación transiente. En la Fig. 5.6 se muestra el comportamiento de sus señales de entrada y de salida; como se observa, la salida toma el valor lógico bajo sólo cuando ambas señales de entrada están en nivel alto, en los demás casos la salida se mantiene a nivel alto, lo cual demuestra un adecuado comportamiento de la compuerta NAND. Luego se muestra el diseño layout de la segunda opción en la Fig. 5.8 y su respectiva respuesta transiente en la Fig. 5.7, con un comportamiento similar al anterior. La frecuencia de trabajo de ambas opciones fue de 1 MHz. Las dimensiones de los transistores usados para las 3 opciones de esta compuerta se pueden observar en la Tabla 4.13 y la Tabla 4.14.

Finalmente, se muestra el diseño layout de la tercera opción en la Fig. 5.9 con su respectiva respuesta transiente en la Fig. 5.10, nuevamente se observa un adecuado comportamiento como lo descrito anteriormente. La frecuencia usada en esta simulación fue de 500 kHz.

5.1.3. Compuerta NOR

El diseño layout de la primera opción ya se mostró en la Sección 3.2; por lo tanto, solo se mostrará su simulación transiente. En la Fig. 5.11 se muestra el comportamiento

de sus señales de entrada y de salida. Como se observa en la imagen, la salida se mantiene a nivel bajo siempre, excepto cuando las 2 entradas están a nivel bajo, poniéndose nivel alto, comprobándose así el buen funcionamiento de la compuerta. La frecuencia de trabajo usada fue de 1 MHz. Las dimensiones de los transistores usados para las 3 opciones de esta compuerta se pueden observar en la [Tabla 4.25](#) y la [Tabla 4.26](#).

A continuación se muestra el diseño layout de la segunda opción en la [Fig. 5.12](#) y su respectiva respuesta transiente en la [Fig. 5.13](#), nuevamente se observa un adecuado comportamiento en la compuerta como lo descrito anteriormente. La frecuencia usada en esta simulación fue de 1 MHz.

Finalmente, se muestra el diseño layout de la tercera opción en la [Fig. 5.15](#) con su respectiva respuesta transiente en la [Fig. 5.14](#), el comportamiento en la compuerta fue correcto como lo descrito anteriormente. La frecuencia usada en esta simulación fue de 500 kHz.

5.1.4. Compuerta TRI-STATE NOT

El diseño layout de la primera opción se muestra en la [Fig. 5.17](#) junto con su respectiva respuesta transiente en la [Fig. 5.16](#). Para este último, para probar el funcionamiento del TRI-STATE NOT, se puso en la salida una carga de $4\text{ M}\Omega$ conectada a tierra. La frecuencia usada en esta simulación fue de 100 kHz. Como se puede observar en la imagen de la simulación, cuando la entrada de habilitación (EN) está activa, la salida es inversa a la entrada IN, cuando la entrada EN está a nivel bajo, la salida queda en alta impedancia y toma el valor proporcionado por la resistencia de carga. De esta manera se comprueba el buen comportamiento de la compuerta TRI-STATE NOT. Las dimensiones de los transistores usados para las 3 opciones de esta compuerta se pueden observar en la [Tabla 4.33](#).

A continuación se muestra el diseño layout de la segunda opción en la [Fig. 5.18](#) y su respectiva respuesta transiente en la [Fig. 5.19](#). Nuevamente se observa un adecuado comportamiento en la compuerta como lo descrito anteriormente. La frecuencia usada en esta simulación fue de 100 kHz.

Finalmente, se muestra el diseño layout de la tercera opción en la [Fig. 5.21](#) con su respectiva respuesta transiente en la [Fig. 5.20](#). Nuevamente se observa un adecuado comportamiento en la compuerta como lo descrito anteriormente. La frecuencia usada en esta simulación fue de 100 kHz.

5.1.5. Flip-flop D

El diseño layout del único flip-flop tipo D realizado se muestra en la [Fig. 5.23](#) y su respectiva respuesta transiente en la [Fig. 5.22](#). Para este diseño, se reutilizó las compuertas NOT y TRI-STATE NOT, ambas en su opción 1. La frecuencia de reloj usada fue de 2.5 MHz. Como se puede observar en la imagen transiente, la salida toma el valor de la entrada D, sólo

después de que ocurre un flanco de subida en el reloj (CLK), de esta manera se comprueba un buen funcionamiento del flip-flop tipo D.

5.2. Casos de aplicación

5.2.1. Multiplexor 2 a 1

El diseño esquemático que se usó para este multiplexor de 2 a 1 se puede observar en la Fig. 5.24, en donde se utilizó compuertas NOT y NAND, en su opción 1.

El diseño layout correspondiente se puede ver en la Fig. 5.25 y su respectiva respuesta transiente en la Fig. 5.26. Como se puede observar en la imagen de la simulación, cuando la entrada selectora (S) está en nivel alto, la salida toma el valor de la entrada A, y cuando la entrada S está a nivel bajo, la salida toma el valor de la entrada B, de esta manera se comprueba un buen funcionamiento del multiplexor 2 a 1. La frecuencia usada fue de 5 MHz.

5.2.2. Decodificador 2 a 4

El diseño esquemático que se usó para este decodificador de 2 a 4 se puede observar en la Fig. 5.27, en donde se utilizó compuertas NOT y NAND, en su opción 1. En este diseño se agregó un buffer (compuesto por 2 compuertas NOT) al final de cada salida del decodificador para evitar transientes en la salida del decodificador a causa del retraso de propagación de las señales de entrada.

El diseño layout correspondiente se puede ver en la Fig. 5.28 y su respectiva respuesta transiente en la Fig. 5.29. Como se puede observar en la imagen de la simulación, las salidas (D0, D1, D2, D3) toman el nivel alto sólo uno a la vez, intercambiándose de acuerdo al estado lógico de las entradas (A0 y A1), de esta manera se comprueba el buen funcionamiento del decodificador 2 a 4. La frecuencia usada fue de 2.5 MHz.

5.2.3. Sumador completo binario

El diseño esquemático que se usó para este sumador completo binario se puede observar en la Fig. 5.30, en donde se utilizó compuertas NAND, en su opción 1.

El diseño layout correspondiente se puede ver en la Fig. 5.31 y su respectiva respuesta transiente en la Fig. 5.32. Como se puede observar en la simulación, las salidas S y COUT (acarreo de salida) toman el valor binario correspondiente a la suma de las 3 entradas (A, B y CIN), los cuáles pueden ser '00', '01', '10' y '11', siendo la salida COUT el bit más significativo. De esta manera se comprueba el buen funcionamiento del sumador completo binario. La frecuencia usada fue de 625 kHz.

5.2.4. Shift register de 4 bits

El diseño esquemático que se usó para este shift register de 4 bits se puede observar en la Fig. 5.33, en donde se utilizó el flip-flop tipo D descrito en la Sección 5.1.5.

El diseño layout correspondiente se puede ver en la Fig. 5.34 y su respectiva respuesta transiente en la Fig. 5.35. En este caso el diseño layout se realizó de forma que se asemejara a un cuadrado para que se vea más compacto, pero también se puede hacer un diseño como una tira larga, poniendo cada flip-flop en fila. Como se puede observar en la imagen de la simulación, la salida Q3 toma el valor de la entrada D, luego de cada flanco de subida en el reloj (CLK); al siguiente flanco, ese valor pasa a la salida Q2, y así sucesivamente, hasta llegar a Q0. De esta manera se comprueba el buen funcionamiento del shift register de 4 bits. La frecuencia usada fue de 1 MHz.

5.2.5. Sumador de números de 4 bits

El diseño esquemático que se usó para este sumador de números de 4 bits se puede observar en la Fig. 5.36, en donde se utilizó el sumador completo binario descrito en la Sección 5.2.3.

El diseño layout correspondiente se puede ver en la Fig. 5.37 y su respectiva respuesta transiente en la Fig. 5.38. Como se puede observar en la imagen de la simulación, las salidas COUT, S3, S2, S1 y S0 toman el valor de la suma de las entradas A3, A2, A1 y A0 (primer número de 4 bits), las entradas B3, B2, B1 y B0 (segundo número de 4 bits) y el bit de entrada CIN (acarreo de entrada). De esta manera se comprueba el buen funcionamiento del sumador de números de 4 bits. La frecuencia usada fue de 625 kHz.

5.2.6. Bloque lógico configurable de un FPGA

Un bloque lógico configurable es el elemento fundamental que compone un FPGA, y permite representar cualquier función lógica que se quiera mostrar. Está compuesto de un look-up table, el cual es básicamente un multiplexor, del cual sus entradas de selección son las entradas del bloque lógico. También, de un shift register, en el cual se va a cargar los datos de salida de la función, y cuyas salidas serán las entradas del multiplexor, la salida del multiplexor se conectará a un flip-flop tipo D y a su vez a la entrada de otro multiplexor de 2 a 1, la otra entrada del multiplexor será conectado a la salida del flip-flop, esto permitirá elegir entre una función lógica secuencial o combinacional [5, 46, 47]. Esta descripción se puede observar en el esquemático de la Fig. 5.39, en este diseño se reutilizó el multiplexor 2 a 1 para formar un multiplexor 4 a 1.

El diseño layout correspondiente se puede ver en la Fig. 5.40 y su respectiva respuesta transiente en la Fig. 5.41. Para la simulación transiente, se cargó primero el dato en el shift register, usando las entradas DATO y CLK_SR y luego se comprobó el dato cargado tanto en el modo secuencial como en el combinacional. Como se puede observar en la imagen, cuando la entrada C_S (selección de modo combinacional o secuencial) está en nivel bajo, la salida

toma uno de los valores previamente cargados, de acuerdo a la selección de las entradas I0 e I1, y cuando la entrada C_S está en nivel alto, la salida espera que ocurra un flanco de subida en la entrada CLK_FF para tomar el valor correspondiente. De esta manera se comprueba el buen funcionamiento del bloque lógico configurable. La frecuencia usada fue de 1 MHz.

Como se puede comprobar no sólo por los resultados de simulación de las compuertas, sino también por las aplicaciones realizadas, las celdas estándar diseñadas funcionan correctamente. Estos diseños de celdas, además de facilitar la construcción de diseños más complejos, pueden también utilizarse con software de enrutamiento, los cuáles ubican y conectan las celdas automáticamente, de acuerdo a lo que calculan es mejor, para ello se necesita los archivos LEF de cada celda, cuya generación no fue cubierta por esta tesis [48].

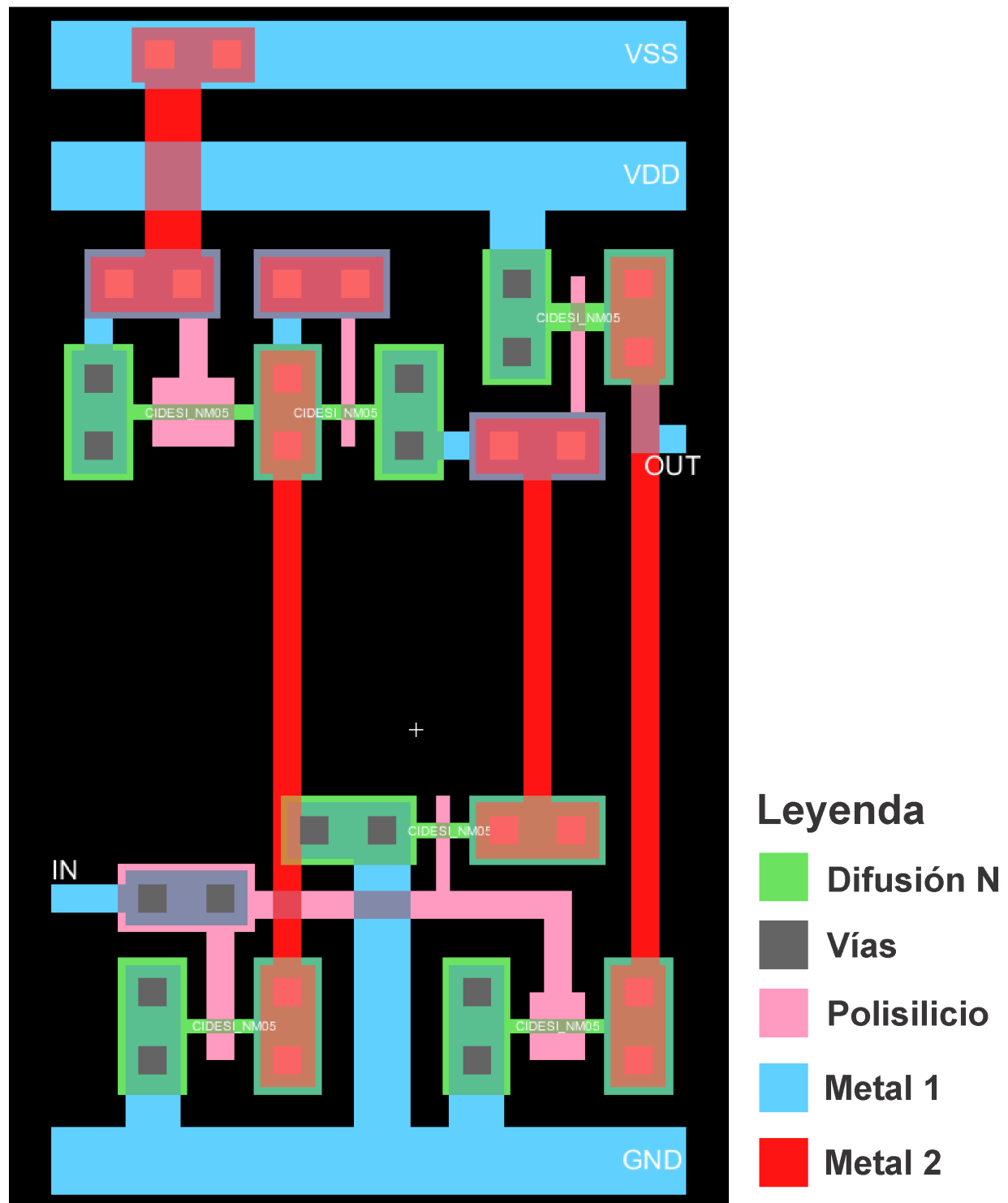


Figura 5.2: Diseño layout de la compuerta NOT, opción 2. Tamaño: 0.24 mm $\times$ 0.44 mm.

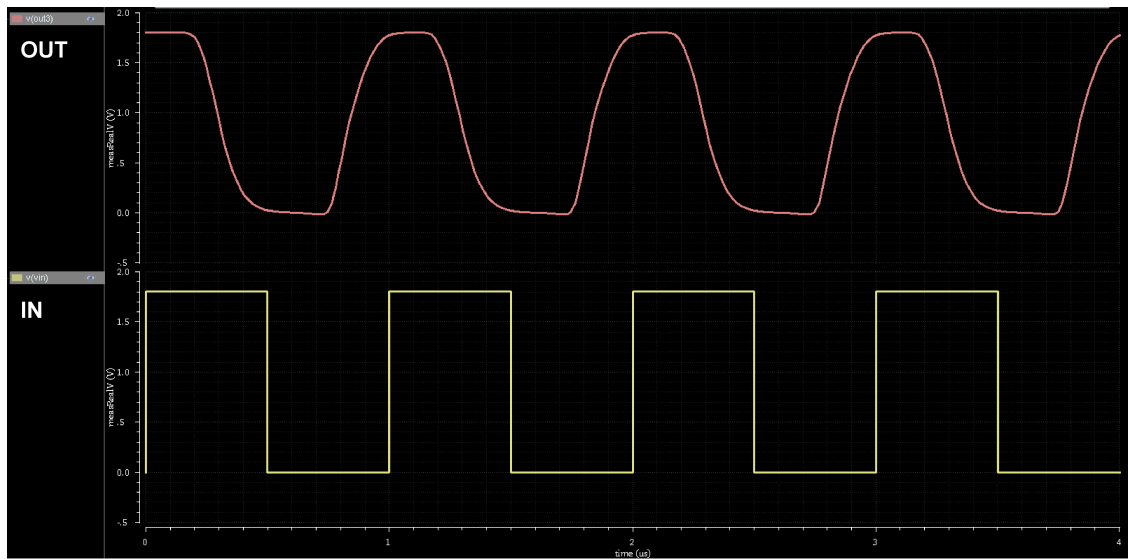


Figura 5.3: Respuesta transiente de la compuerta NOT, opción 2.

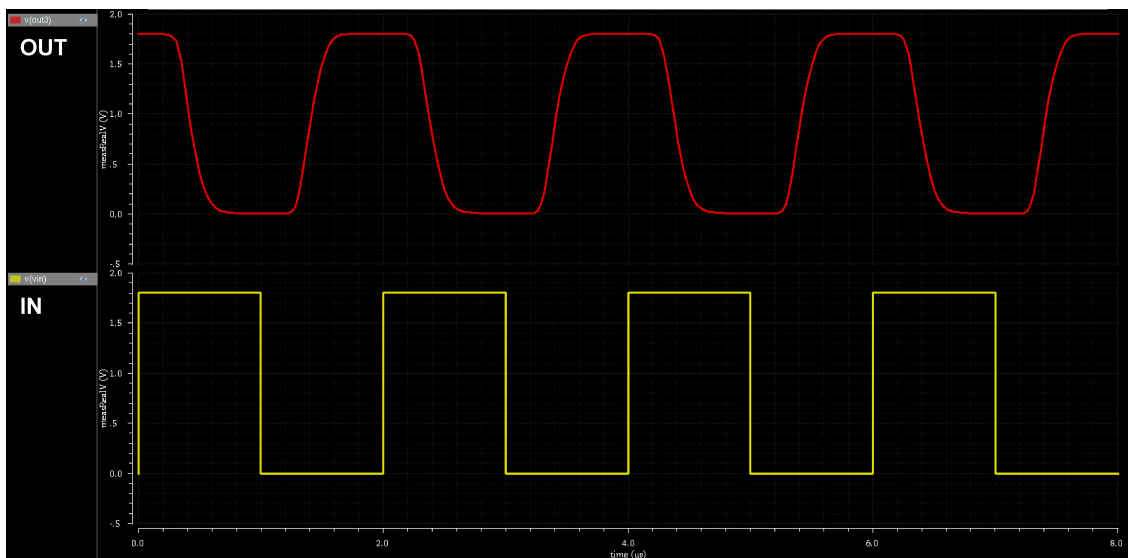


Figura 5.4: Respuesta transiente de la compuerta NOT, opción 3.

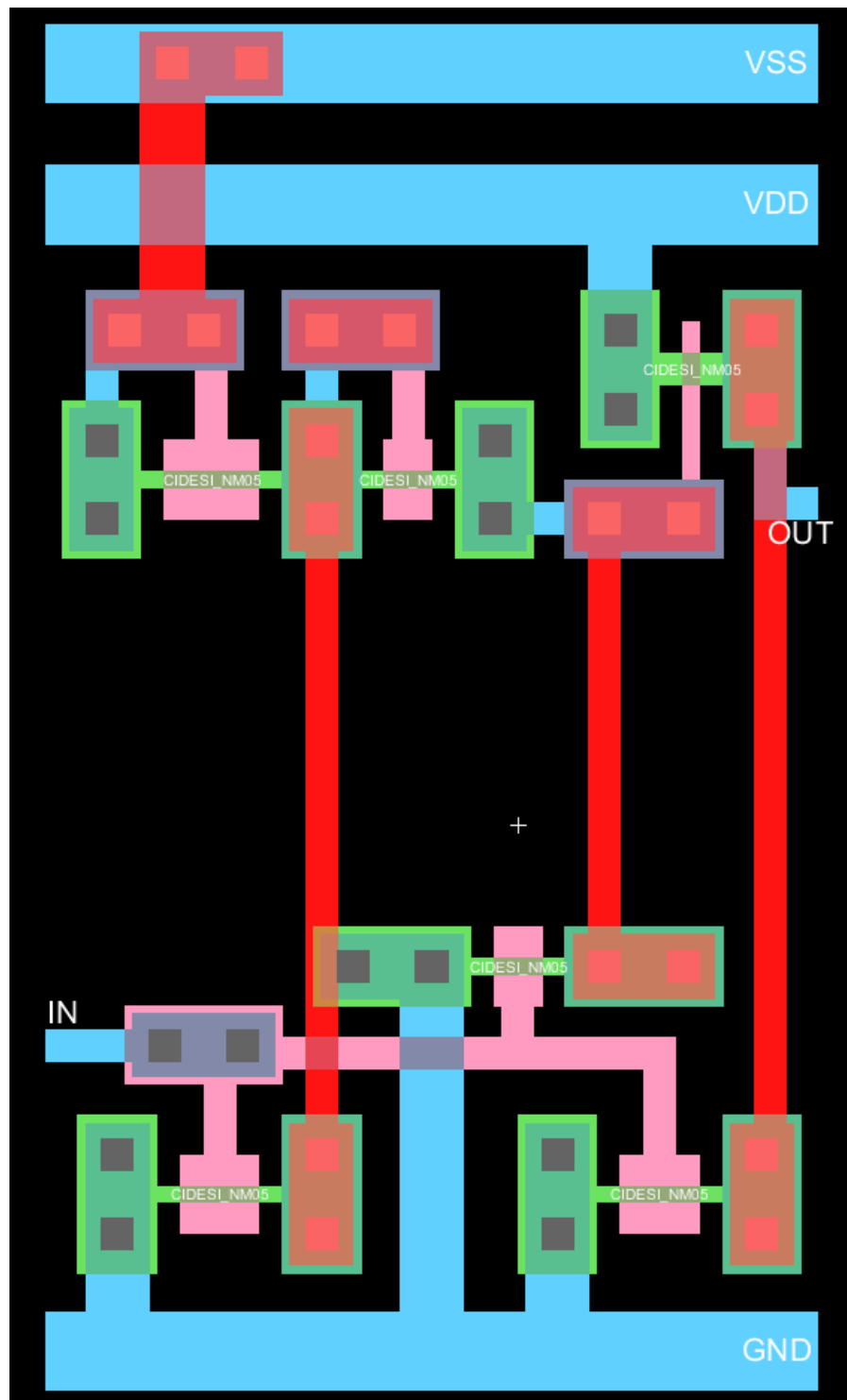


Figura 5.5: Diseño layout de la compuerta NOT, opción 3. Tamaño: 0.25 mm $\times$ 0.44 mm.

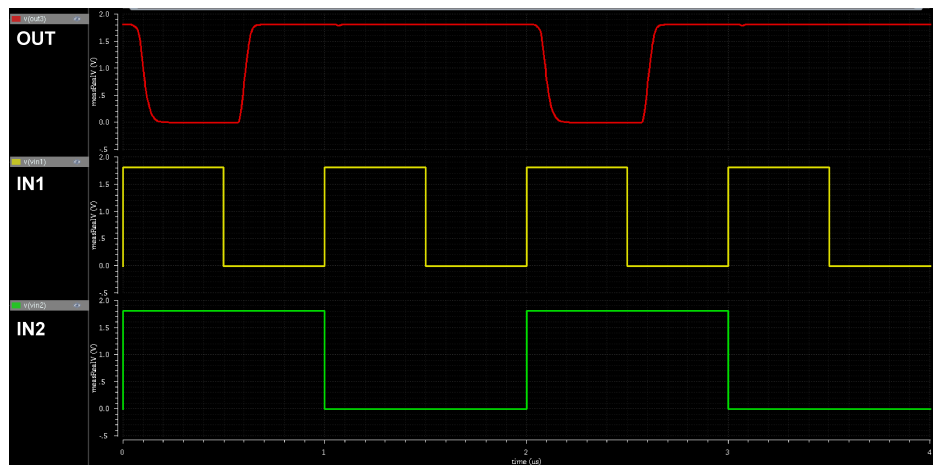


Figura 5.6: Respuesta transiente de la compuerta NAND, opción 1.

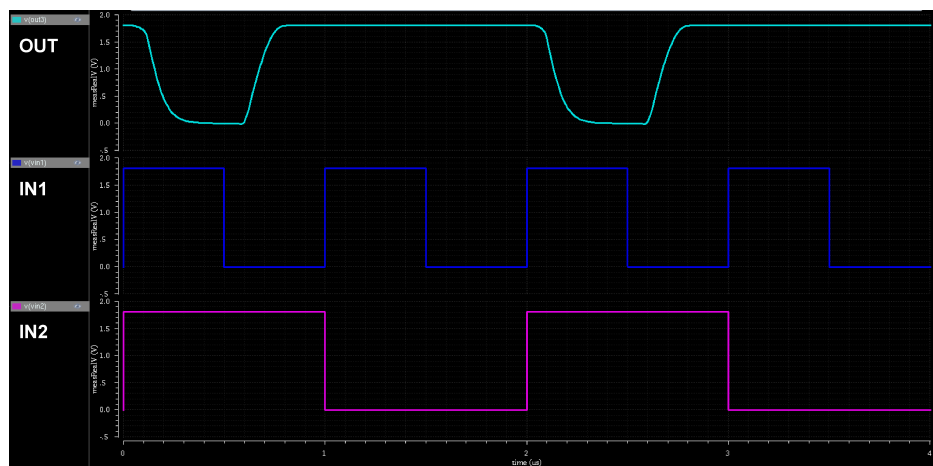


Figura 5.7: Respuesta transiente de la compuerta NAND, opción 2.

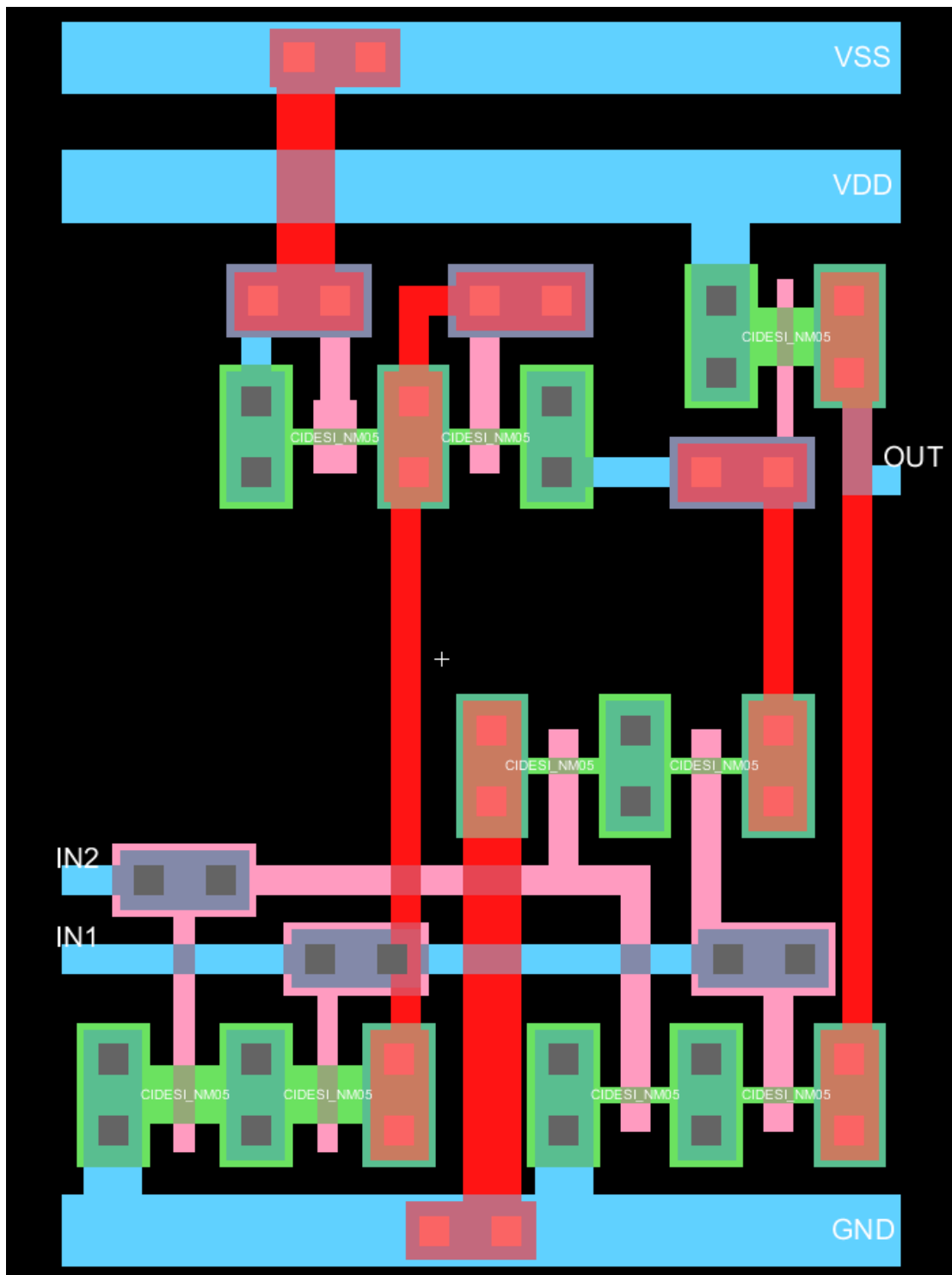


Figura 5.8: Diseño layout de la compuerta NAND, opción 2. Tamaño: 0.29 mm $\times$ 0.44 mm.

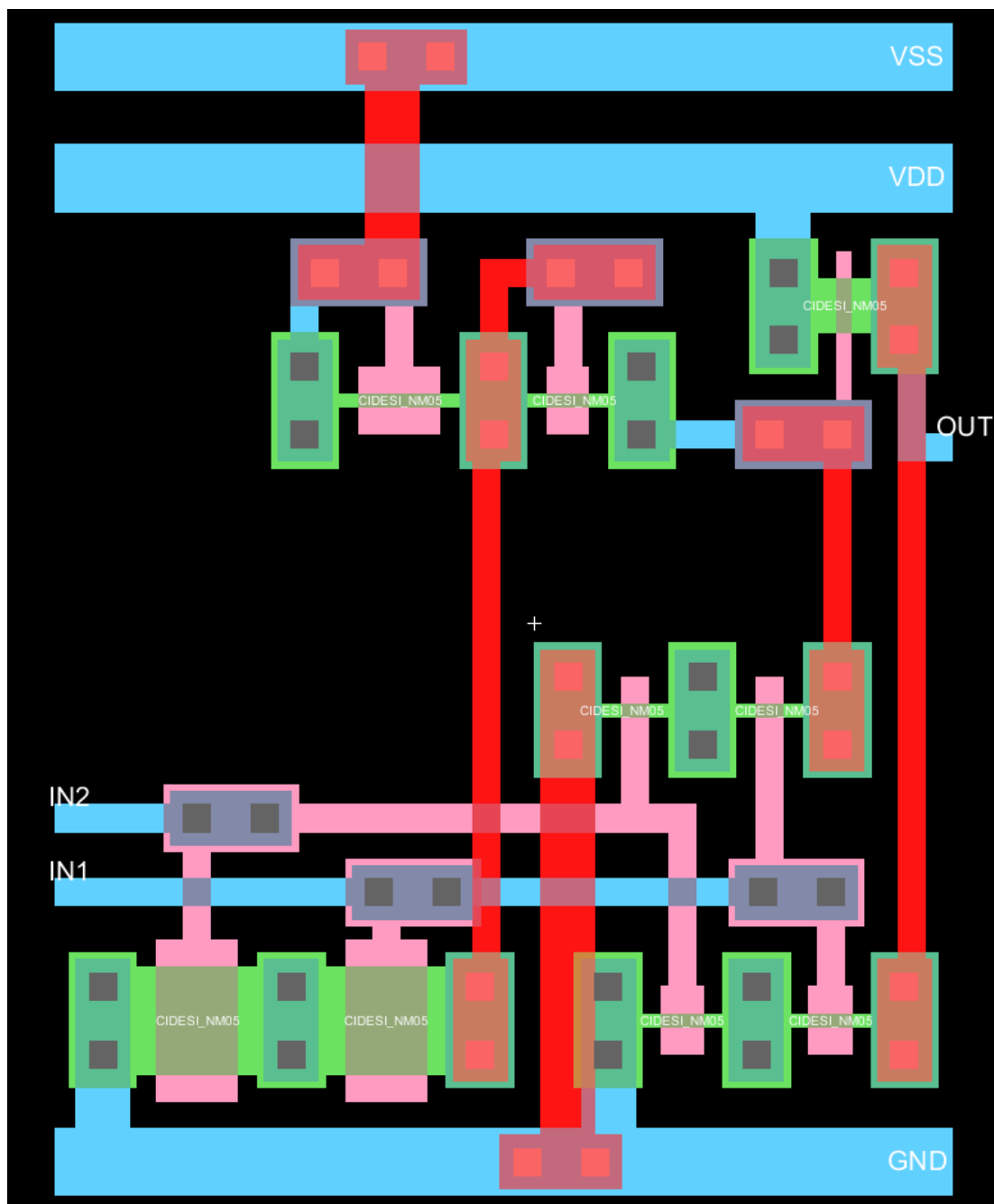


Figura 5.9: Diseño layout de la compuerta NAND, opción 3. Tamaño: 0.33 mm $\times$ 0.44 mm.

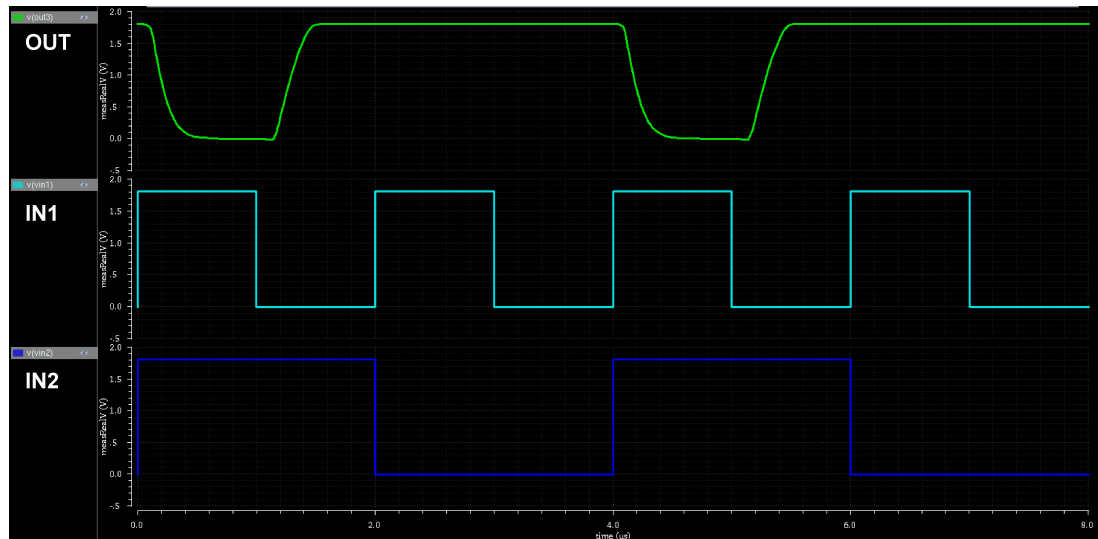


Figura 5.10: Respuesta transiente de la compuerta NAND, opción 3.

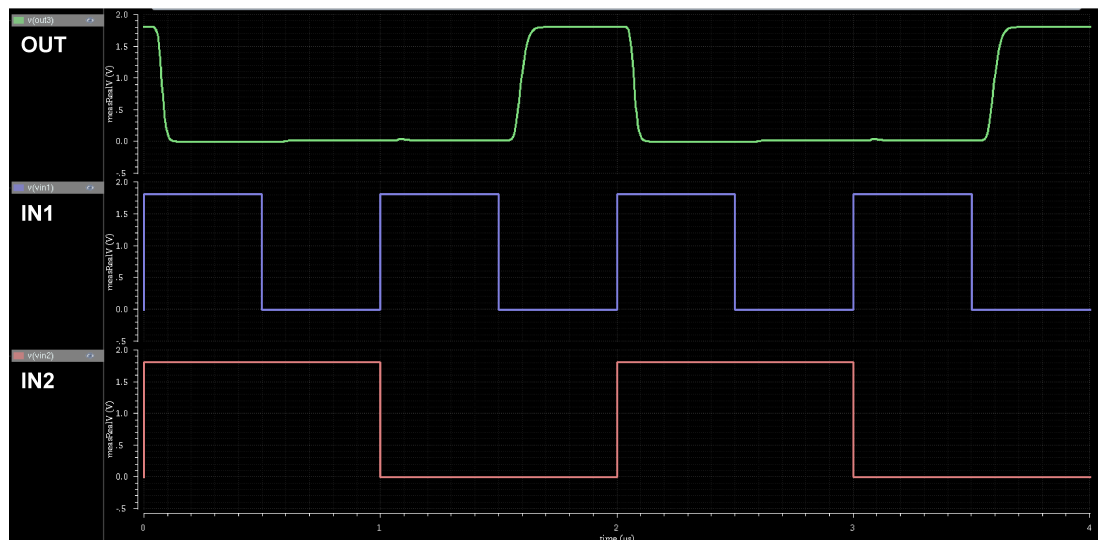


Figura 5.11: Respuesta transiente de la compuerta NOR, opción 1.

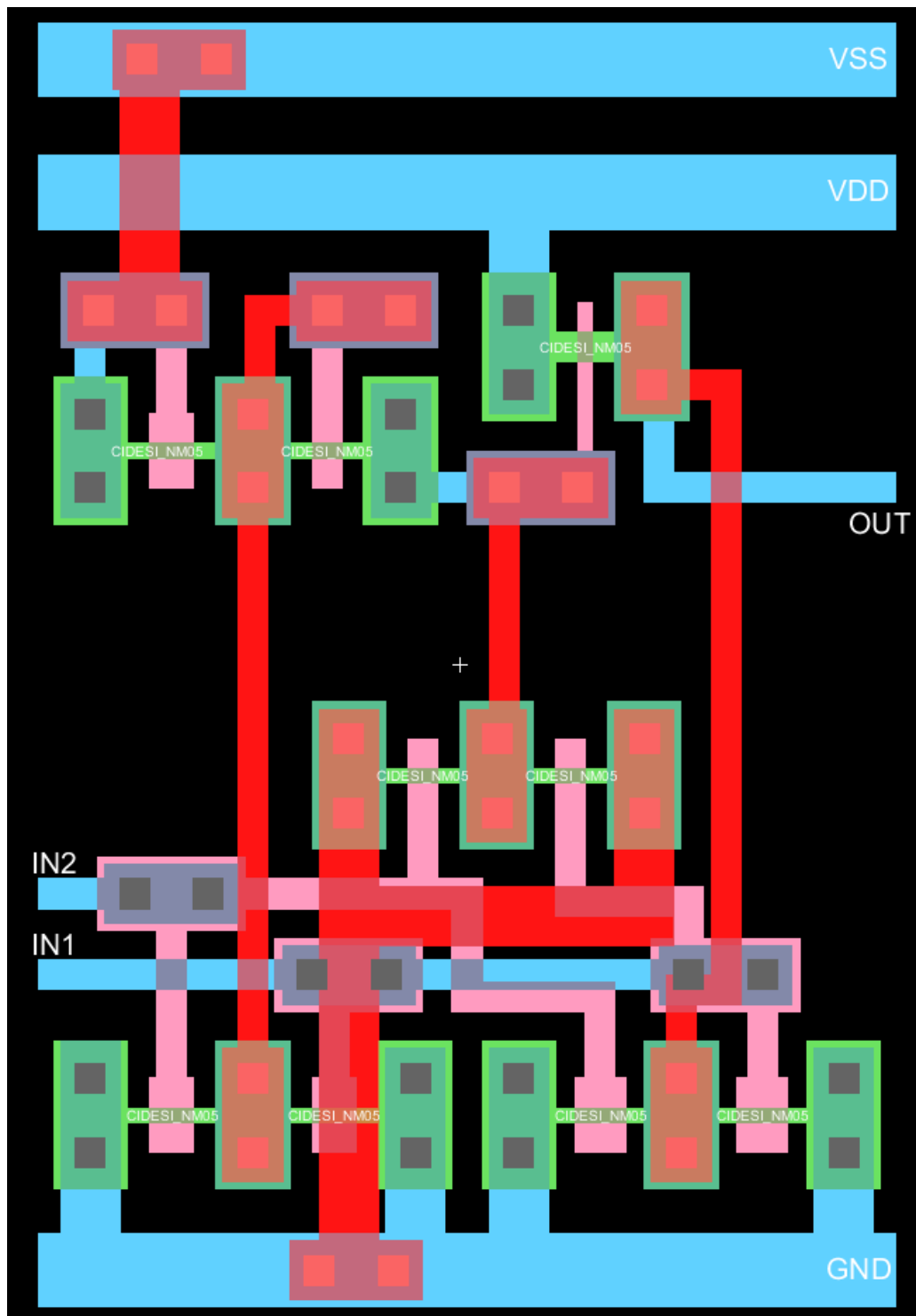


Figura 5.12: Diseño layout de la compuerta NOR, opción 2. Tamaño: 0.29 mm $\times$ 0.44 mm.

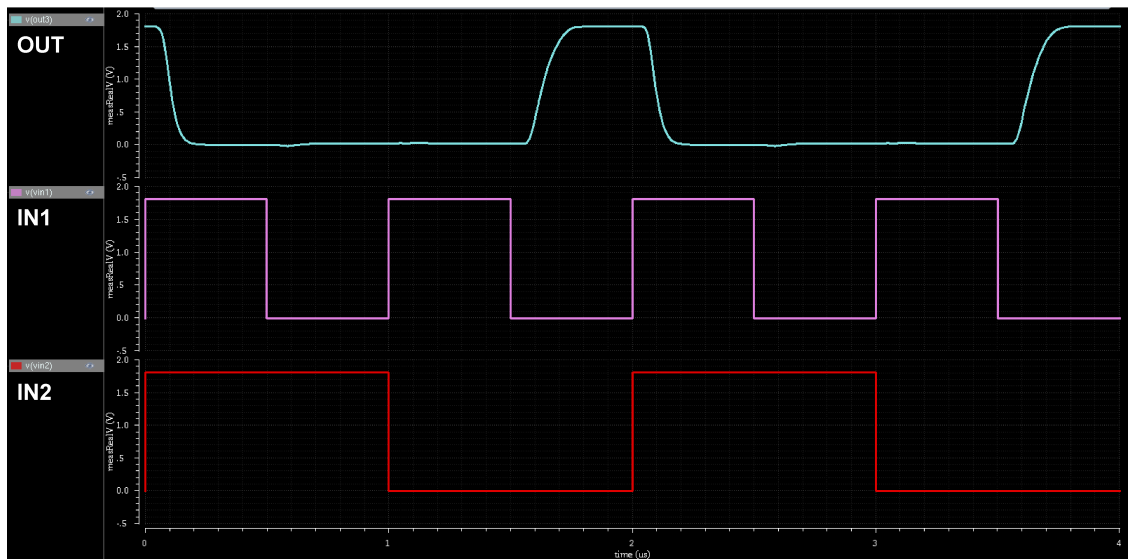


Figura 5.13: Respuesta transiente de la compuerta NOR, opción 2.

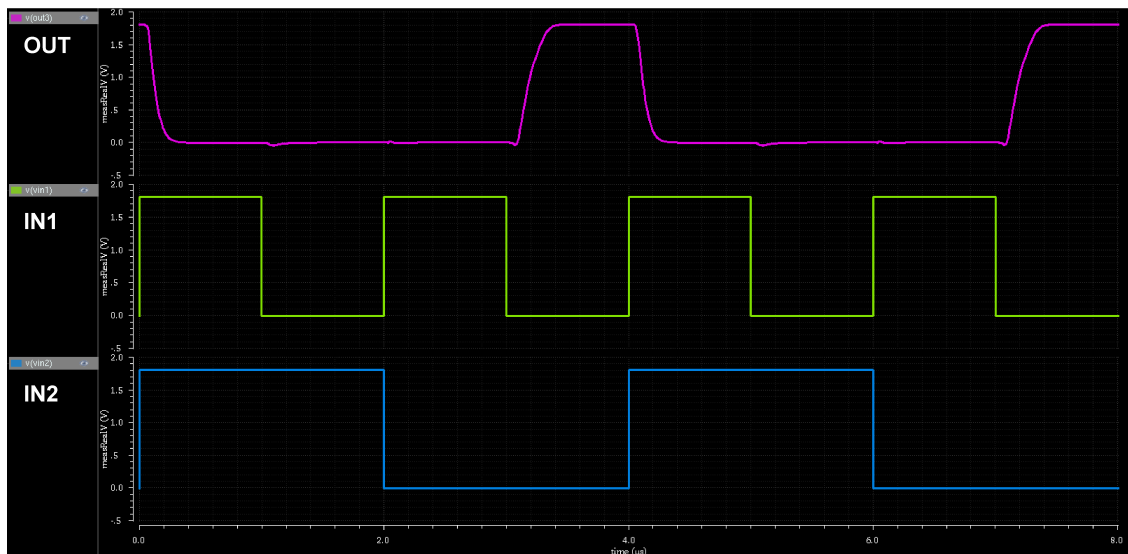


Figura 5.14: Respuesta transiente de la compuerta NOR, opción 3.

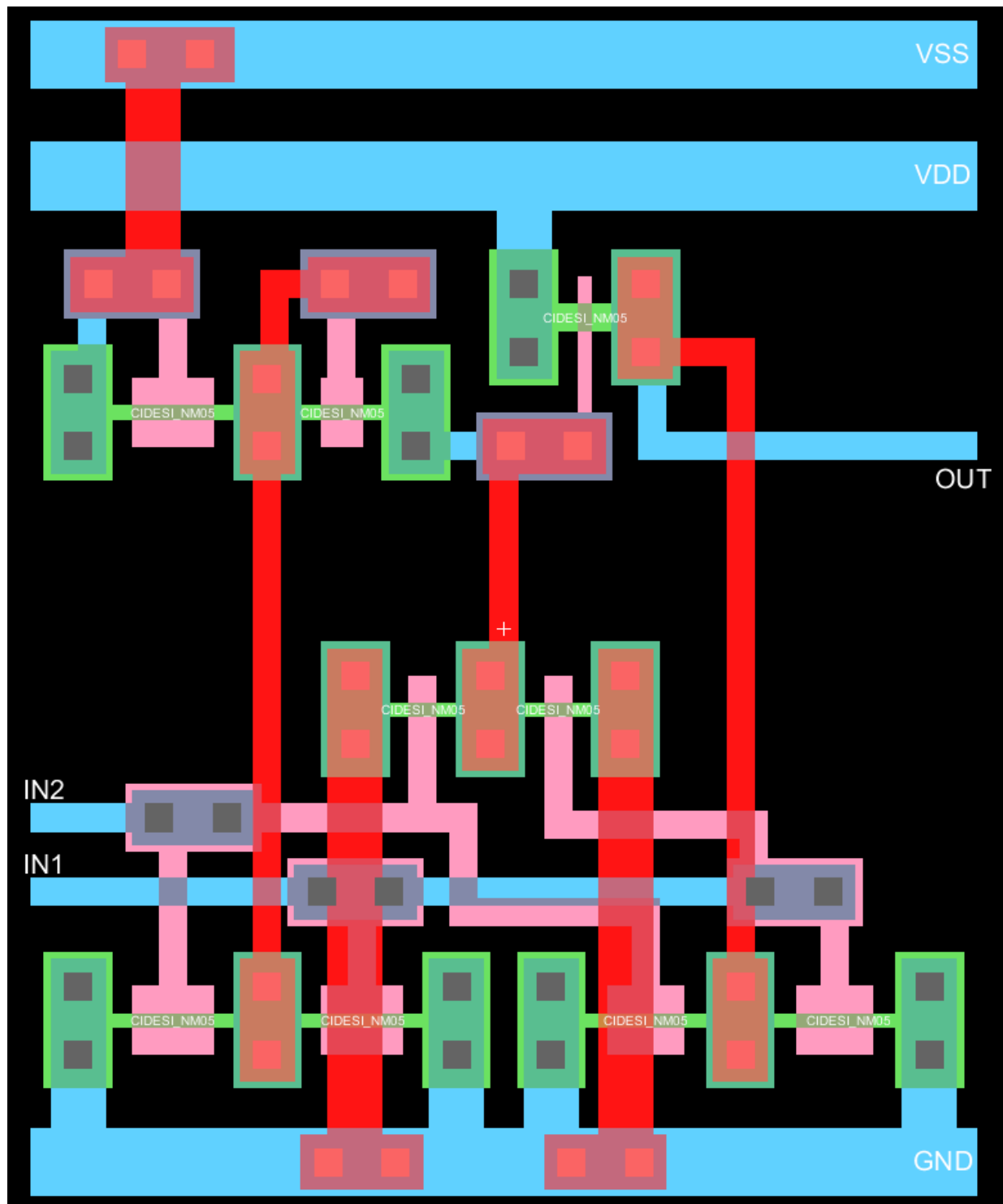


Figura 5.15: Diseño layout de la compuerta NOR, opción 3. Tamaño: 0.35 mm $\times$ 0.44 mm.



Figura 5.16: Respuesta transiente de la compuerta TRI-STATE NOT, opción 1.

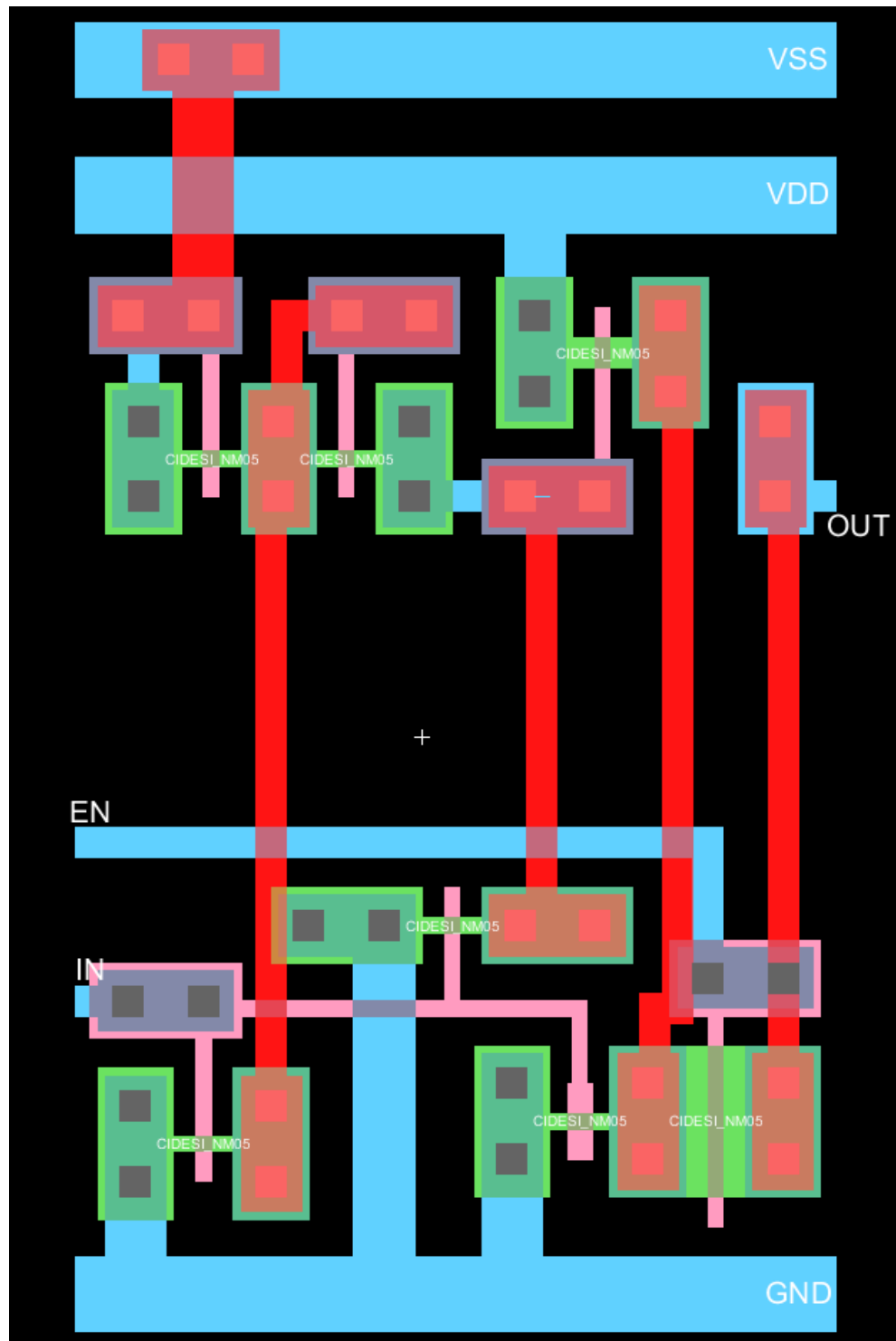


Figura 5.17: Diseño layout de la compuerta TRI-STATE NOT, opción 1. Tamaño: 0.25 mm $\times$ 0.44 mm.

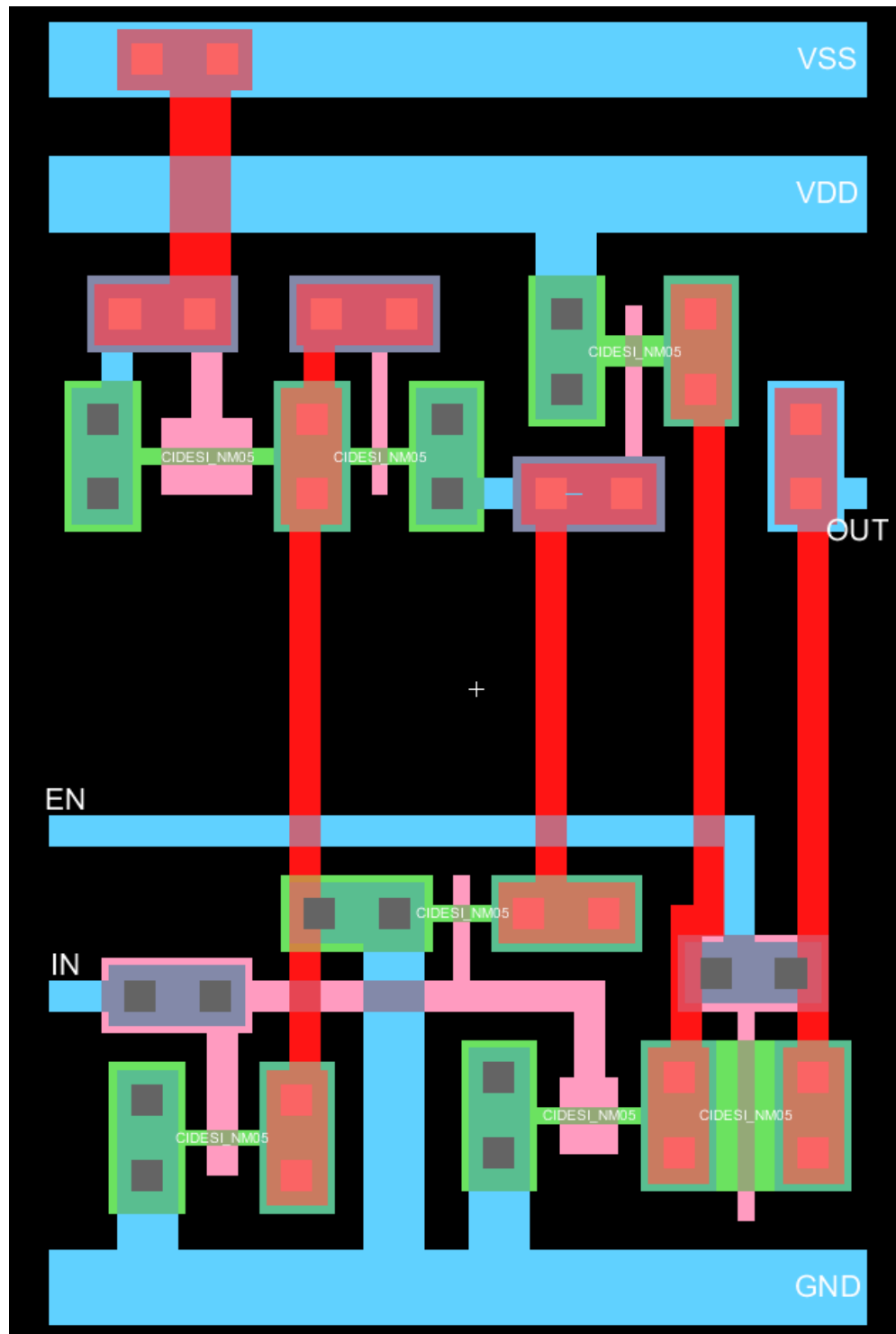


Figura 5.18: Diseño layout de la compuerta TRI-STATE NOT, opción 2. Tamaño: 0.27 mm $\times$ 0.44 mm.

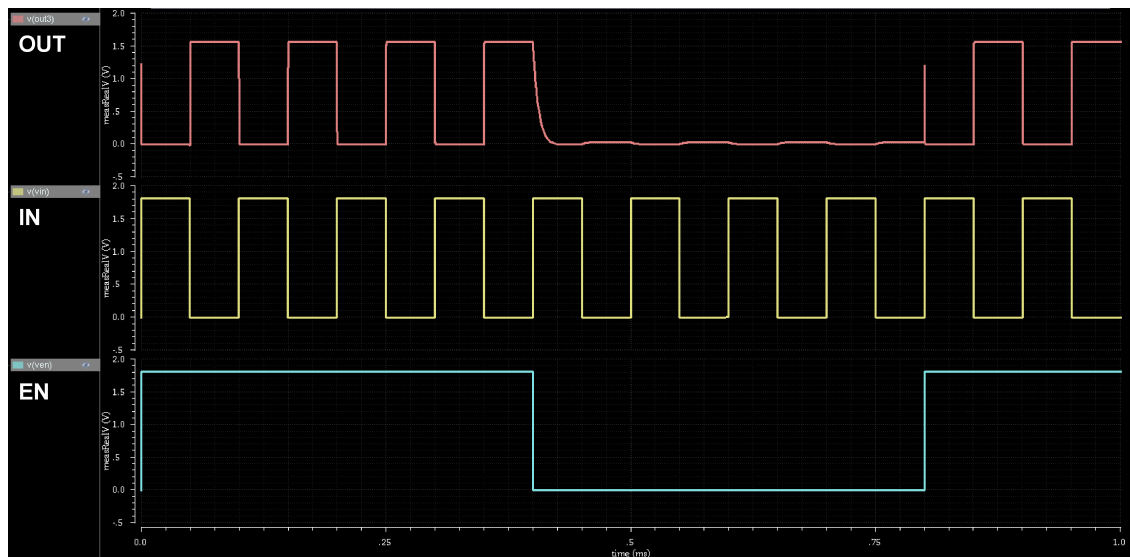


Figura 5.19: Respuesta transiente de la compuerta TRI-STATE NOT, opción 2.

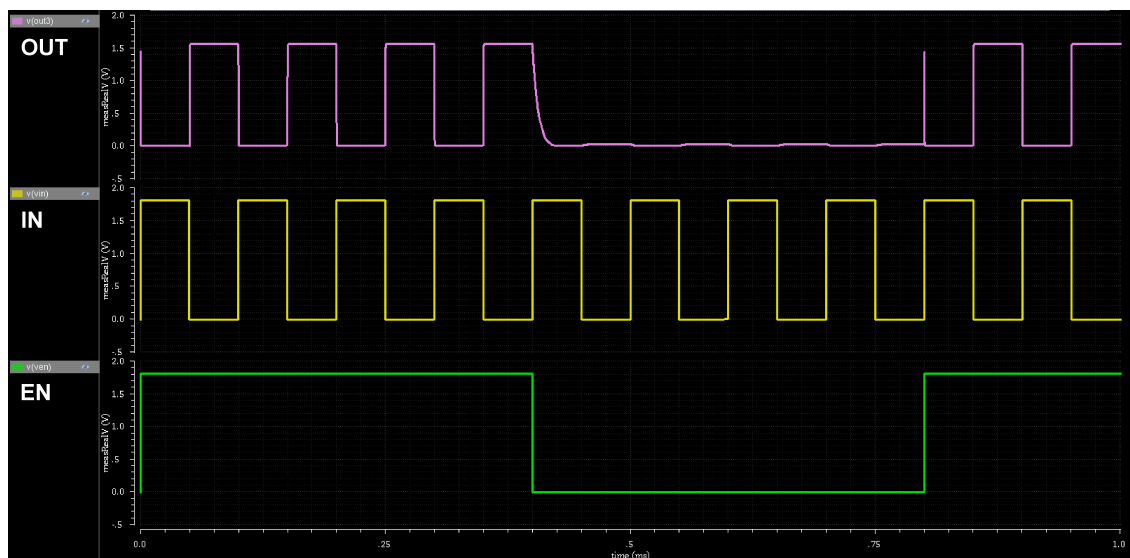


Figura 5.20: Respuesta transiente de la compuerta TRI-STATE NOT, opción 3.

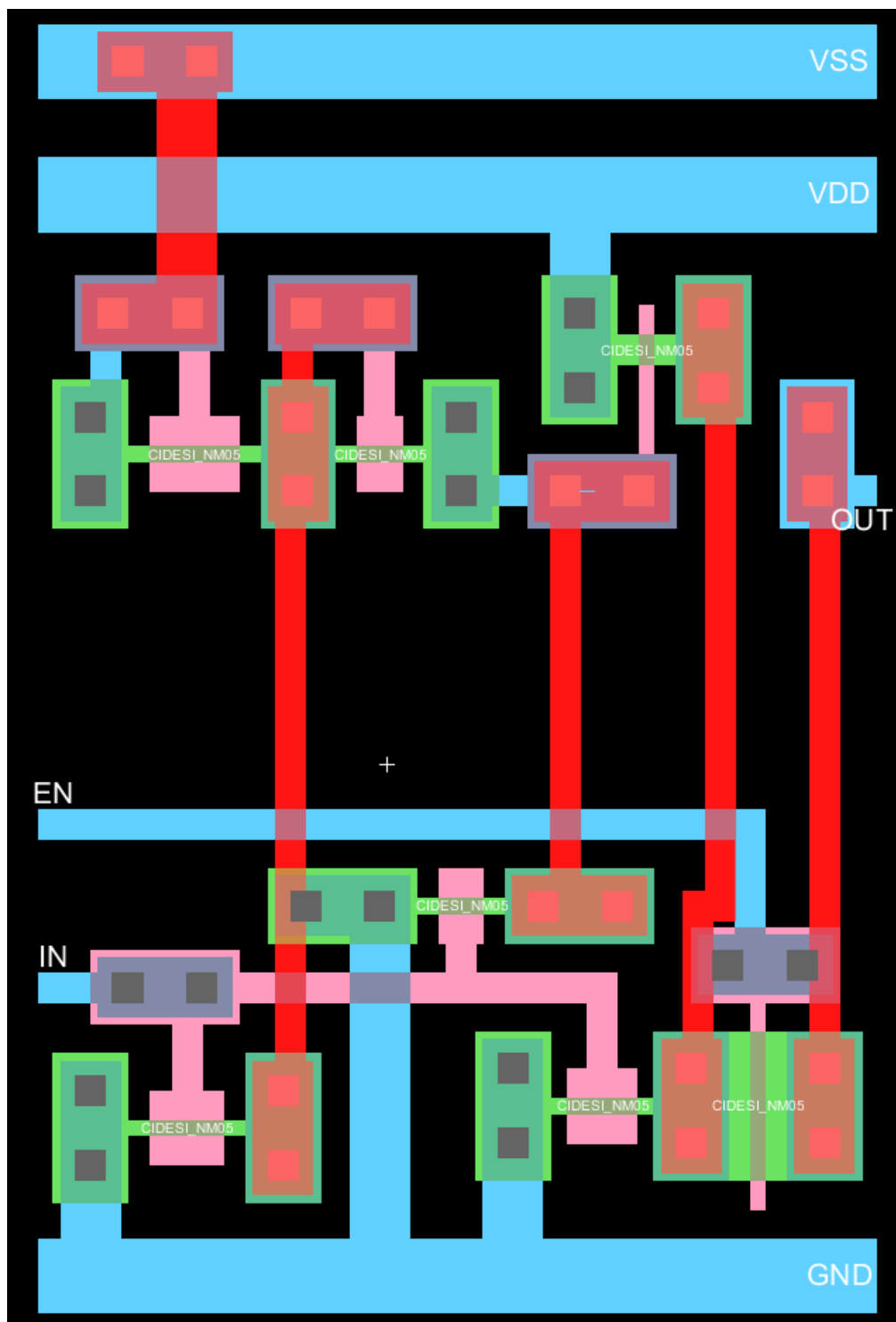


Figura 5.21: Diseño layout de la compuerta TRI-STATE NOT, opción 3. Tamaño: 0.28 mm $\times$ 0.44 mm.

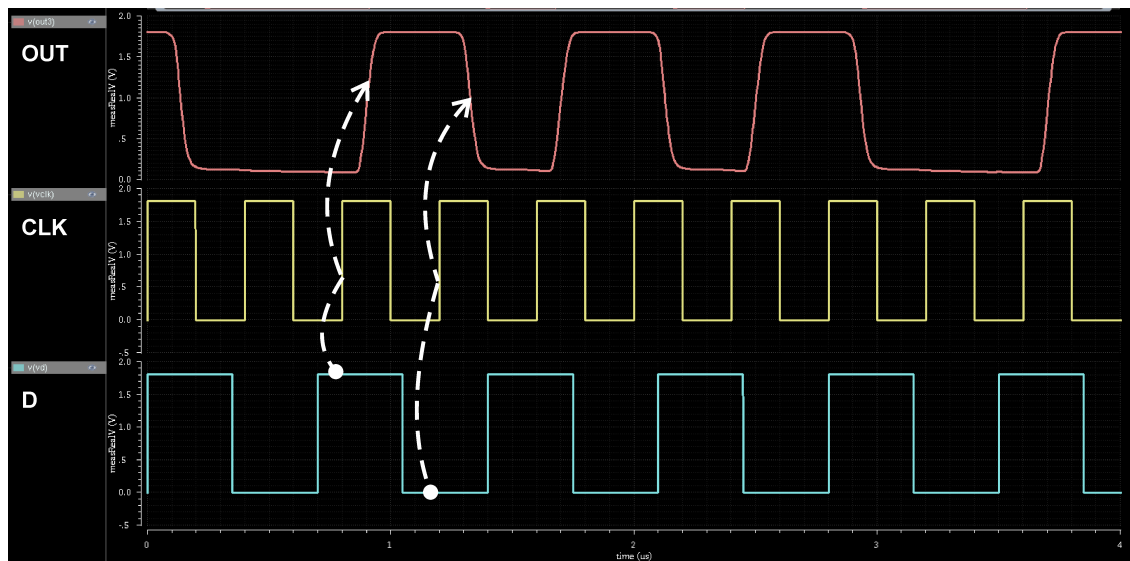


Figura 5.22: Respuesta transiente del flip-flop tipo D.

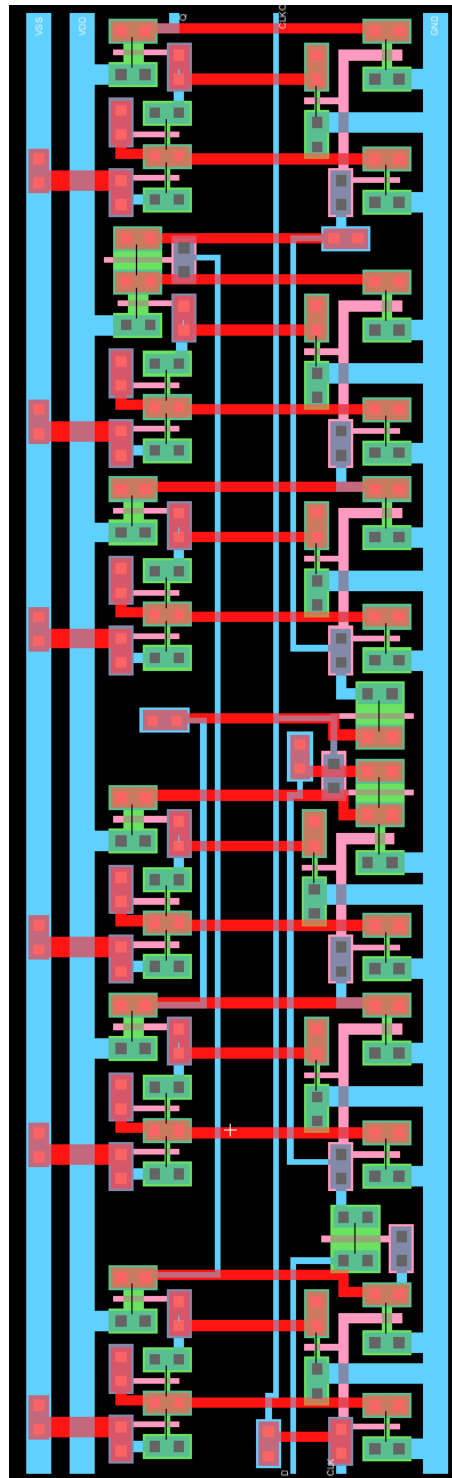


Figura 5.23: Diseño layout del flip-flop tipo D. Tamaño: $1.5 \text{ mm} \times 0.44 \text{ mm}$.

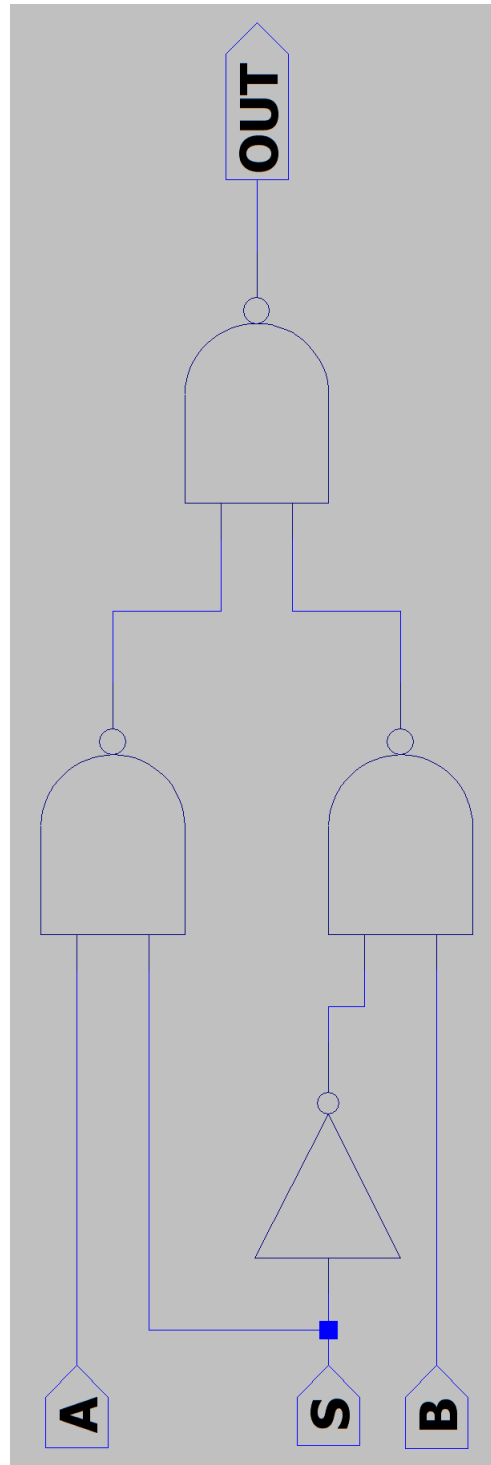


Figura 5.24: Diseño esquemático del multiplexor 2 a 1.

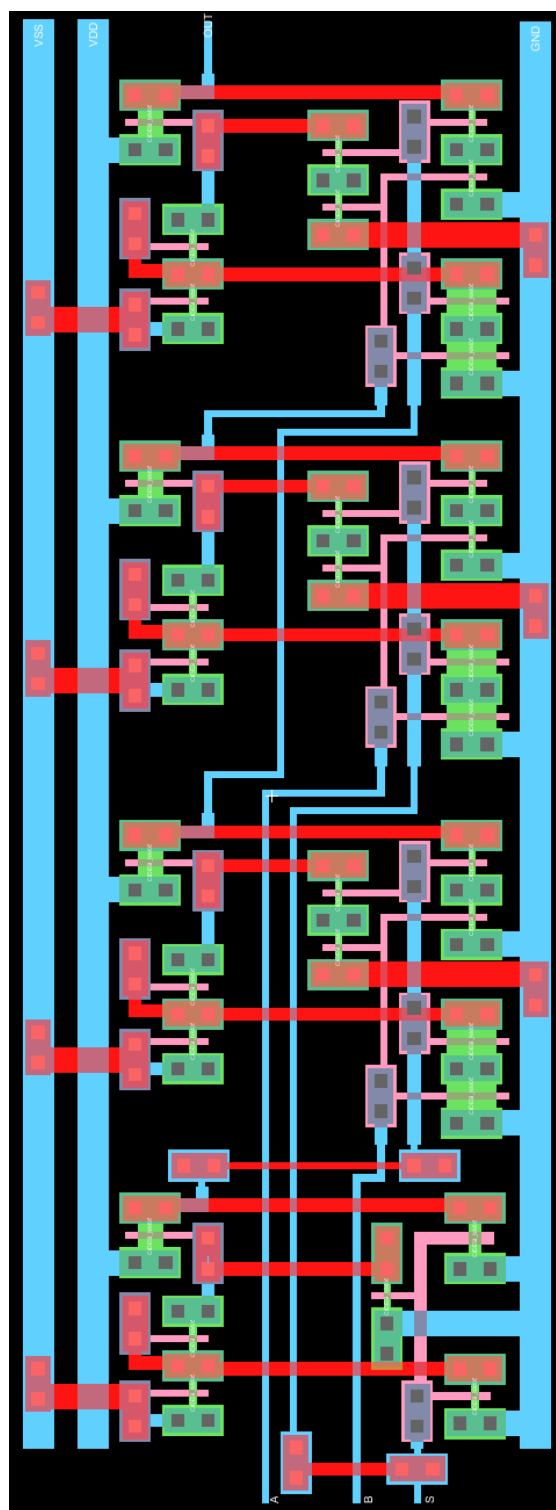


Figura 5.25: Diseño layout del multiplexor 2 a 1. Tamaño: 1.2 mm $\times$ 0.44 mm.

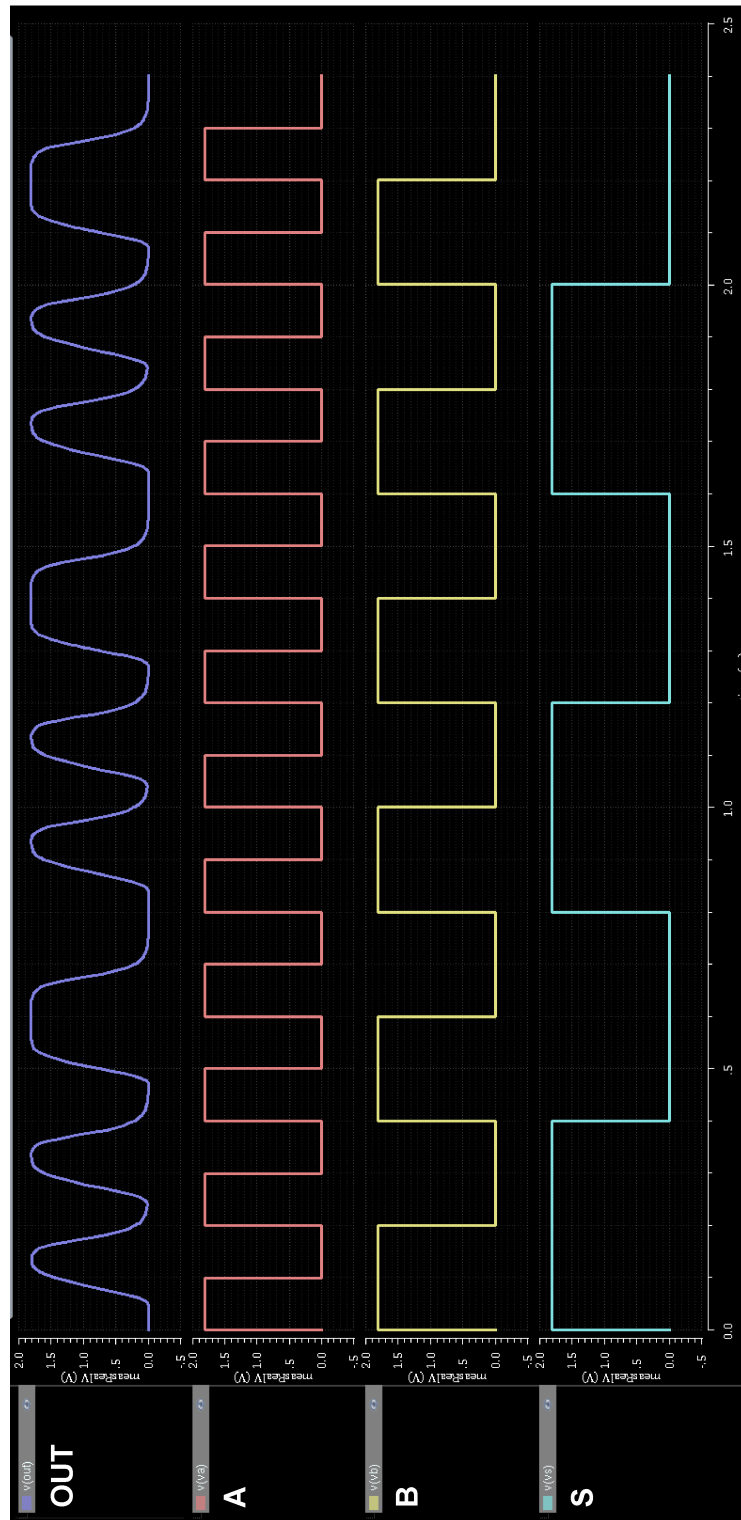


Figura 5.26: Respuesta transiente del multiplexor 2 a 1.

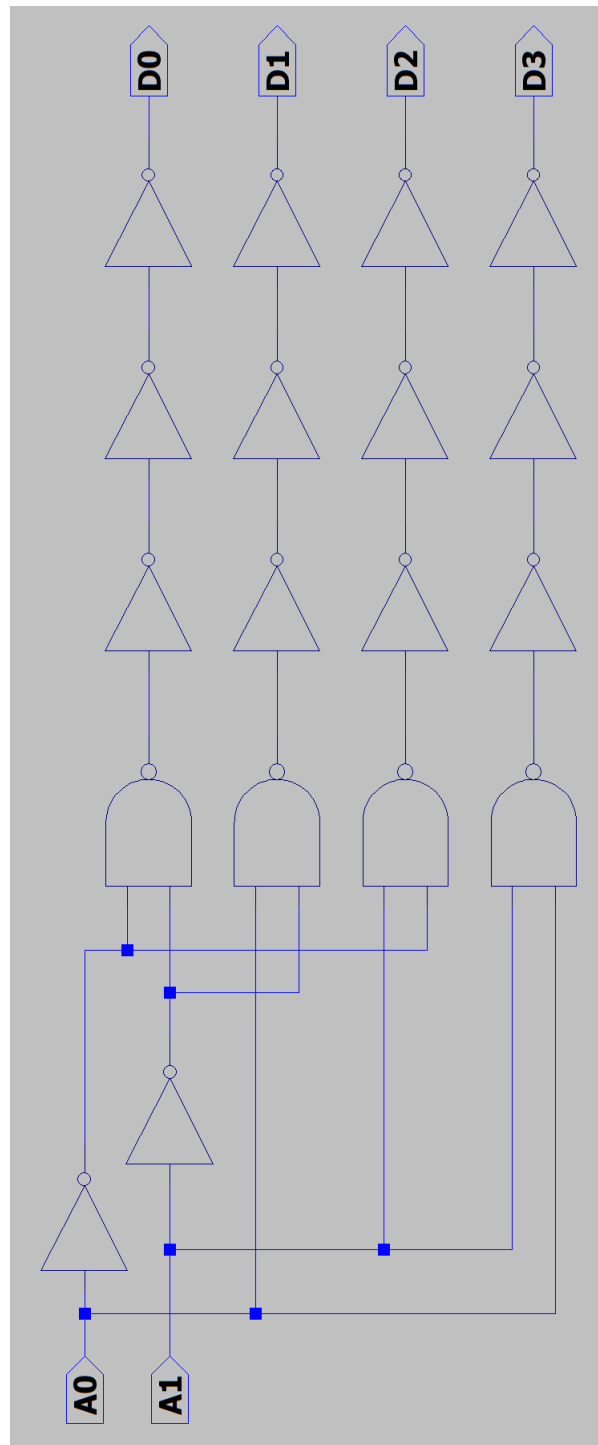


Figura 5.27: Diseño esquemático del decodificador 2 a 4.

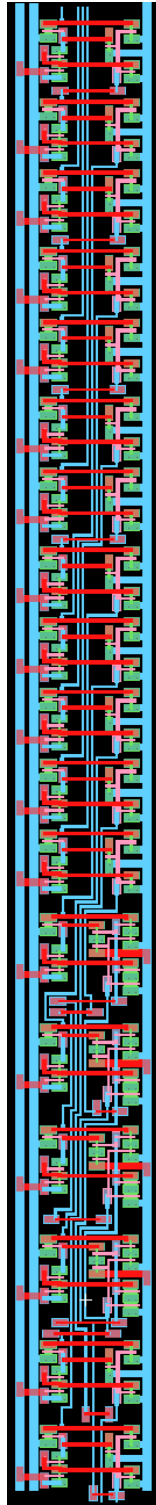


Figura 5.28: Diseño layout del decodificador 2 a 4. Tamaño: 2.9 mm $\times$ 0.44 mm.

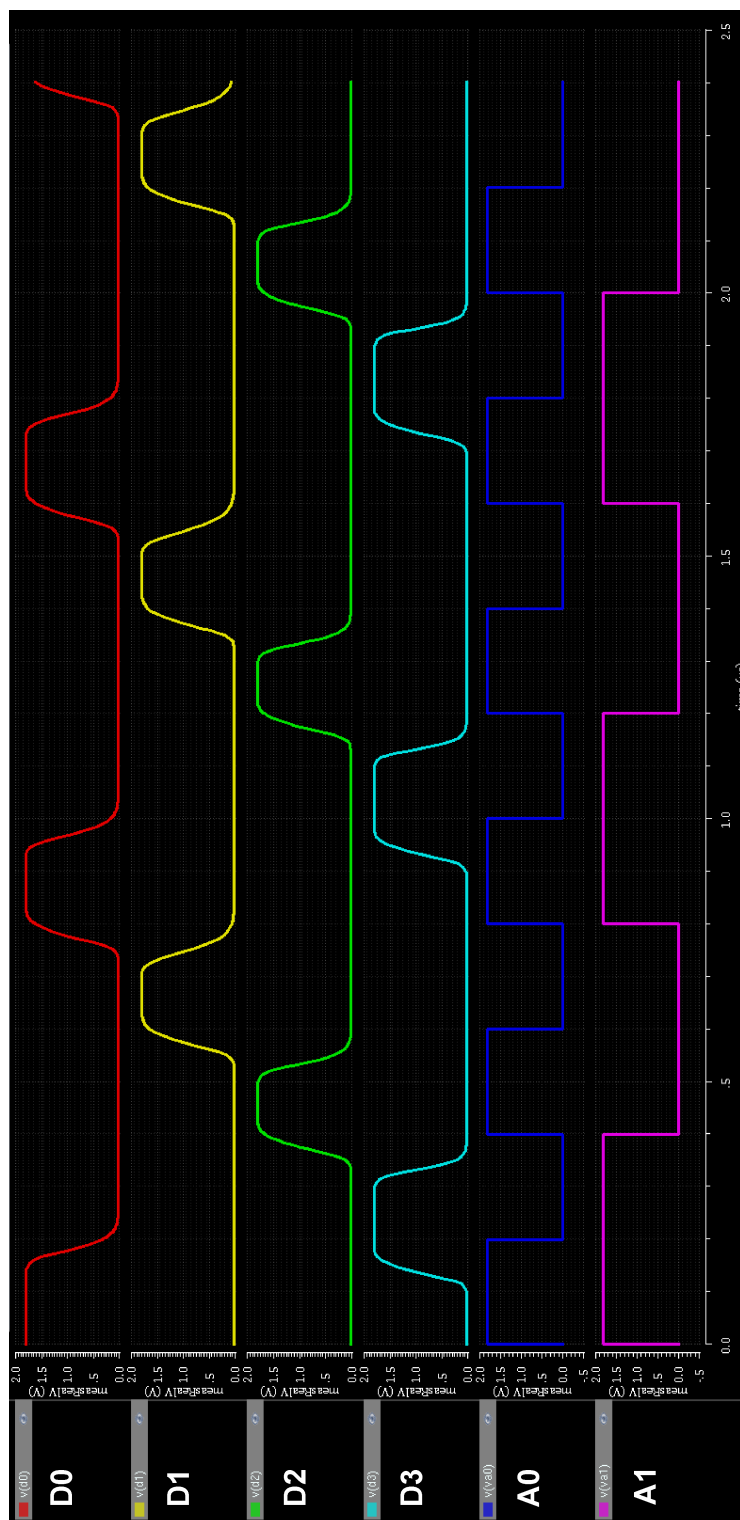
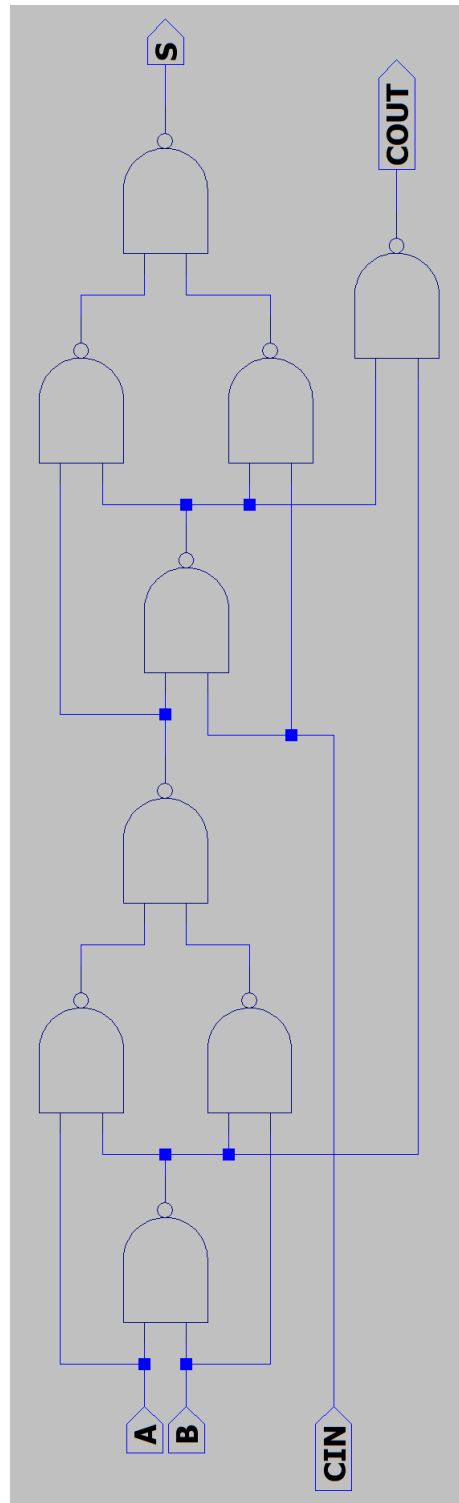


Figura 5.29: Respuesta transiente del decodificador 2 a 4.



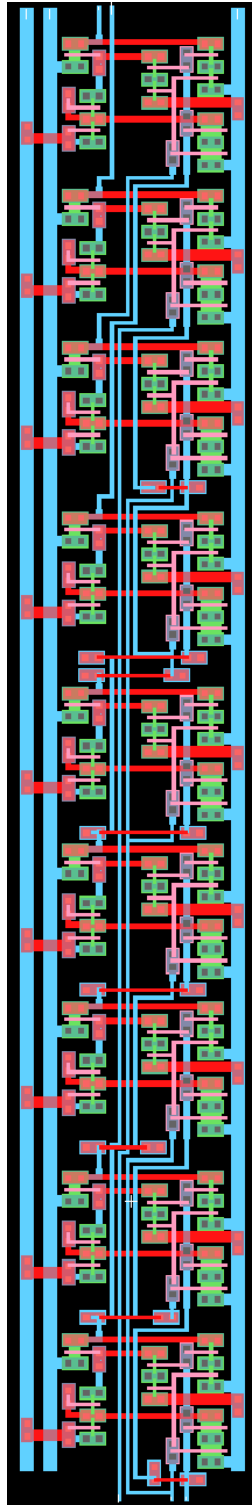


Figura 5.31: Diseño layout del sumador completo binario. Tamaño: 2.9 mm $\times$ 0.44 mm.

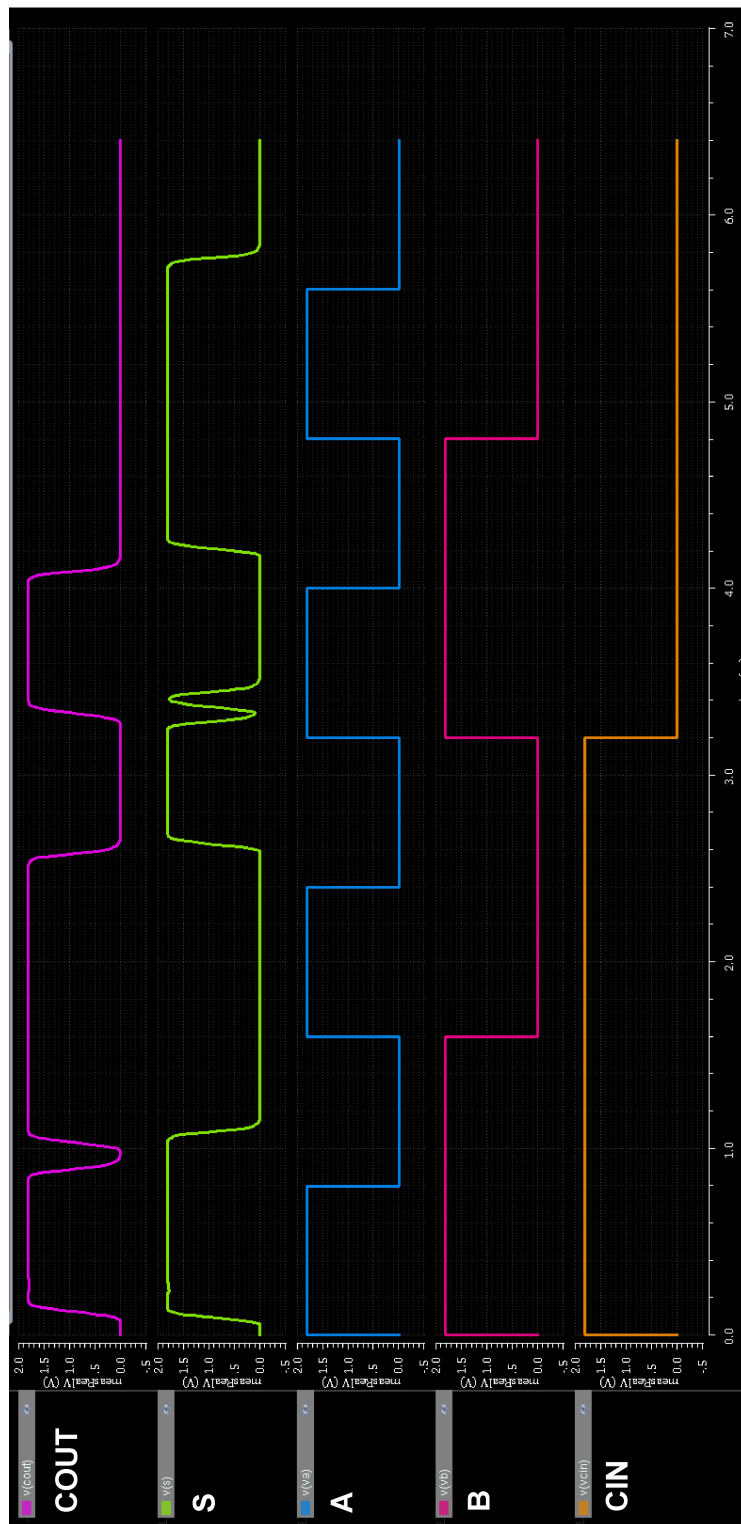


Figura 5.32: Respuesta transiente del sumador completo binario.

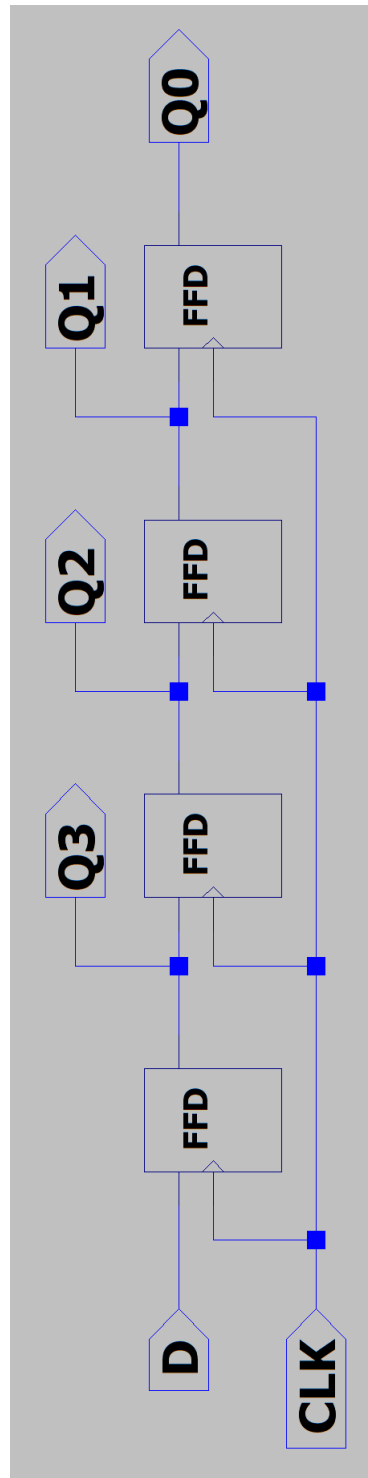


Figura 5.33: Diseño esquemático del shift register de 4 bits.

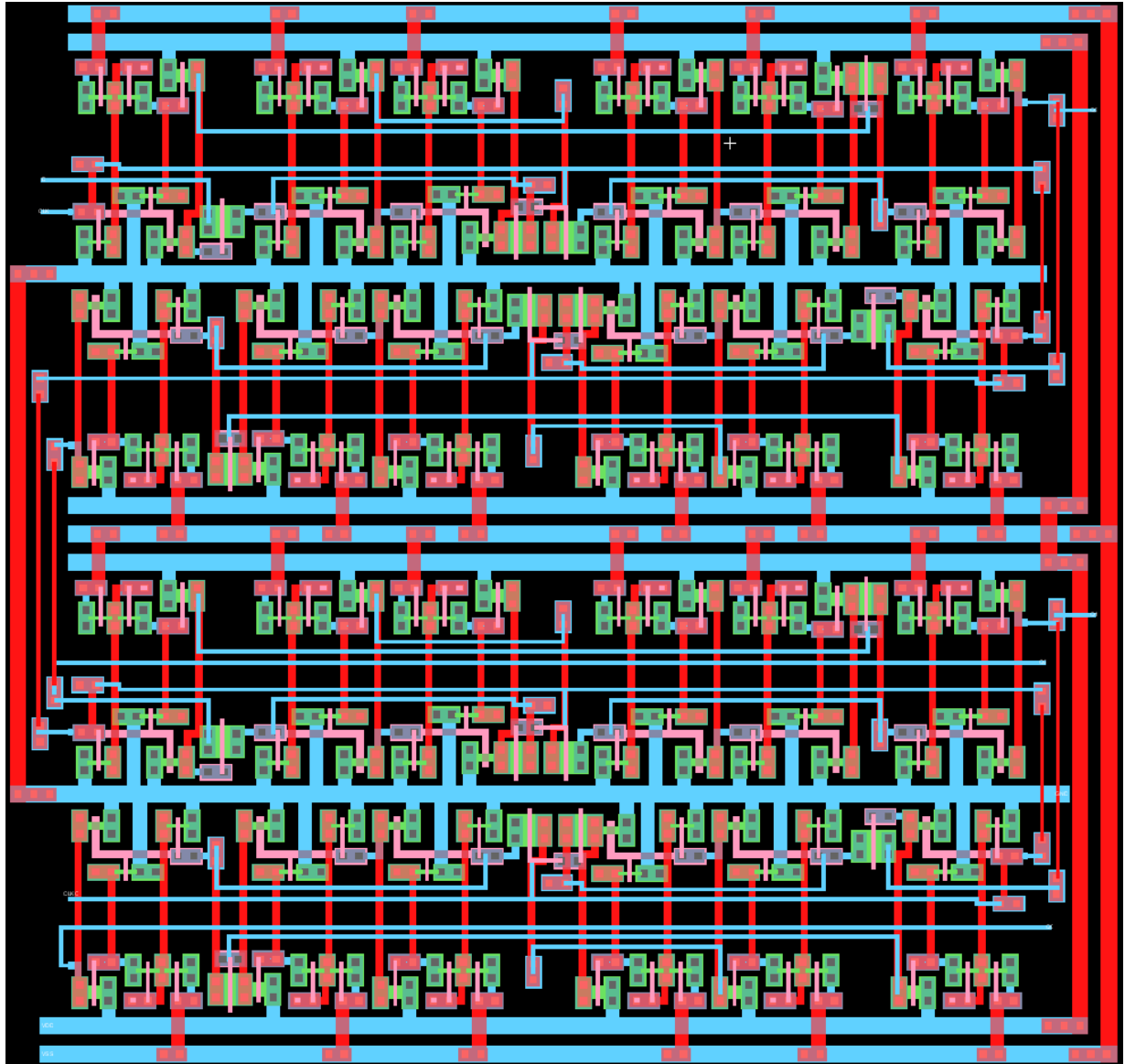


Figura 5.34: Diseño layout del shift register de 4 bits. Tamaño: 1.7 mm $\times$ 1.7 mm.

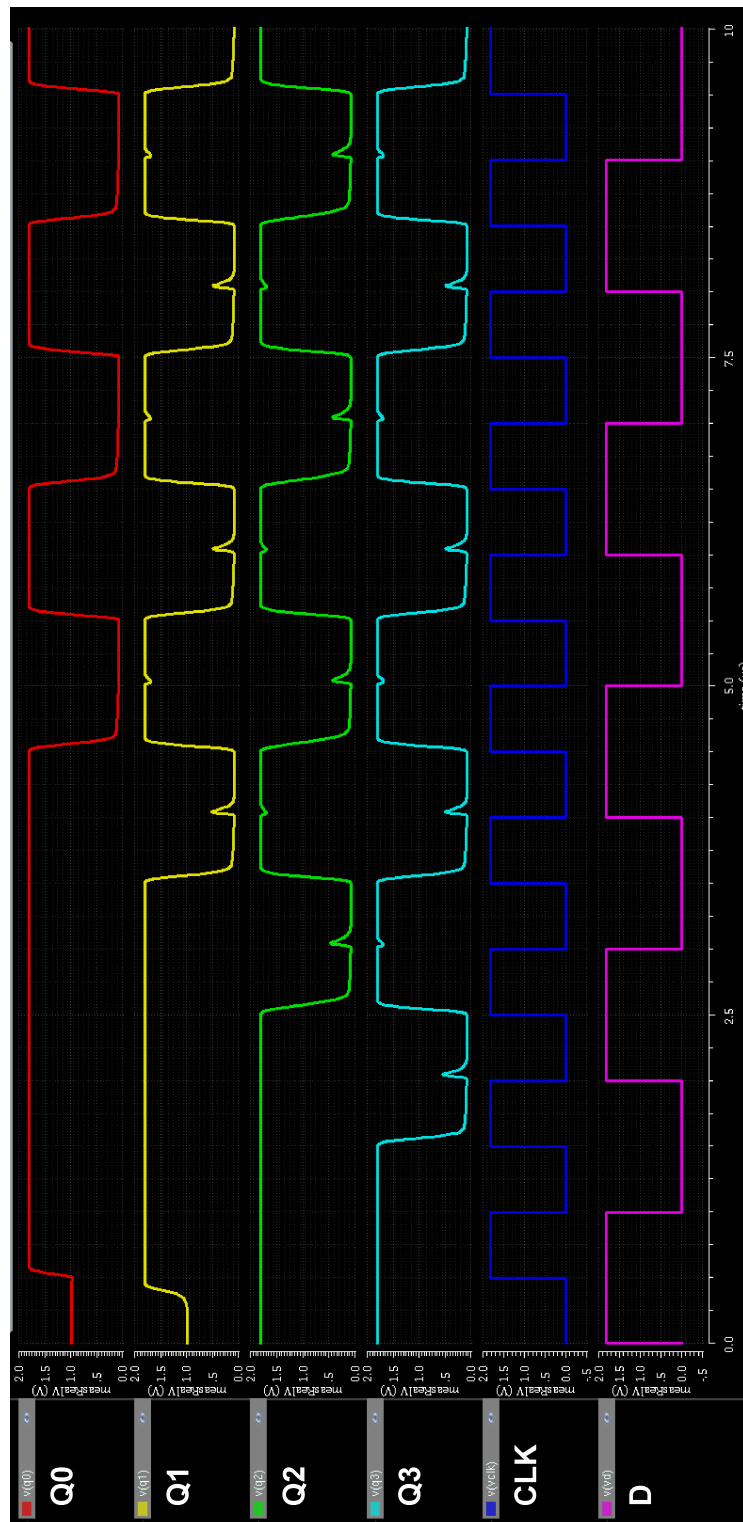


Figura 5.35: Respuesta transiente del shift register de 4 bits.

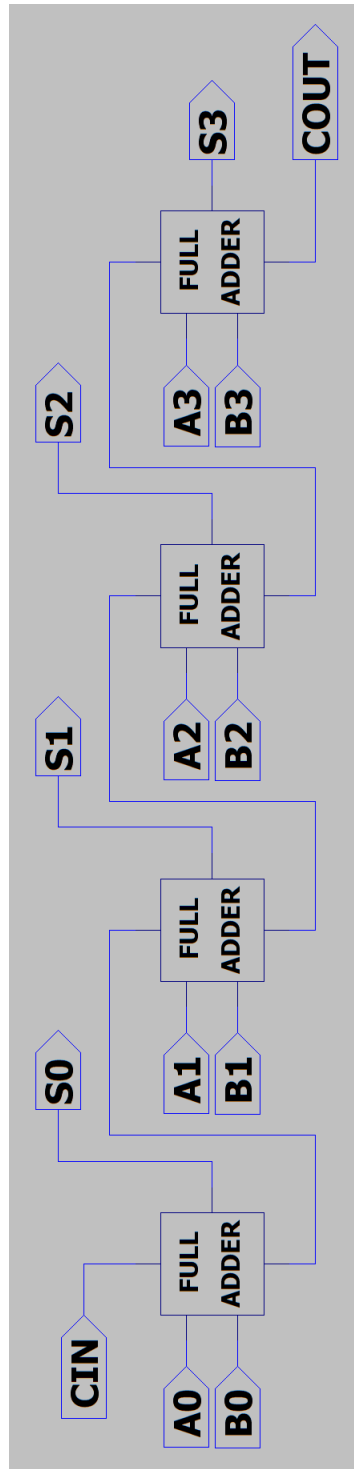


Figura 5.36: Diseño esquemático del sumador de números de 4 bits.

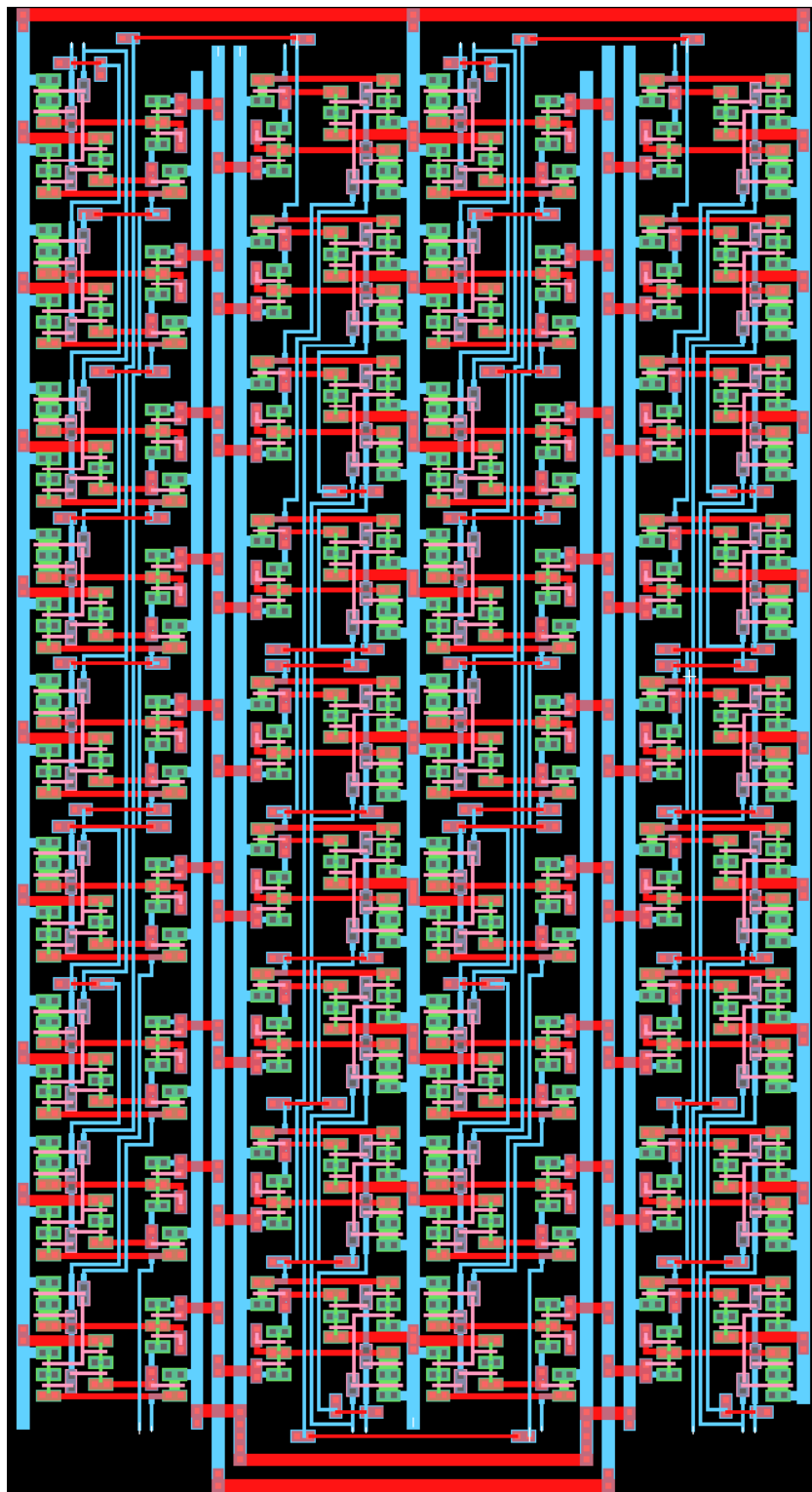


Figura 5.37: Diseño layout del sumador de números de 4 bits. Tamaño: 3.1 mm $\times$ 1.7 mm.

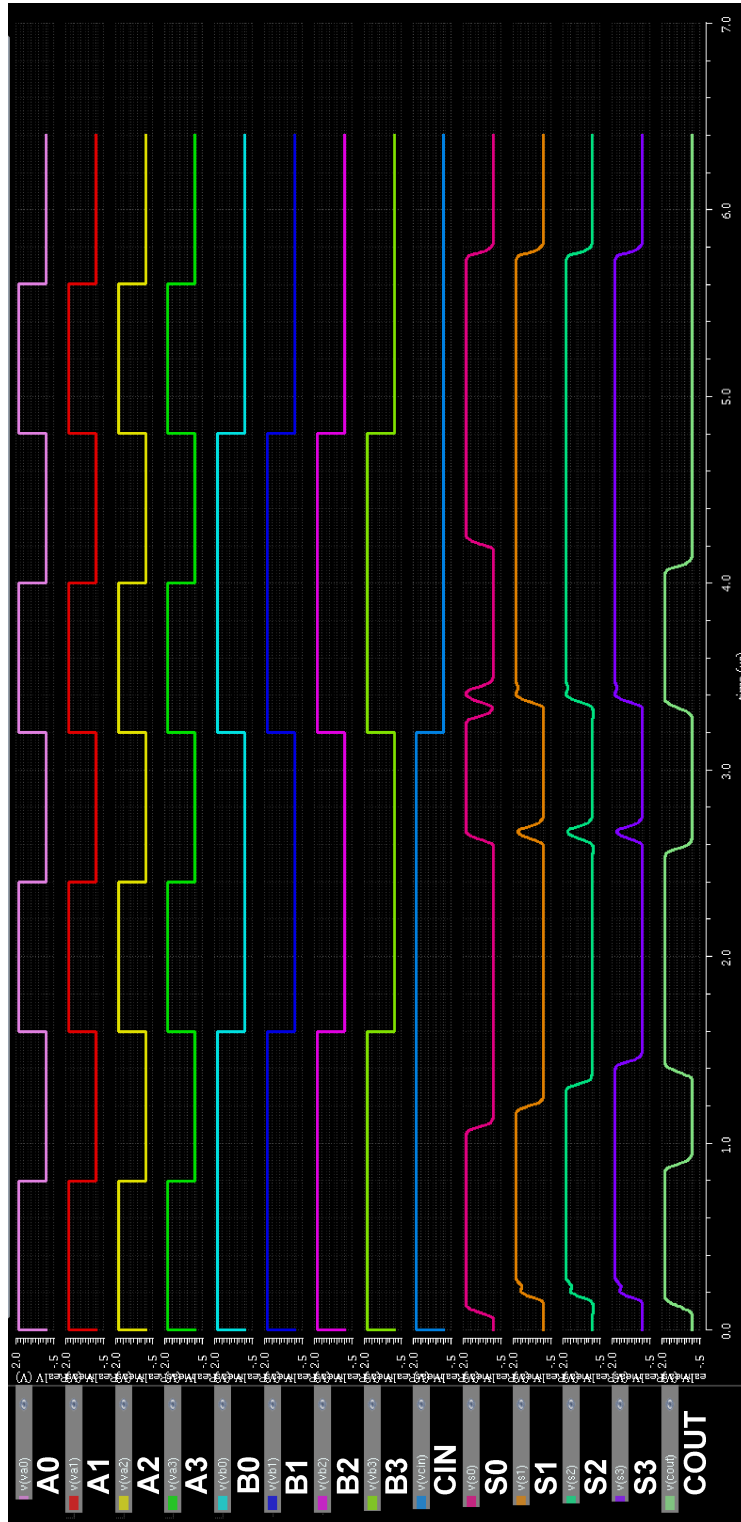


Figura 5.38: Respuesta transiente del sumador de números de 4 bits.

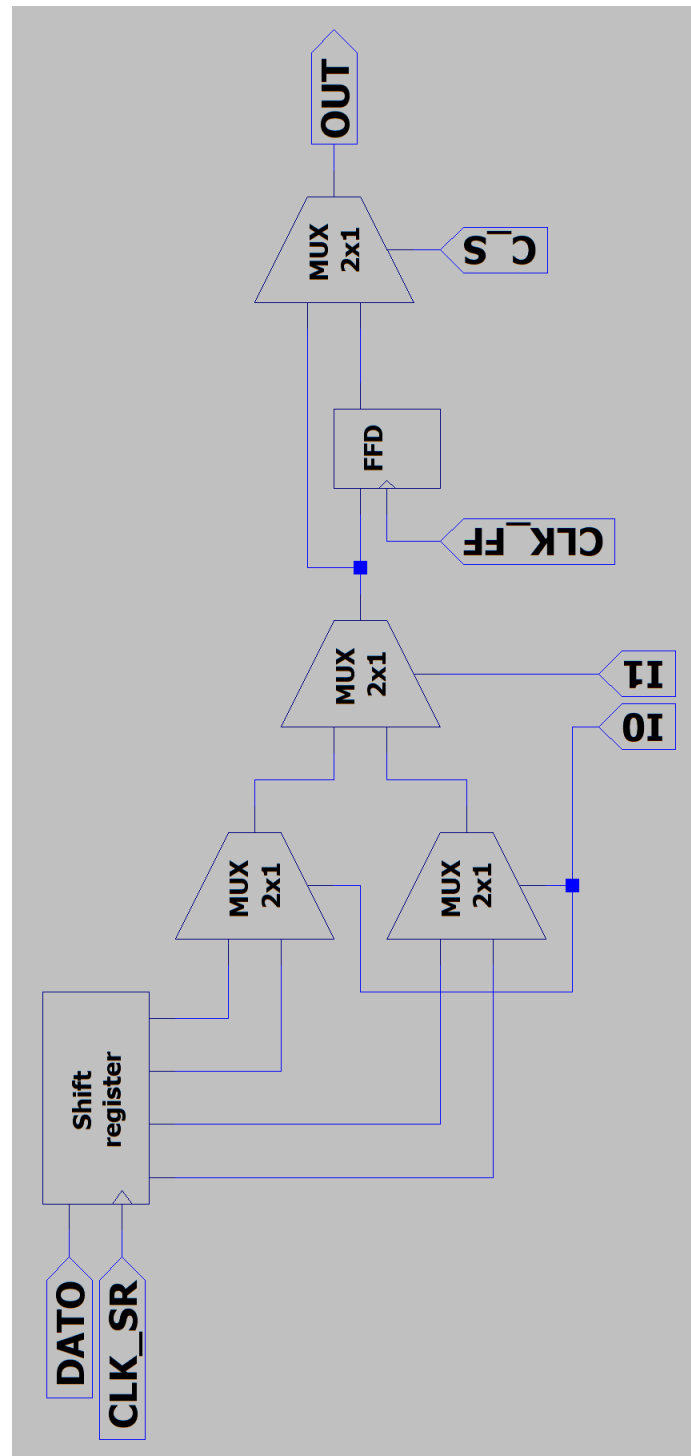


Figura 5.39: Diseño esquemático del bloque lógico configurable.

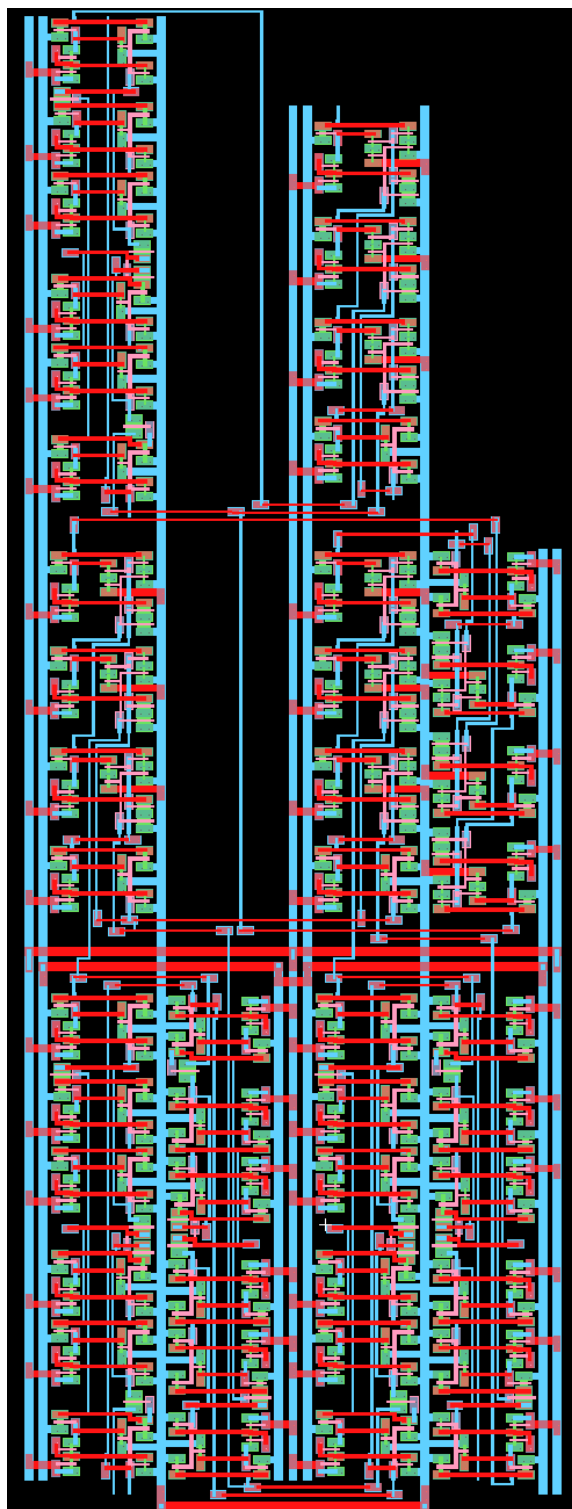


Figura 5.40: Diseño layout del bloque lógico configurable. Tamaño: 5.7 mm $\times$ 1.7 mm.

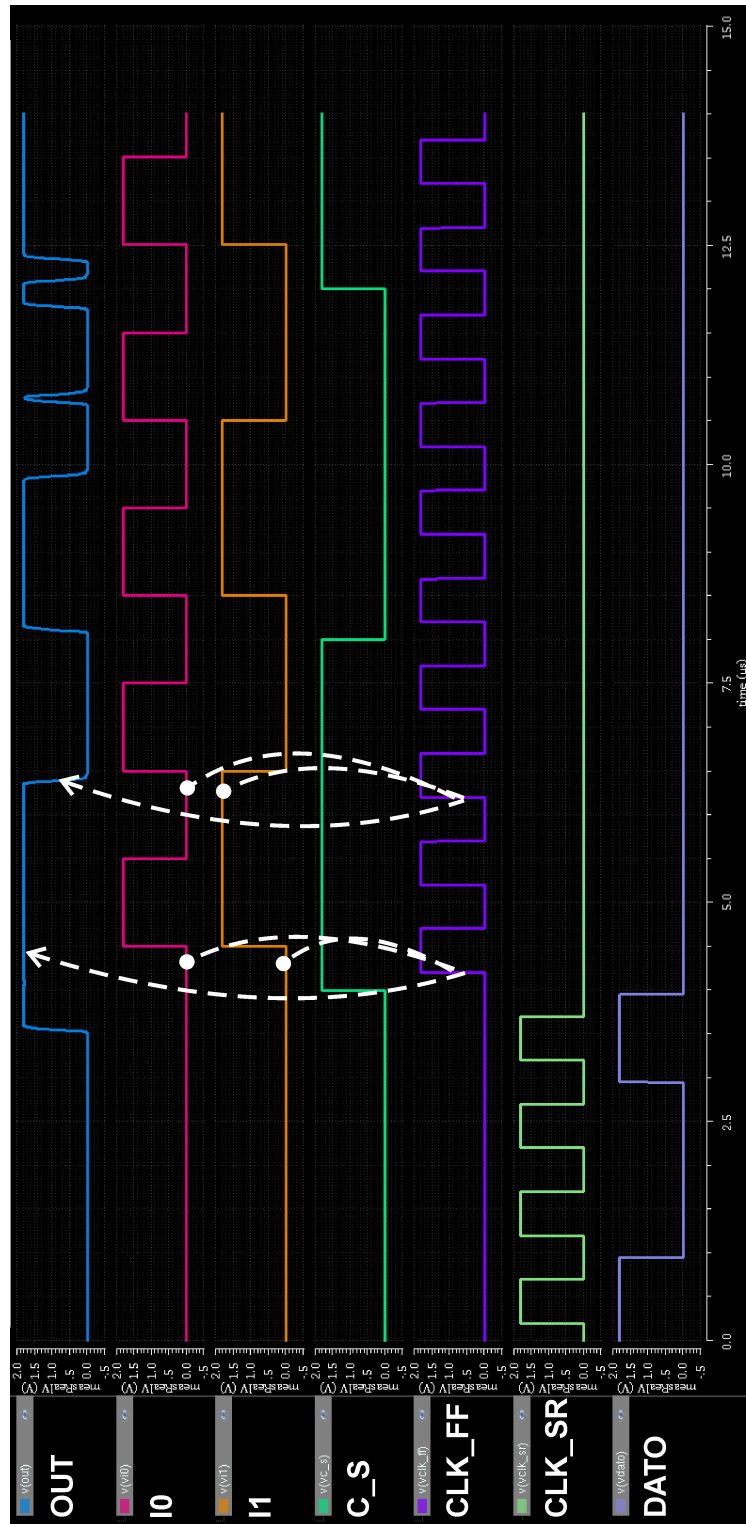


Figura 5.41: Respuesta transiente del bloque lógico configurable.

Capítulo 6

Conclusiones

En esta tesis se elaboró una pequeña librería de celdas estándar basada en el proceso de fabricación de $5\text{ }\mu\text{m}$ desarrollado por el Centro de Ingeniería y Desarrollo Industrial (CIDESI), el cual solo cuenta con transistores NMOS. Se diseñaron las compuertas NOT, NAND, NOR y TRI-STATE NOT, con tres tamaños para cada una; y un flip-flop tipo D, solo un tamaño. El objetivo fue demostrar la posibilidad de estos diseños con un solo tipo de transistor, contribuir con el desarrollo de tecnologías de fabricación con un solo tipo de transistor y fomentar la investigación en este sector de la industria.

El diseño de las celdas fue basado en el estilo de diseño Pseudo-CMOS. Sin embargo, se emplearon 2 técnicas para reducir el consumo energético que implica desarrollar celdas estándar con un solo tipo de transistor. La primera de ellas fue a través de un estudio previo en donde se realizaba unas modificaciones al inversor Pseudo-CMOS, añadiéndole dos transistores adicionales, y se lograba reducir la potencia consumida en un 30 %. Esto se replicó en las demás compuertas y se obtuvo reducciones de potencia de hasta un 55 %, observándose también una potencial reducción de área (dependiendo del proceso de fabricación). La segunda técnica usada fue el aumento de la longitud de los transistores, el cuál disminuye la corriente que circula a través de ellos y permite disminuir el consumo energético. Este método no es usado comúnmente debido a que decrementa la velocidad de los transistores; no obstante, debido a la urgente necesidad de mejorar la eficiencia energética, es una buena opción sacrificar un poco de velocidad para ganar eficiencia energética.

En el proceso de desarrollo de las celdas estándar, se usó inicialmente el software de acceso gratuito LTspice para la simulación de diseños esquemáticos, y para el diseño layout se usó el software libre Electric. Esto se hizo así dada la compatibilidad que tienen estos software con los archivos de diseño del Centro de Ingeniería y Desarrollo Industrial (CIDESI), para realizar diseños con su proceso de fabricación. Sin embargo, cuando se llegó a la etapa de simulación de diseños layout, se optó por usar el software Spectre de la empresa Cadence Design Systems, debido a la optimización que ofrece el programa para disminuir los tiempos

de simulación en los netlist con parásitos.

Para obtener un buen comportamiento en las celdas estándar, se tomó en cuenta tener márgenes de ruido superiores al 20 %, tanto el margen de ruido alto como el bajo. También se consideró lograr obtener tiempos de subida y de bajada similares en la señal de salida, para así lograr un buen comportamiento transiente. En el diseño layout, se consideró usar la técnica de un metal para cableados horizontales y otro para cableados verticales. También se uniformizó la altura de las celdas, con un ancho variable, se usó rieles de potencia de 5 cuadros de grosor y vías de 2 cuadros como mínimo, entre las consideraciones más importantes.

Para la comprobación del buen funcionamiento de las celdas estándar diseñadas, se realizaron algunos casos de aplicación, las cuáles fueron: Un multiplexor de 2 a 1, usando compuertas NOT y NAND. Un decodificador de 2 a 4, usando compuertas NOT y NAND. Un sumador completo de 1 bit, usando solamente compuertas NAND. Un shift register de 4 bits, usando flip-flops tipo D. Un sumador completo de 4 bits, usando los sumadores completos de 1 bit implementados previamente. Y un bloque lógico configurable de un FPGA, usando varios diseños previos. Cabe destacar que el flip-flop tipo D se diseñó reutilizando las compuertas NOT y TRI-STATE NOT. Todas estas aplicaciones funcionaron correctamente y corroboraron un adecuado comportamiento de las celdas.

6.1. Trabajos a futuro

Adicionalmente a las técnicas presentadas en este trabajo de tesis para reducir la energía, se pudiera explorar el uso de la técnica de Power gating [49, 50], el cuál puede ser una opción adicional para reducir el consumo energético en diseños de celdas estándar y de circuitos integrados, la cual consiste en apagar ciertas celdas o partes del circuito integrado que no están siendo usadas en ese momento. Es muy utilizada en procesos CMOS y se opta como una buena opción para procesos de fabricación con un solo tipo de transistor. Otra posibilidad sería profundizar en el empleo de la lógica dinámica y la lógica diferencial en diseños con un solo tipo de transistor. En [26] se analiza el diseño de un inversor en lógica dinámica y en [51] se realiza algunos diseños con lógica diferencial, ambos con buenos resultados, por lo que se ve atractiva la profundización en estos temas.

Para una adecuada comprobación de estos diseños realizados, es importante llevar a cabo su implementación física, por lo cual, se planea trabajar con el Centro de Ingeniería y Desarrollo Industrial (CIDESI) para que se puedan fabricar, y de acuerdo a los resultados experimentales que se obtengan luego, se pueda así también mejorar estos diseños.

Para el uso de estas celdas estándar con software de enrutamiento automático, se puede realizar la escritura de los archivos LEF de cada celda.

Apéndice A

Código en Matlab para el análisis paramétrico de las dimensiones de los transistores en el inversor Pseudo-CMOS RPDT

A continuación se muestra el código usado en Matlab para el análisis paramétrico realizado en la [Sección 4.1](#). El código completo se puede acceder a través del siguiente enlace: https://uaslpedu-my.sharepoint.com/:f:/g/personal/a348397_alumnos_uaslp_mx/EnC5SxE-yLt0tF9V9fqwJFUBaBuxY4uQ2z4tb_Ovn_A9dw?e=ZmXwRa, la dirección también incluye los archivos necesarios para la simulación.

```
1 %% Analisis del ancho del transistor M3
2 % M2 = 10u, M4 = 5u, M5 = 5u, M6 = 5u, a 5MHz
3 AM3 = importdata('AM3.txt','\t');
4 NML = AM3(1,:);
5 NMH = AM3(2,:);
6 Pot = AM3(3,:);
7 Ts = 1E+6*AM3(4,:);
8 Tb = 1E+6*AM3(5,:);
9 Size_M3 = 5:5:200;
10 i = 1;
11 figure(i)
12 yyaxis left
13 plot(Size_M3, NML, 'r', 'DisplayName', 'NML')
14 hold on
15 plot(Size_M3, NMH, 'b-', 'DisplayName', 'NMH')
16 hold off
17 grid on
18 xlabel('Ancho de M3 (um)')
19 ylabel('Margen de ruido (%)')
20 legend
```

```
21 yyaxis right;
22 plot(Size_M3, Pot, 'g', 'DisplayName', 'Potencia');
23 ylabel('Potencia (mW)')
24 ylim([0 1.6])
25 i = i + 1;
26 figure(i)
27 plot(Size_M3, Ts, 'r', 'DisplayName', 'Tiempo de subida')
28 hold on
29 plot(Size_M3, Tb, 'b-', 'DisplayName', 'Tiempo de bajada')
30 hold off
31 grid on
32 xlabel('Ancho de M3 (um)')
33 ylabel('Tiempo (us)')
34 legend
35
36 %% Analisis del ancho del transitor M2
37 % M3 = 5u, M4 = 5u, M5 = 5u, M6 = 5u, a 5MHz
38 AM2 = importdata('AM2.txt', '\t');
39 NML = AM2(1,:);
40 NMH = AM2(2,:);
41 Pot = AM2(3,:);
42 Ts = 1E+6*AM2(4,:);
43 Tb = 1E+6*AM2(5,:);
44 Size_M2 = 5:5:200;
45 i = i + 1;
46 figure(i)
47 yyaxis left
48 plot(Size_M2, NML, 'r', 'DisplayName', 'NML')
49 hold on
50 plot(Size_M2, NMH, 'b-', 'DisplayName', 'NMH')
51 hold off
52 grid on
53 xlabel('Ancho de M2 (um)')
54 ylabel('Margen de ruido (%)')
55 legend
56 yyaxis right;
57 plot(Size_M2, Pot, 'g', 'DisplayName', 'Potencia');
58 ylabel('Potencia (mW)')
59 i = i + 1;
60 figure(i)
61 plot(Size_M2, Ts, 'r', 'DisplayName', 'Tiempo de subida')
62 hold on
63 plot(Size_M2, Tb, 'b-', 'DisplayName', 'Tiempo de bajada')
64 hold off
65 grid on
66 xlabel('Ancho de M2 (um)')
67 ylabel('Tiempo (us)')
68 legend
69
```

```

70 %% Analisis del ancho del transistor M5
71 % M2 = 10u, M3 = 5u, M4 = 5u, M6 = 5u, a 5MHz
72 AM5 = importdata('AM5.txt','\t');
73 NML = AM5(1,:);
74 NMH = AM5(2,:);
75 Pot = AM5(3,:);
76 Ts = 1E+6*AM5(4,:);
77 Tb = 1E+6*AM5(5,:);
78 Size_M5 = 5:5:200;
79 i = i + 1;
80 figure(i)
81 yyaxis left
82 plot(Size_M5, NML, 'r', 'DisplayName', 'NML')
83 hold on
84 plot(Size_M5, NMH, 'b-', 'DisplayName', 'NMH')
85 hold off
86 grid on
87 xlabel('Ancho de M5 (um)')
88 ylabel('Margen de ruido (%)')
89 legend
90 yyaxis right;
91 plot(Size_M5, Pot, 'g', 'DisplayName', 'Potencia');
92 ylabel('Potencia (mW)')
93 i = i + 1;
94 figure(i)
95 plot(Size_M5, Ts, 'r', 'DisplayName', 'Tiempo de subida')
96 hold on
97 plot(Size_M5, Tb, 'b-', 'DisplayName', 'Tiempo de bajada')
98 hold off
99 grid on
100 xlabel('Ancho de M5 (um)')
101 ylabel('Tiempo (us)')
102 legend
103
104 %% Analisis del ancho del transistor M6
105 % M2 = 10u, M3 = 5u, M4 = 5u, M5 = 5u, a 5MHz
106 AM6 = importdata('AM6.txt','\t');
107 NML = AM6(1,:);
108 NMH = AM6(2,:);
109 Pot = AM6(3,:);
110 Ts = 1E+6*AM6(4,:);
111 Tb = 1E+6*AM6(5,:);
112 Size_M6 = 5:5:200;
113 i = i + 1;
114 figure(i)
115 yyaxis left
116 plot(Size_M6, NML, 'r', 'DisplayName', 'NML')
117 hold on
118 plot(Size_M6, NMH, 'b-', 'DisplayName', 'NMH')

```

```

119 hold off
120 grid on
121 xlabel('Ancho de M6 (um)')
122 ylabel('Margen de ruido (%)')
123 legend
124 yyaxis right;
125 plot(Size_M6, Pot, 'g', 'DisplayName', 'Potencia');
126 ylabel('Potencia (mW)')
127 i = i + 1;
128 figure(i)
129 plot(Size_M6, Ts, 'r', 'DisplayName', 'Tiempo de subida')
130 hold on
131 plot(Size_M6, Tb, 'b-', 'DisplayName', 'Tiempo de bajada')
132 hold off
133 grid on
134 xlabel('Ancho de M6 (um)')
135 ylabel('Tiempo (us)')
136 legend
137
138 %% Analisis simultaneo del ancho de los transistores M2 y M3
139 % M4 = 5u, M5 = 5u, M6 = 5u, a 5MHz
140 AM2M3 = importdata('AM2M3.txt', '\t');
141 NML = AM2M3(1,:);
142 NMH = AM2M3(2,:);
143 Pot = AM2M3(3,:);
144 Ts = 1E+6*AM2M3(4,:);
145 Tb = 1E+6*AM2M3(5,:);
146 Size = 5:5:100;
147 Unos = ones(1,20);
148 Size_M2 = [Size Size Size Size Size Size Size Size Size Size Size Size Size Size Size
             Size Size Size Size Size Size Size Size];
149 Size_M3 = [5*Unos 10*Unos 15*Unos 20*Unos 25*Unos 30*Unos 35*Unos 40*Unos 45*
             Unos 50*Unos 55*Unos 60*Unos 65*Unos 70*Unos 75*Unos 80*Unos 85*Unos 90*
             Unos 95*Unos 100*Unos];
150 i = i + 1;
151 figure(i)
152 plot3(Size_M2, Size_M3, NML, 'r.', 'DisplayName', 'NML (%)')
153 hold on
154 plot3(Size_M2, Size_M3, NMH, 'b.', 'DisplayName', 'NMH (%)')
155 hold off
156 grid on
157 xlabel('Ancho de M2 (um)')
158 ylabel('Ancho de M3 (um)')
159 zlabel('Margen de ruido (%)')
160 legend
161 i = i + 1;
162 figure(i)
163 plot3(Size_M2, Size_M3, Pot, 'g.')
164 grid on

```

```

165 xlabel('Ancho de M2 (um)')
166 ylabel('Ancho de M3 (um)')
167 zlabel('Potencia (mW)')
168 i = i + 1;
169 figure(i)
170 plot3(Size_M2, Size_M3, Ts, 'r.', 'DisplayName', 'Tiempo de subida')
171 hold on
172 plot3(Size_M2, Size_M3, Tb, 'b.', 'DisplayName', 'Tiempo de bajada')
173 hold off
174 grid on
175 xlabel('Ancho de M2 (um)')
176 ylabel('Ancho de M3 (um)')
177 zlabel('Tiempo (us)')
178 legend
179
180 %% Analisis simultaneo del ancho de los transistores M2 y M6
181 % M3 = 5u, M4 = 5u, M5 = 5u, a 5MHz
182 AM2M6 = importdata('AM2M6.txt', '\t');
183 NML = AM2M6(1,:);
184 NMH = AM2M6(2,:);
185 Pot = AM2M6(3,:);
186 Ts = 1E+6*AM2M6(4,:);
187 Tb = 1E+6*AM2M6(5,:);
188 Size_M2 = [Size Size Size Size Size Size Size Size Size Size Size Size Size Size
             Size Size Size Size Size Size Size];
189 Size_M6 = [5*Unos 10*Unos 15*Unos 20*Unos 25*Unos 30*Unos 35*Unos 40*Unos 45*
             Unos 50*Unos 55*Unos 60*Unos 65*Unos 70*Unos 75*Unos 80*Unos 85*Unos 90*
             Unos 95*Unos 100*Unos];
190 i = i + 1;
191 figure(i)
192 plot3(Size_M2, Size_M6, NML, 'r.', 'DisplayName', 'NML (%)')
193 hold on
194 plot3(Size_M2, Size_M6, NMH, 'b.', 'DisplayName', 'NMH (%)')
195 hold off
196 grid on
197 xlabel('Ancho de M2 (um)')
198 ylabel('Ancho de M6 (um)')
199 zlabel('Margen de ruido (%)')
200 legend
201 i = i + 1;
202 figure(i)
203 plot3(Size_M2, Size_M6, Pot, 'g.')
204 grid on
205 xlabel('Ancho de M2 (um)')
206 ylabel('Ancho de M6 (um)')
207 zlabel('Potencia (mW)')
208 i = i + 1;
209 figure(i)
210 plot3(Size_M2, Size_M6, Ts, 'r.', 'DisplayName', 'Tiempo de subida')

```

```

211 hold on
212 plot3(Size_M2, Size_M6, Tb, 'b.', 'DisplayName', 'Tiempo de bajada')
213 hold off
214 grid on
215 xlabel('Ancho de M2 (um)')
216 ylabel('Ancho de M6 (um)')
217 zlabel('Tiempo (us)')
218 legend
219
220 %% Analisis simultaneo del ancho de los transistores M5 y M3
221 % M2 = 10u, M4 = 5u, M6 = 5u, a 5MHz
222 AM3M5 = importdata('AM3M5.txt', '\t');
223 NML = AM3M5(1,:);
224 NMH = AM3M5(2,:);
225 Pot = AM3M5(3,:);
226 Ts = 1E+6*AM3M5(4,:);
227 Tb = 1E+6*AM3M5(5,:);
228 Size_M3 = [Size Size Size Size Size Size Size Size Size Size Size Size Size Size
              Size Size Size Size Size Size Size];
229 Size_M5 = [5*Unos 10*Unos 15*Unos 20*Unos 25*Unos 30*Unos 35*Unos 40*Unos 45*
              Unos 50*Unos 55*Unos 60*Unos 65*Unos 70*Unos 75*Unos 80*Unos 85*Unos 90*
              Unos 95*Unos 100*Unos];
230 i = i + 1;
231 figure(i)
232 plot3(Size_M3, Size_M5, NML, 'r.', 'DisplayName', 'NML (%)')
233 hold on
234 plot3(Size_M3, Size_M5, NMH, 'b.', 'DisplayName', 'NMH (%)')
235 hold off
236 grid on
237 xlabel('Ancho de M3 (um)')
238 ylabel('Ancho de M5 (um)')
239 zlabel('Margen de ruido (%)')
240 legend
241 i = i + 1;
242 figure(i)
243 plot3(Size_M3, Size_M5, Pot, 'g.')
244 grid on
245 xlabel('Ancho de M3 (um)')
246 ylabel('Ancho de M5 (um)')
247 zlabel('Potencia (mW)')
248 i = i + 1;
249 figure(i)
250 plot3(Size_M3, Size_M5, Ts, 'r.', 'DisplayName', 'Tiempo de subida')
251 hold on
252 plot3(Size_M3, Size_M5, Tb, 'b.', 'DisplayName', 'Tiempo de bajada')
253 hold off
254 grid on
255 xlabel('Ancho de M3 (um)')
256 ylabel('Ancho de M5 (um)')

```

```

257 xlabel('Tiempo (us)')
258 legend
259
260 %% Analisis simultaneo del ancho de los transistores M5 y M6
261 % M2 = 10u, M3 = 5u, M4 = 5u, a 5MHz
262 AM5M6 = importdata('AM5M6.txt','\t');
263 NML = AM5M6(1,:);
264 NMH = AM5M6(2,:);
265 Pot = AM5M6(3,:);
266 Ts = 1E+6*AM5M6(4,:);
267 Tb = 1E+6*AM5M6(5,:);
268 Size_M5 = [Size Size Size Size Size Size Size Size Size Size Size Size Size Size
              Size Size Size Size Size Size Size Size];
269 Size_M6 = [5*Unos 10*Unos 15*Unos 20*Unos 25*Unos 30*Unos 35*Unos 40*Unos 45*
              Unos 50*Unos 55*Unos 60*Unos 65*Unos 70*Unos 75*Unos 80*Unos 85*Unos 90*
              Unos 95*Unos 100*Unos];
270 i = i + 1;
271 figure(i)
272 plot3(Size_M5, Size_M6, NML, 'r.', 'DisplayName','NML (%)')
273 hold on
274 plot3(Size_M5, Size_M6, NMH, 'b.', 'DisplayName','NMH (%)')
275 hold off
276 grid on
277 xlabel('Ancho de M5 (um)')
278 ylabel('Ancho de M6 (um)')
279 zlabel('Margen de ruido (%)')
280 legend
281 i = i + 1;
282 figure(i)
283 plot3(Size_M5, Size_M6, Pot, 'g.')
284 grid on
285 xlabel('Ancho de M5 (um)')
286 ylabel('Ancho de M6 (um)')
287 zlabel('Potencia (mW)')
288 i = i + 1;
289 figure(i)
290 plot3(Size_M5, Size_M6, Ts, 'r.', 'DisplayName','Tiempo de subida')
291 hold on
292 plot3(Size_M5, Size_M6, Tb, 'b.', 'DisplayName','Tiempo de bajada')
293 hold off
294 grid on
295 xlabel('Ancho de M5 (um)')
296 ylabel('Ancho de M6 (um)')
297 zlabel('Tiempo (us)')
298 legend
299
300 %% Analisis de la longitud del transistor M1
301 % M2 = 10u, M3 = 5u, M4 = 5u, M5 = 5u, M6 = 5u, a 1MHz
302 LM1 = importdata('LM1.txt','\t');

```

```
303 NML = LM1(1,:);
304 NMH = LM1(2,:);
305 Pot = LM1(3,:);
306 Ts = 1E+6*LM1(4,:);
307 Tb = 1E+6*LM1(5,:);
308 Size_M1 = 5:5:200;
309 i = i + 1;
310 figure(i)
311 yyaxis left
312 plot(Size_M1, NML, 'r', 'DisplayName', 'NML')
313 hold on
314 plot(Size_M1, NMH, 'b-', 'DisplayName', 'NMH')
315 hold off
316 grid on
317 xlabel('Longitud de M1 (um)')
318 ylabel('Margen de ruido (%)')
319 legend
320 yyaxis right;
321 plot(Size_M1, Pot, 'g', 'DisplayName', 'Potencia');
322 ylabel('Potencia (mW)')
323 i = i + 1;
324 figure(i)
325 plot(Size_M1, Ts, 'r', 'DisplayName', 'Tiempo de subida')
326 hold on
327 plot(Size_M1, Tb, 'b-', 'DisplayName', 'Tiempo de bajada')
328 hold off
329 grid on
330 xlabel('Longitud de M1 (um)')
331 ylabel('Tiempo (us)')
332 legend
333
334 %% Analisis del aumento simultaneo del ancho de los transistores M2 y M4
335 % M2 = 10*ku, M3 = 40u, M4 = 5*ku, M5 = 5u, M6 = 5u, Variando k, a 1MHZ
336 AM2M4K = importdata('AM2M4K.txt', '\t');
337 Pot = AM2M4K(1,:);
338 Ts = 1E+6*AM2M4K(2,:);
339 Tb = 1E+6*AM2M4K(3,:);
340 k = 1:1:40;
341 i = i + 1;
342 figure(i)
343 yyaxis left
344 plot(k, Ts, 'r', 'DisplayName', 'Tiempo de subida')
345 hold on
346 plot(k, Tb, 'b-', 'DisplayName', 'Tiempo de bajada')
347 hold off
348 grid on
349 xlabel('k (Ancho de M2 y M4)')
350 ylabel('Tiempo (us)')
351 legend
```

```

352 yyaxis right;
353 plot(k, Pot, 'g', 'DisplayName', 'Potencia');
354 ylabel('Potencia (mW)')
355
356 %% Analisis simultaneo de la longitud de los transistores M1 y M3
357 % M2 = 10u, M3 = 5u, M4 = 5u, M5 = 5u, M6 = 5u, a 1MHz
358 LM1M3 = importdata('LM1M3.txt', '\t');
359 NML = LM1M3(1,:);
360 NMH = LM1M3(2,:);
361 Pot = LM1M3(3,:);
362 Ts = 1E+6*LM1M3(4,:);
363 Tb = 1E+6*LM1M3(5,:);
364 Size_M1 = [Size Size Size Size Size Size Size Size Size Size Size Size Size Size Size
             Size Size Size Size Size Size Size Size];
365 Size_M3L = [5*Unos 10*Unos 15*Unos 20*Unos 25*Unos 30*Unos 35*Unos 40*Unos 45*
             Unos 50*Unos 55*Unos 60*Unos 65*Unos 70*Unos 75*Unos 80*Unos 85*Unos 90*
             Unos 95*Unos 100*Unos];
366 i = i + 1;
367 figure(i)
368 plot3(Size_M1, Size_M3L, NML, 'r.', 'DisplayName', 'NML (%)')
369 hold on
370 plot3(Size_M1, Size_M3L, NMH, 'b.', 'DisplayName', 'NMH (%)')
371 hold off
372 grid on
373 xlabel('Longitud de M1 (um)')
374 ylabel('Longitud de M3 (um)')
375 zlabel('Margen de ruido (%)')
376 legend
377 i = i + 1;
378 figure(i)
379 plot3(Size_M1, Size_M3L, Pot, 'g.')
380 grid on
381 xlabel('Longitud de M1 (um)')
382 ylabel('Longitud de M3 (um)')
383 zlabel('Potencia (mW)')
384 i = i + 1;
385 figure(i)
386 plot3(Size_M1, Size_M3L, Ts, 'r.', 'DisplayName', 'Tiempo de subida')
387 hold on
388 plot3(Size_M1, Size_M3L, Tb, 'b.', 'DisplayName', 'Tiempo de bajada')
389 hold off
390 grid on
391 xlabel('Longitud de M1 (um)')
392 ylabel('Longitud de M3 (um)')
393 zlabel('Tiempo (us)')
394 legend
395
396 %% Analisis simultaneo de la longitud de los transistores M5 y M6

```

Apéndice A. Código en Matlab para el análisis paramétrico de las dimensiones de los transistores en el inversor Pseudo-CMOS RPDT

```
397 % M2 = 10u, M3 = 5u, M4 = 5u, M5 = 5u, M6 = 5u, M1L = 100u, M3L = 100u, a 100
    KHz
398 LM5M6 = importdata('LM5M6.txt','\t');
399 NML = LM5M6(1,:);
400 NMH = LM5M6(2,:);
401 Pot = LM5M6(3,:);
402 Ts = 1E+6*LM5M6(4,:);
403 Tb = 1E+6*LM5M6(5,:);
404 Size_M5L = [Size Size Size Size Size Size Size Size Size Size Size Size Size Size Size
    Size Size Size Size Size Size Size Size];
405 Size_M6L = [5*Unos 10*Unos 15*Unos 20*Unos 25*Unos 30*Unos 35*Unos 40*Unos 45*
    Unos 50*Unos 55*Unos 60*Unos 65*Unos 70*Unos 75*Unos 80*Unos 85*Unos 90*
    Unos 95*Unos 100*Unos];
406 i = i + 1;
407 figure(i)
408 plot3(Size_M5L, Size_M6L, NML, 'r.', 'DisplayName','NML (%)')
409 hold on
410 plot3(Size_M5L, Size_M6L, NMH, 'b.', 'DisplayName','NMH (%)')
411 hold off
412 grid on
413 xlabel('Longitud de M5 (um)')
414 ylabel('Longitud de M6 (um)')
415 zlabel('Margen de ruido (%)')
416 legend
417 i = i + 1;
418 figure(i)
419 plot3(Size_M5L, Size_M6L, Pot, 'g.')
420 grid on
421 xlabel('Longitud de M5 (um)')
422 ylabel('Longitud de M6 (um)')
423 zlabel('Potencia (mW)')
424 i = i + 1;
425 figure(i)
426 plot3(Size_M5L, Size_M6L, Ts, 'r.', 'DisplayName','Tiempo de subida')
427 hold on
428 plot3(Size_M5L, Size_M6L, Tb, 'b.', 'DisplayName','Tiempo de bajada')
429 hold off
430 grid on
431 xlabel('Longitud de M5 (um)')
432 ylabel('Longitud de M6 (um)')
433 zlabel('Tiempo (us)')
434 legend
```

Referencias

- [1] T. C. Huang y K. T. Cheng. “Design for Low Power and Reliable Flexible Electronics: Self-Tunable Cell-Library Design”. En: *Display Technology* 5 (2009), págs. 206-215.
- [2] TSMC. *3nm Technology*. https://www.tsmc.com/english/dedicatedFoundry/technology/logic/1_3nm. 2023.
- [3] Samsung. *Samsung Begins Chip Production Using 3nm Process Technology With GAA Architecture*. <https://semiconductor.samsung.com/news-events/news/samsung-begins-chip-production-using-3nm-process-technology-with-gaa-architecture/>. 2022.
- [4] Expansion. *México acepta invitación de EU para desarrollar la industria de semiconductores*. <https://expansion.mx/economia/2022/09/12/mexico-eu-desarrollar-industria-semiconductores#:~:text=M%C3%A9xico%20se%20sumar%C3%A1%20a%20un,Anthony%20Blinken%2C%20a%20territorio%20mexicano>. 2022.
- [5] N. H. E. Weste y D. M. Harris. *CMOS VLSI Design A Circuits and Systems Perspective*. 4.^a ed. United States of America: Addison-Wesley, 2011.
- [6] Zia Abbas y Mauro Olivieri. “Optimal transistor sizing for maximum yield in variation-aware standard cell design”. En: *International Journal of Circuit Theory and Applications* 44.7 (2016), págs. 1400-1424.
- [7] Stéphane Badel et al. “A Generic Standard Cell Design Methodology for Differential Circuit Styles”. En: *Proceedings of the Conference on Design, Automation and Test in Europe*. Association for Computing Machinery, 2008, págs. 843-848.
- [8] Xiaoqing Xu et al. “Standard cell library design and optimization methodology for ASAP7 PDK: (Invited paper)”. En: *2017 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*. 2017, págs. 999-1004.
- [9] J. Grad y J.E. Stine. “A standard cell library for student projects”. En: *Proceedings 2003 IEEE International Conference on Microelectronic Systems Education. MSE'03*. 2003, págs. 98-99.
- [10] Jun Wang, Alfred K. K. Wong y Edmund Yin-Mun Lam. “Standard cell design with resolution-enhancement-technique-driven regularly placed contacts and gates”. En: *Journal of Micro/Nanolithography, MEMS, and MOEMS* 4.1 (2005), pág. 013001.

- [11] S. Lin, M. Marek-Sadowska y E. Kuh. “Delay and Area Optimization in Standard-Cell Design”. En: *27th ACM/IEEE Design Automation Conference* (1990), págs. 349-352.
- [12] Bharani Chava et al. “Standard cell design in N7: EUV vs. immersion”. En: *Design-Process-Technology Co-optimization for Manufacturability IX*. Ed. por John L. Sturtevant y Luigi Capodiecì. Vol. 9427. International Society for Optics y Photonics. SPIE, 2015, 94270E.
- [13] Dayane Alfenas Reis et al. “A Methodology for Standard Cell Design for QCA”. En: *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2016, págs. 2114-2117.
- [14] M. J. S. Smith. *Application-specific integrated circuits*. United States of America: Addison-Wesley, 1997.
- [15] M. T. Moreira. “Design and Implementation of a Standard Cell Library for Building Asynchronous ASICs”. En: *Revista Da Graduação* 4.1 (2011).
- [16] Diego Lunardini et al. “A performance comparison between hardened-by-design and conventional-design standard cells”. En: *2004 workshop on radiation effects on components and systems, radiation hardening techniques and new developments*. Vol. 9. 2004.
- [17] Henrik Eriksson et al. “Full-Custom vs. Standard-Cell Design Flow: An Adder Case Study”. En: *Proceedings of the 2003 Asia and South Pacific Design Automation Conference*. Association for Computing Machinery, 2003, págs. 507-510.
- [18] R. J. Baker. *CMOS: Circuit Design, Layout, and Simulation*. 3.^a ed. Wiley-IEEE Press, 2010.
- [19] T. C. Huang et al. “Pseudo-CMOS: A novel design style for flexible electronics”. En: (2010), págs. 154-159. DOI: 10.1109/DATE.2010.5457220.
- [20] T. C. Huang et al. “Pseudo-CMOS: A Design Style for Low-Cost and Robust Flexible Electronics”. En: *IEEE Transactions On Electron Devices* 58 (2011), págs. 141-150.
- [21] CIDESI. https://obleamultiproyecto.com/download/pdk-cidesi_nm05-v0-1d/?wpdmdl=1445&masterkey=5ea1b9ff394e1. 2023.
- [22] D. Clein. *CMOS IC LAYOUT Concepts, Methodologies, and Tools*. United States of America: Newnes, 2000.
- [23] P. Shepherd. *Integrated Circuit: Design, Fabrication, and Test*. 1.^a ed. United States of America: McGraw-Hill, 1996.
- [24] D. Kahng. *Silicon Integrated Circuits: Advances in Materials and Device Research*. 1.^a ed. Academic Press, 2013.
- [25] C. Saint y J. Saint. *IC Layout Basics: A Practical Guide*. 1.^a ed. United States of America: McGraw Hill, 2001.

- [26] Z. Yao et al. “Benchmarking organic thin film transistor inverter design styles”. En: *Synthetic Metals* 278 (2021), pág. 116825.
- [27] Tsung-Ching Huang et al. “Robust design and design automation for flexible hybrid electronics”. En: *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2017, págs. 1-4.
- [28] Tsung-Ching Huang, Jiun-Lang Huang y Kwang-Ting Cheng. “Robust Circuit Design for Flexible Electronics”. En: *IEEE Design & Test of Computers* 28.6 (2011), págs. 8-15.
- [29] Sneta Mishra y Sanjukta Bhanja. “Evaluation of circuit styles and VLSI logic designs of pentacene OTFTs”. En: *2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*. 2012, págs. 121-124.
- [30] Tsung-Ching Huang, Kwang-Ting Cheng y Raymond Beausoleil. “Printed circuits on flexible substrates: opportunities and challenges (invited paper)”. En: *2016 Tenth IEEE/ACM International Symposium on Networks-on-Chip (NOCS)*. 2016, págs. 1-4.
- [31] T. J. Chang et al. “Organic-Flow: An Open-Source Organic Standard Cell Library and Process Development Kit”. En: *Design, Automation And Test in Europe* (2020), págs. 49-54.
- [32] K. Myny. “The development of flexible integrated circuits based on thin-film transistors”. En: *Nature Electronics* 1 (2018), págs. 30-39.
- [33] Yuanfeng Chen et al. “High-Speed Pseudo-CMOS Circuits Using Bulk Accumulation a-IGZO TFTs”. En: *IEEE Electron Device Letters* 36.2 (2015), págs. 153-155.
- [34] Kenjiro Fukuda et al. “Organic Pseudo-CMOS Circuits for Low-Voltage Large-Gain High-Speed Operation”. En: *IEEE Electron Device Letters* 32.10 (2011), págs. 1448-1450.
- [35] Xiaojun Guo et al. “Current Status and Opportunities of Organic Thin-Film Transistor Technologies”. En: *IEEE Transactions on Electron Devices* 64.5 (2017), págs. 1906-1921.
- [36] Sarah L. Harris y David Harris. “Digital Design and Computer Architecture”. En: ed. por Sarah L. Harris y David Harris. Morgan Kaufmann, 2022.
- [37] C. Saint y J. Saint. *IC Mask Design Essential Layout Techniques*. 1.^a ed. United States of America: McGraw-Hill, 2002.
- [38] M. Sahrting. *Layout Techniques for Integrated Circuit Designers*. 1.^a ed. Artech House, 2022.
- [39] Jens Lienig y Juergen Scheible. *Fundamentals of Layout Design for Electronic Circuits*. 1.^a ed. Springer International Publishing, 2020.
- [40] M. Sahrting. *Fast Techniques for Integrated Circuit Design*. 1.^a ed. Cambridge University Press, 2019.

- [41] Ricardo Martins, Nuno Lourenço y Nuno Horta. *Analog Integrated Circuit Design Automation: Placement, Routing and Parasitic Extraction Techniques*. 1.^a ed. Springer, 2016.
- [42] T. Dillinger. *VLSI Design Methodology Development*. 1.^a ed. Pearson, 2019.
- [43] T. Wojcicki. *VLSI: Circuits for Emerging Applications*. 1.^a ed. CRC Press, 2017.
- [44] Q. Zhao et al. “Noise Margin, Delay, and Power Model for Pseudo-CMOS TFT Logic Circuits”. En: *IEEE Transactions On Electron Devices* 64 (2017), págs. 2635-2642.
- [45] L. Zhong, R. Yao y F. Luo. “Pseudo-CMOS with Re-Pull-Down Transistor: A Low Power Inverter Design for Thin-Film Transistors”. En: *IEICE TRANS. ELECTRON.* E99-C, NO.6 (2016), págs. 727-729.
- [46] J. Rajewski. *Learning FPGAs*. 1.^a ed. O’Reilly Media, Inc., 2017.
- [47] C. Maxfield. *The Design Warrior’s Guide to FPGAs*. 1.^a ed. Newnes, 2004.
- [48] E. Brunvand. *Digital VLSI Chip Design with Cadence and Synopsys CAD Tools*. 1.^a ed. Addison-Wesley, 2010.
- [49] M. Keating et al. *Low Power Methodology Manual For System-on-Chip Design*. 1.^a ed. United States of America: Springer, 2008.
- [50] Youngsoo Shin et al. “Power Gating: Circuits, Design Methodologies, and Best Practice for Standard-Cell VLSI Designs”. En: *ACM Trans. Des. Autom. Electron. Syst.* 15.4 (oct. de 2010).
- [51] Y. Qin et al. “Low-Power Design for Unipolar ITO-Stabilized ZnO TFT RFID Code Generator Using Differential Logic Decoder”. En: *IEEE TRANSACTIONS ON ELECTRON DEVICES* 66.11 (2019), págs. 4768-4773.